
Pt 나노입자와 Hybrid Pt-SiO₂ 나노입자의 합성과 활용 및 입자박막 제어

최병상*

Synthesis and application of Pt and hybrid Pt-SiO₂ nanoparticles and control of particles layer thickness

Byung-Sang Choi*

요 약

Pt 나노입자의 합성과 이를 이용한 hybrid Pt-SiO₂ 나노입자의 합성을 성공적으로 수행하였으며, self-assembled Pt nanoparticles monolayer를 charge trapping layer로 활용하는 metal-oxide-semiconductor(MOS) type memory의 한 예로 non-volatile memory(NVM)의 응용을 보임으로써 나노입자의 활용 가능성을 보이고, 또한, hybrid Pt-SiO₂ 나노입자 박막 층의 제어를 통한 MOS type memory device에의 보다 더 넓은 활용 가능성을 보이고자 하였다.

ABSTRACT

Pt nanoparticles with a narrow size distribution (dia. ~4 nm) were synthesized via an alcohol reduction method and used for the fabrication of hybrid Pt-SiO₂ nanoparticles. Also, the self-assembled monolayer of Pt nanoparticles (NPs) was studied as a charge trapping layer for non-volatile memory (NVM) applications. A metal-oxide-semiconductor (MOS) type memory device with Pt NPs exhibits a relatively large memory window. These results indicate that the self-assembled Pt NPs can be utilized for NVM devices. In addition, it was tried to show the control of thin-film thickness of hybrid Pt-SiO₂ nanoparticles indicating the possibility of much applications for the MOS type memory devices.

키워드

Pt, SiO₂, Nanoparticle, MOS device, NVM device

1. 서 론

나노입자를 활용하는 기술은 차세대 혁신기술로 각광 받고 있으며, 많은 나라에서 나노관련 기술을 국가 사업으로 규정짓고 발전시키는데 많은 자본과 역량을 투자하고 있다. 국내에서도 나노기술에 대한 관심이 급증하고 있으며, 이를 활용하는 연구 결과가 꾸준히 발표되고 있으며, 계속된 투자와 연구의 집중으로 세

계를 선도하는 기술의 축적이 이루어져야 할 것이다.

특히, 나노입자를 이용한 floating gate memory device는 non-volatile memory(NVM) device의 아주 훌륭한 후보군으로 여겨지고 있다[1,2]. 이 논문에서는 Pt 나노입자의 합성과 이를 이용한 hybrid nanoparticle의 합성, 그리고 이들을 이용한 NVM device에의 활용과 가능성을 보이고자 한다[3-6].

* 조선대학교 금속재료공학과
심사완료일자 : 2009. 12. 03

접수일자 : 2009. 10. 18

II. 본 론

1. 실험방법

(1) Pt 나노입자 합성

Teranishi에 의해 발표된 방법[7]으로 부터 약간의 변형된 방법으로 Pt 나노입자를 다음과 같이 합성하였다.

준비된 Round glass에 에탄올 45ml와 PVP(polyvinylpyrrolidone) 0.1g을 넣고 잘 혼합한 다음 5ml의 0.1wt% $H_2PtCl_6 \cdot 6H_2O$ 용액을 첨가하여 혼합 후 90°C로 예열된 water bath에서 3시간 30분 동안 혼합과 동시에 가열하면서 reflux 한다. ($H_2PtCl_6 \cdot 6H_2O$ 를 넣었을 때 옅은 노란색 용액이 환원반응 후 검붉은 색으로 변함)

다음은 Pt 나노입자 합성 후 centrifuge를 이용한 입자 세척과정을 보여준다.

① 합성한 Pt 나노입자를 centrifuge container에 1.75ml를 담아서 14000 RPM으로 1시간 동안 centrifuge 한다.

② Container 상부의 에탄올을 decant하고 다시 1.75ml의 에탄올을 채운다.

③ Container를 sonicate하여 분산 시킨 다음 다시 centrifuge 한다.

④ 위의 공정을 총 3회 반복한다.

(2) Hybrid Pt-SiO₂ 나노입자 합성

Di-water 6.25ml와 앞 절에서 준비된 Pt 나노입자 10.5ml를 삼각플라스크에 넣고 혼합한 다음 Ammonium hydroxide 0.35ml와 TEOS 5ml을 추가하여 상온에서 교반 해주면서 1시간 동안 반응 시킨다. 코팅 후 앞 절의 세척과정과 동일한 과정을 따르되 14000 RPM으로 15분 동안 centrifuge하여 입자의 세척을 수행한다.

(3) Self-assembly에 의한 Pt 나노입자 monolayer

알코올(HPLC)에 1wt%의 poly(4-vinylpyridine) (P4VP, $M_w=160,000$)을 넣고 완전 용해될 때까지 잘 혼합 후 준비된 silicon wafer(cleaned for 10 min in piranha solution followed by oxygen plasma

treatment for a uniform hydrophilic surface)를 1시간 동안 담가둔 다음 꺼내어 여분의 P4VP를 에탄올을 이용하여 세척하고 건조 후 오븐에서 120°C(3시간)동안 Baking 한다.

Pt 나노입자 monolayer 코팅을 위해서는 baking 한 substrate를 앞에서 준비된 Pt 나노입자를 함유한 용액에 3분 동안 담근 다음 꺼내어 즉시 container에 넣어 건조시킨다. 이와 같은 주의 깊은 에탄올 증발의 제어과정을 통하여 균일한 Pt 나노입자 monolayer를 얻을 수 있다. Fig. 1은 Pt 나노입자 monolayer을 얻기 위한 절차를 보여주는 그림이다.

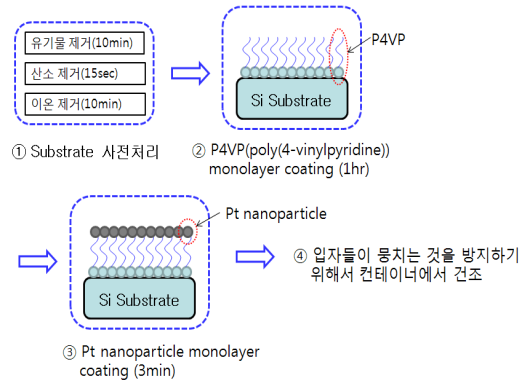


Fig. 1 Procedure for Pt nanoparticle monolayer.

(4) MOS device의 제작

Pt 나노입자 monolayer의 합성에 의해 제작된 시편을 이용하여 13 nm 두께의 $LaAlO_3$ 층을 e-beam을 이용하여 증착하였으며, 100 nm 두께의 Pt 전극을 증착 후 photolithography를 이용하여 pattern을 만들고 $H_2:N_2 = 3:97$ 의 분위기에서 400°C, 30분 동안 표준 열처리를 수행하였다.

(5) Hybrid Pt-SiO₂ 입자 박막 제어

Hybrid Pt-SiO₂ 나노입자를 이용하여 silicon substrate에 균일한 박막의 두께 제어를 위하여 Spin RPM과 coating 시간, 그리고 P4VP의 농도(1, 3, 5, 10wt%)에 따른 SiO₂가 코팅된 Pt 나노입자의 박막을 제작 후 Ar 분위기에서 200°C, 1시간 동안 열처리를 통하여 P4VP를 제거한 후 두께 변화를 측정하였다.

2. 실험결과 및 고찰

Fig. 2는 실험 1의 Pt 나노입자 합성 결과를 보여주는 TEM 사진으로 약 5nm의 비교적 균일한 크기를 갖는 나노입자(a)와 결정격자(b)를 보여주고 있다.

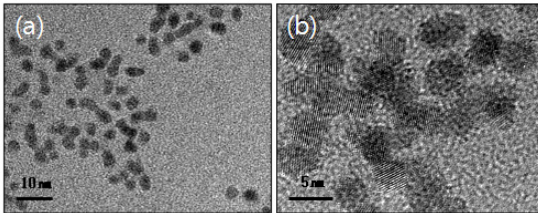


Fig. 2 TEM images of Pt nanoparticles

Fig. 3는 실험 1에서 얻어진 Pt 나노입자를 실험방법 2의 Stober method[8]의 응용을 통하여 SiO₂ 코팅한 결과를 보여주는 사진으로 (a)와 (b)는 Pt 나노입자의 응집(agglomeration)과 과도한 SiO₂ 코팅을 보여주고, (c)와 (d)는 코팅시간과 조건의 제어를 통하여 얻어진 약 2~3nm 두께의 균일한 SiO₂로 코팅된 Pt 나노입자를 보여주는 사진이다.

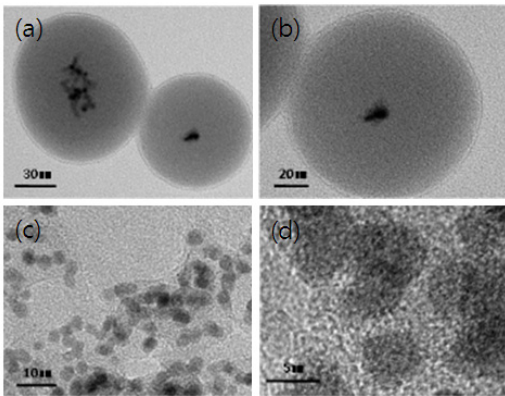


Fig. 3 TEM images of (a) and (b) overcoating of SiO₂, also showing the agglomeration of Pt nanoparticles inside of SiO₂ coating, and (c) and (d) Hybrid Pt nanoparticles coated with SiO₂(coating thickness ~2nm)

Fig. 4는 실험방법 3에 의하여 만들어진 Pt 나노입자 monolayer의 SEM(a)과 AFM(b) 이미지를 보여주고 있다. 이와 같이 얻어진 Pt 나노입자의 밀도는 약 $1 \times 10^{12} \text{cm}^{-2}$ 인 것으로 예측되어 진다.

이렇게 하여 얻어진 Pt monolayer를 이용하여 Metal-Oxide-Semiconductor(MOS) device를 만들었으며, Fig. 5는 self-assembled Pt 나노입자를 포함한 MOS device의 단면을 보여주는 HR-TEM 이미지로써 이와 같은 방법에 의하여 만들어진 Pt 나노입자가 입자의 응집(agglomeration)이 없이 Pt 나노입자 monolayer의 합성이 가능함을 보여준다고 할 수 있다.

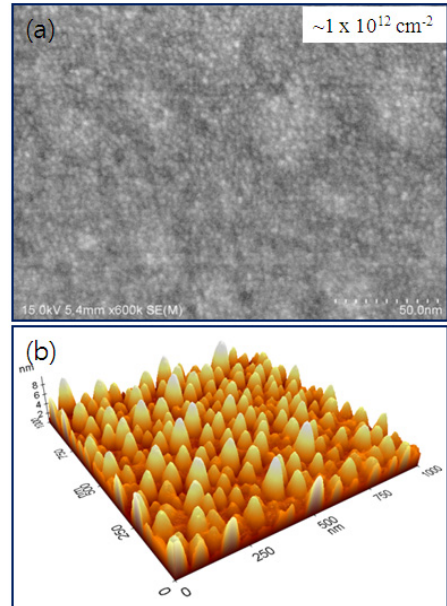


Fig. 4 (a) SEM image of Pt nanoparticles monolayer and (b) AFM image showing Pt nanoparticle density of about $1 \times 10^{12} \text{cm}^{-2}$.

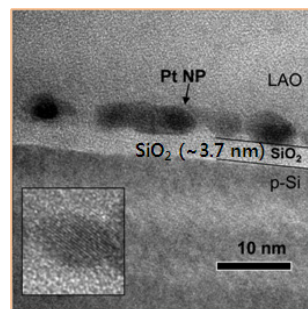


Fig. 5 A cross-sectional HR-TEM image of MOS device containing self-assembled Pt nanoparticles[9].

Fig. 6는 제작된 MOS device의 C-V hysteresis

curve를 보여주고 있으며, 넓은 폭을 가지는 반시계 방향의 hysteresis는 전자가 substrate로 부터 charge-trapping layer(Pt monolayer)로 주입되었음을 보여주고 있다.

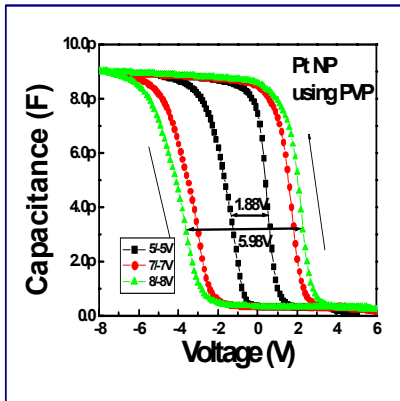


Fig. 6. High frequency C-V hysteresis of Pt nanocrystal memory utilized with and without a P4VP layer for a 50 $\mu\text{m} \times 50 \mu\text{m}$ area.

Fig. 7은 SiO₂가 코팅된 Pt 나노입자의 박막제어에 관한 결과를 보여주는 SEM 사진으로 Spin coating 과정에서 Spin RPM과 coating 시간, 그리고 P4VP의 농도에 따른 Hybrid Pt-SiO₂ 나노입자의 균일한 박막 두께의 제어 가능성을 측정하는 실험을 수행하였다.

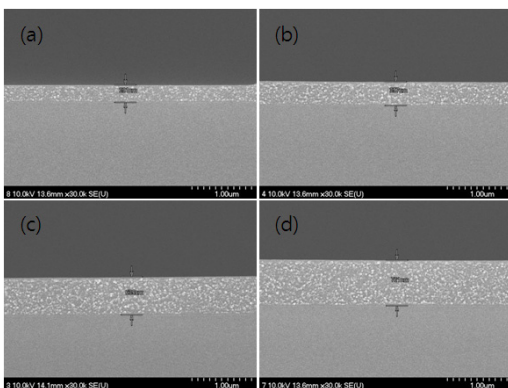


Fig. 7. Controlling the thickness of hybrid Pt-SiO₂ thin-film via the concentration of P4VP. (a) 1 wt%, (b) 3 wt%, (c) 5 wt%, and (d) 10 wt%

이러한 실험의 결과 P4VP의 농도(1, 3, 5, 그리고 10wt%)에 따른 Hybrid Pt-SiO₂의 나노입자를 이용한 박막 코팅 층의 균일한 두께 제어가 가장 용이하였으며, 이러한 박막 층 두께에 따른 device의 제작과 특성 분석에 대한 실험은 현재 진행 중이며 추후에 논문을 통하여 발표 되어질 것이다.

III. 결 론

Pt 나노입자의 합성과 이를 이용한 hybrid Pt-SiO₂ 나노입자의 합성을 성공적으로 수행하였으며, self-assembled Pt nanoparticles monolayer를 charge trapping layer로 활용하는 metal-oxide-semiconductor (MOS)type memory의 한 예로 non-volatile memory(NVM)의 응용을 보임으로써 나노입자의 활용 가능성을 보여 주었다. 또한, hybrid Pt-SiO₂ 나노입자 박막 층의 제어를 통한 MOS type memory device의 보다 더 넓은 활용 가능성을 보이고자 하였다.

감사의 글

본 연구는 조선대학교 학술연구비(2008년)와 교육과학기술부의 재원으로 한국연구재단의 지원을 받아 수행된 광역경제권 선도산업 인재양성사업의 연구결과임.

참고 문헌

- [1] S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbé and K. Chan, *Appl. Phys. Lett.* **68** (1996) 1377
- [2] T. Kobayashi, T. Endoh, H. Fukuda, S. Nomura, A. Sakai and Y. Ueda, *Appl. Phys. Lett.* **71** (1997) 1195
- [3] J-S Lee, J. Cho, C. Lee, I. Kim, J. Park, Y-M Kim, H. Shin, J. Lee and F. Caruso, *Nature Nanotechnology* (2007) 2790
- [4] B. Park, K. Cho, H. Kim and S. Kim, *Semicond. Sci. Technol.* (2006) 21975
- [5] K. S. Seol, K. S. Cho, B-K Kim, J-Y Choi, E-K Lee, Y-S Min, J-B Park and S-H Choi, *J. Korean Phys. Soc.* (2007) 5049
- [6] S. Paul, C. Pearson, A. Molloy, M. A. Cousins, M.

- Green, S. Kolliopoulou, P. Dimitrakis, P. Normand, D. Tsoukalas and M. C. Petty, *Nano Lett.* (2003) 3533
- [7] T. Teranishi, M. Hosoe, T. Tanaka and M. Miyake, *J. Phys. Chem. B*, (1999) 1033818
- [8] W. Stöber, A. Fink and E. Bohn, *J. Colloid Interface Sci.* **26** (1962) 62
- [9] Hyejung Choi, Byung-Sang Choi, Tae-Wook Kim, Seung-Jae Jung, Man Chang, Takhee Lee, and Hyunsang Hwang, "Memory Characteristics of Self-Assembled Monolayer of Pt Nanoparticles as a Charge Trapping Layer", *Nanotechnology*, Vol. 19, No. 30, 305704, June 2008.

저자 소개



최병상(Byung-Sang Choi)

1995년 2월 조선대학교 금속공학과 졸업

2001년 12월 Metallurgical Eng., University of Utah (공학석사)

2005년 8월 Metallurgical Eng., University of Utah (공학박사)

2005.9~2005.11 Post Doctoral Research Associate, Chemical Eng., University of Utah

2006.1~2006.11 Post Doctoral Research Associate, Chemistry, University of Nebraska-Lincoln

2006.12~2008.2 Post Doctoral Research Associate, 신소재공학과, 광주과학기술원

2008.3 - 현재 조선대학교 금속재료공학과 교수

※관심분야 : Crystallization phenomena (bulk, thin film, and particle), particle technology, nano-technology in organic/inorganic materials, Synthesis of nanoparticle/wire/wall, and their applications in sensor, device, solar cell, and etc.