

Quarter-Rate Bang-Bang 위상검출기를 사용한 0.18 μ m CMOS 10Gbps CDR 회로 설계

Design of a 0.18 μ m CMOS 10Gbps CDR With a Quarter-Rate Bang-Bang Phase Detector

차 충 현*, 고 승 오*, 서 희 택*, 박 종 태*, 유 중 근**

Chung-Hyeon Cha*, Seung-O Ko*, Hee-Taek Seo*, Jong-Tae Park*, Chong-Gun Yu**

Abstract

With recent advancement of high-speed, multi-gigabit data transmission capabilities, transmitters usually send data without clock signals for reduction of hardware complexity, power consumption, and cost. Therefore clock and data recovery circuits(CDR) become important to recover the clock and data signals and have been widely studied. This paper presents the design of 10Gbps CDR in 0.18 μ m CMOS process. A quarter-rate bang-bang phase detector is designed to reduce the power and circuit complexity, and a 4-stage LC-type VCO is used to improve the jitter characteristics. Simulation results show that the designed CDR consumes 80mW from a 1.8V supply, and exhibits a peak-to-peak jitter of 2.2ps in the recovered clock. The chip layout area excluding pads is 1.26mm \times 1.05mm.

요 약

통신시스템에서 데이터 전송이 고속으로 이루어지면서, 하드웨어의 복잡성, 전력소모, 가격 등의 이유로 클럭을 제외한 데이터만 수신단으로 보내는 방식이 사용되어지고 있다. 따라서, 고속으로 수신된 데이터에서 클럭 신호를 추출하는 것이 필요하며, 추출된 클럭을 이용하여 데이터를 복원하는 클럭/데이터 복원회로(CDR)에 관한 연구가 활발히 이루어지고 있다. 본 논문에서는 0.18 μ m CMOS 공정을 이용하여 10Gbps CDR 회로를 설계하였다. 전력소모와 회로의 복잡도를 줄이기 위해 quarter-rate bang-bang 유형의 위상 검출기를 사용하였으며, 지터 특성 향상을 위해 LC 유형의 4단 VCO를 사용하였다. 모의실험 결과, 설계된 CDR 회로는 1.8V 전원전압에서 80mW의 전력을 소모하며, 2.2ps,pp의 클럭 지터 특성을 보인다. 패드를 제외한 칩 레이아웃 면적은 1.26mm \times 1.05mm이다.

Key words : CDR, Bang-bang Phase Detector, LC VCO, Quarter-rate architecture

I. 서론

최근 통신 시스템 간의 데이터 전송량이 급격하게

증가함에 따라, 통신시스템 간 데이터 병목 현상이 발생하여, 보다 고속의 통신시스템의 필요성을 야기 시켰다. 이에 optical communication, backplane routing, chip-to-chip interconnect 등과 같은 동작속도가 Gbit/s를 넘어가는 고속 직렬버스용 트랜시버 사용이 일반화되었다.

통신 속도가 Gbit/s를 넘어가는 직렬 트랜시버에서는 데이터 전송을 위하여 하드웨어 복잡성과 전력 소모 및 가격 등의 이유로, 클럭을 제외한 데이터 정보만을 수신단으로 보내는 방식이 사용되고 있다. 수 Gbit/s로 전송되어지는 데이터에서 클럭 신호를 추출하고 추출된 클럭을 이용하여 데이터를 복원하는 클

* 仁川大學校 電子工學科

(Dept. of Electronic Engineering, University of Incheon)

★ 교신저자: 유중근 (chong@incheon.ac.kr)

** 이 논문은 인천대학교 2008년 자체 연구비 지원에 의하여 연구되었음

接受日:2009年 5月 28日, 修正完了日: 2009年 6月 26日

력/데이터 복원회로(Clock and Data Recovery, CDR)는 직렬 트랜시버의 중요한 회로이다[1].

10Gbps급 이상의 CDR은 고속 동작이 요구되기 때문에 주로 GaAs와 SiGe HBT공정으로 구현 되어왔지만, 높은 전력소모와 고비용, 그리고 큰 칩 면적을 필요로 한다. 이에 반하여, CMOS 공정은 저비용, 저전력, 고집적화 등의 장점과 scaling down으로 고속 동작이 가능해 짐으로써, 최근 CMOS 공정을 이용한 CDR 회로 연구가 많이 이루어지고 있다[2-9].

본 논문에서는 0.18 μ m CMOS 공정을 이용하여 10Gbps CDR을 설계하고자 한다. 기존에 10Gbps CMOS CDR 설계에서는 주로 half-rate 구조[4,7,9]와 quarter-rate 구조[8]가 사용되었다. Half-rate 구조는 quarter-rate 구조에 비해 고속에서 동작해야하기 때문에 구성블록의 고속 특성이 요구되며, 전력소모가 크다는 단점이 있다. 위상검출기(Phase Detector, PD)로는 주로 선형(linear) PD와 bang-bang PD가 사용되는데, Bang-bang PD가 선형 PD에 비해 지터(jitter)가 크다는 단점은 있으나, 설계가 쉬우며 회로의 복잡도가 낮다는 장점이 있다[9].

본 설계에서는 전력소모와 회로의 복잡도를 줄이기 위해 quarter-rate 구조와 bang-bang 유형의 위상검출기를 사용하였으며, 지터 특성 향상을 위해 LC 유형의 4단 전압제어발진기(Voltage-Controlled Oscillator, VCO)를 사용하였다.

II. 회로 설계

1. CDR 구조

CDR에는 full-rate, half-rate, multi-rate, 그리고 over-sampling 구조 등이 주로 사용된다. Full-rate와 half-rate는 그 구조가 단순하다는 장점이 있다. 그러나 고속에서 동작하기 때문에 온도, 전원전압의 변화, 공정 파라미터 변화에 대해서 신뢰성 있게 설계하는 것이 어렵다. Over-sampling 구조를 이용한 CDR[10]은 VCO의 발진 주파수를 1/4배 또는 그 보다 낮추어 설계할 수 있기 때문에 설계가 쉽다. 하지만, 추가적인 데이터 검출 회로가 필요하고, 위상검출기에서 양자화 지터가 발생하기 때문에 정교한 위상 제어가 어렵다는 단점이 있다[11].

본 논문에서는 quarter-rate 구조를 선택하였다. Quarter-rate 구조는 VCO의 발진 주파수를 1/4로 낮출 수 있어 VCO의 설계가 용이하고, 추가적인 데이

터 검출회로가 필요 없다. 또한, Divider와 demultiplexer를 사용하지 않고서도 demultiplexing 기능과 retiming 기능을 동시에 수행할 수 있다는 장점이 있다[3]. 따라서 전력 소모를 줄일 수 있고, 칩 면적 또한 줄일 수 있다.

그림 1은 설계된 CDR의 전체 블록도를 나타낸다. 설계된 CDR 회로는 multi-phase LC-ring VCO, bang-bang 유형의 위상검출기, 전하펌프(Charge Pump, CP), 그리고 저역통과필터 역할을 하는 루프필터(Loop filter, LP)로 구성된다. 위상검출기는 매 50ps마다 입력신호와 클럭신호의 위상 오차를 검출하여 VCO의 입력 전압을 제어한다.

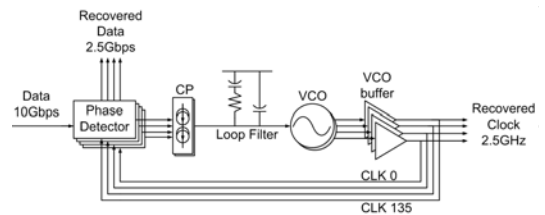


Fig. 1. CDR block diagram

그림 1. CDR 전체 블록도

VCO의 제어 전압을 제외한, 모든 회로들은 차동으로 구성하여, 공통모드 잡음과, 전원전압의 잡음을 제거할 수 있게 하였고, CML 구조를 사용하여 고속 동작에 적합하도록 하였다.

2. 전압제어발진기

VCO는 CDR 회로에서 클럭을 발생시키는 중요한 역할을 하는 동시에 random jitter를 발생시키는 블록이기도 하다. 따라서 CDR 회로의 지터를 최소화시키기 위해서는 VCO의 설계가 중요하다.

Ring VCO는 설계가 간단하고, 면적이 작으며 주파수 조절 범위(tuning range)가 넓다는 장점을 있지만, 좋은 지터 특성을 얻기가 어렵다. 반면 LC VCO는 수동소자로 인한 큰 면적과 작은 주파수 조절 범위를 갖는다는 단점은 있지만, 지터 특성에 둔감하고, 위상 잡음 특성이 좋으며, 발진 주파수를 비교적 정확하게 예측할 수 있다는 장점이 있다. 또한 발진 주파수가 올라갈수록 LC 탱크의 크기 역시 작아지게 된다[4].

본 설계에서는 half-quadrature 위상을 얻기 위해 그림 2와 같이 VCO를 4단의 ring 구조[5]로 구성하였으며, 지터 특성 개선을 위해 각 단의 발진기는 LC 유형으로 설계하였다. 발진기의 core는 그림 3에서와

같이 NMOS와 PMOS로 이루어진 complementary differential 구조를 사용하였다. 이 구조는 NMOS 쌍과 PMOS 쌍에서 동시에 부정저항(negative resistance)을 생성함으로써 동일 바이어스 전류에 대해서 더 큰 신호를 얻을 수 있고, 따라서 위상잡음 특성이 뛰어나다. 또한, 출력 신호 파형의 대칭성이 우수하기 때문에, 50%의 duty ratio 특성이 우수하다는 장점이 있다.

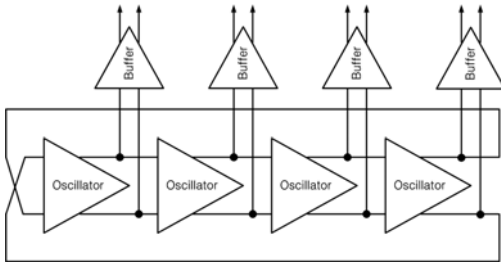


Fig. 2 Voltage Controlled Oscillator
그림 2. 전압제어발진기

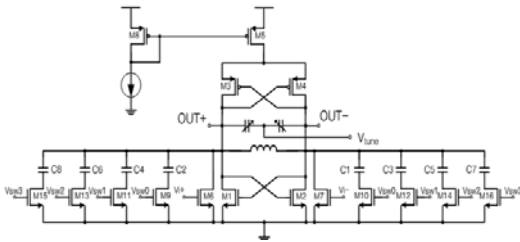


Fig. 3. Oscillator
그림 3. 발진기

VCO의 넓은 주파수 조절범위를 얻기 위해 4bit 제어신호로 동작하는 capacitor bank를 사용하였다. N개의 단위 발진기들로 구성된 LC-ring 구조의 발진기는 π/N 의 위상 차이를 갖는 신호를 발생시킨다. LC-ring 구조의 발진기의 발진주파수는 아래 식에 의해서 결정된다[5].

$$\omega_0 = \frac{\beta LG_m / \sqrt{1 + \beta^2} + \sqrt{(\beta LG_m)^2 / (1 + \beta^2) + 4LC}}{2LC}$$

여기에서 G_m 은 M_{1-4} 의 transconductance이고, β 는 $1/\tan(90-180^\circ/N)$ 로 N에 관한 함수가 된다. 만약 N이 1일 경우에는 발진 주파수는 $1/(\sqrt{LC})$ 가 되는 것을 알 수 있다. 또한 N개의 단위 발진기들을 연결하여

VCO를 구성할 경우 위상 잡음 특성은 $10\log N^3$ dBc/Hz 만큼 좋아진다.

VCO의 출력은 VCO 버퍼(buffer)를 통과한 후 rail-to-rail 신호로 증폭되어 위상검출기를 구동하는 클럭으로 사용된다.

3. 위상검출기

위상검출기로는 주로 선형 PD와 bang-bang PD가 사용된다. Bang-bang 타입은 위상의 오차가 없는 경우에도 VCO의 제어전압이 흔들리게 되어 고주파 지터를 발생시킨다[4]. 이런 이유로 선형 위상검출 방식이 선호되지만, multi-rate 구조에서는 그 구조가 매우 복잡해진다. 따라서 본 설계에서는 회로의 복잡도를 줄이고 칩 면적을 줄이기 위해 bang-bang 유형의 PD를 선택하였다.

그림 4는 quarter-rate bang-bang 위상검출기이며, Alexander 위상검출기[6]와 유사한 동작 특성을 보인다. 설계된 위상검출기의 8개의 플립플롭은 각각 50ps의 간격을 두고 데이터를 저장한다. 위상검출기는 XOR 게이트에 의해 입력 데이터와 클럭의 위상을 비교하여, 위상차 신호를 전하펌프에 전달한다. 위상이 고정 되었을 때에는 retiming 되고, demultiplexing 된 데이터가 출력 된다.

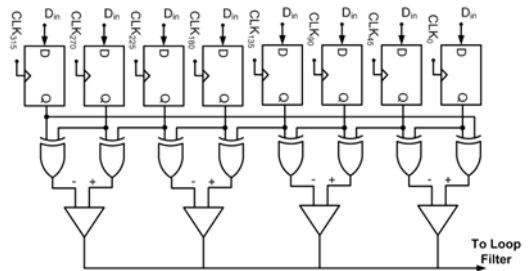


Fig 4. Quarter-rate phase detector
그림 4. Quarter-rate 위상검출기

그림 5는 위상검출기에 사용된 CML 타입의 master-slave 플립플롭이다. 플립플롭은 2.5GHz 클럭에서 동작하고, 10Gbps로 입력되는 데이터 중에서 다중화 할 데이터를 샘플링 해야 한다. 따라서 플립플롭의 샘플링 단은 대역폭이 가능한 넓어야하며, 플립플롭을 구동하는 클럭은 진폭이 크고, CLK 과 \overline{CLK} 의 천이속도가 빨라야 한다. 그림 6은 XOR 게이트의 회로도이며, CML 타입을 사용하여 고속 동작에 적합하

도록 설계하였다. 각각의 플립플롭은 2개의 XOR를 구동한다. 위상검출기에 사용된 플립플롭 중 4개는 출력 버퍼를 구동해야 하므로, 플립플롭들 간의 지연 시간 차이를 최소화 하도록 설계하였다.

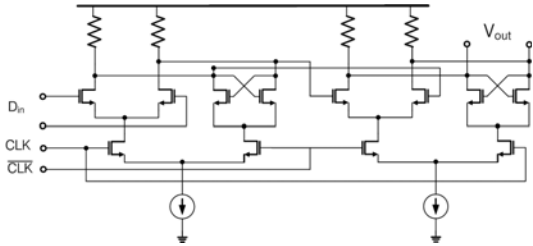


Fig 5. Flip-flop
그림 5. 플립플롭

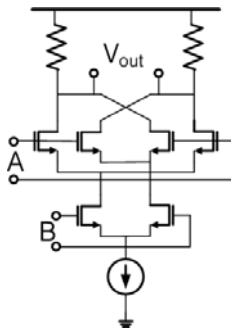


Fig. 6. XOR gate
그림. 6. XOR 게이트

4. 전하펌프

설계된 전하펌프의 회로도를 그림 7에 나타내었다. 전하펌프는 위상검출기에서 입력되는 'Up' 신호와 'Dn' 신호에 의해 전류를 루프 필터에 공급한다. 이때 루프 필터에 공급되는 전류는 외부 저항을 이용하여 변화 시킬 수 있도록 설계하였다.

입력 데이터에 천이(transition)가 없는 경우에는 그림 4의 위상검출기에서 플립플롭들은 같은 출력을 발생하게 되고, 전하펌프는 루프필터에 전류를 공급하지 않는다. 따라서 설계된 회로는 데이터 천이가 없는 경우, VCO의 입력 단이 high impedance 상태가 되고, 출력 지터에는 큰 영향을 미치지 않게 되는 장점을 갖는다.

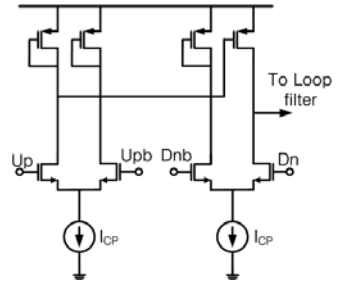


Fig. 7. Charge pump
그림 7. 전하펌프

III. 모의실험 결과

설계된 회로의 성능 검증을 위해 0.18 μ m CMOS 공정 변수를 사용하여 모의실험을 하였다.

설계된 VCO는 그림 8에서와 같이 45°의 위상 간격을 갖는 8개의 신호를 출력하며, 각각의 신호는 약 600mV의 peak-to-peak 진폭을 갖는다.

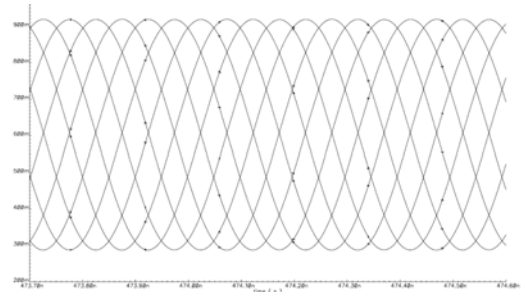


Fig. 8. VCO output waveforms
그림 8. 전압제어발진기의 출력 파형

그림 9는 4bit 제어 신호에 따른 16개의 VCO 이득 곡선이다. 설계된 VCO는 약 150MHz/V의 이득을 갖고 2.37GHz부터 2.89GHz까지의 넓은 주파수 대역에서 발진함을 확인 할 수 있다. 설계된 VCO는 1.8V의 전원전압에서 약 5.3mA의 전류를 소모한다.

그림 10은 VCO의 위상잡음 특성을 모의 실험한 결과이다. 발진 주파수가 2.5GHz일 때 VCO의 위상잡음 특성은 1MHz offset 주파수에서 -125dBc/Hz이고, 100kHz offset에서 -103dBc/Hz이다.

그림 11은 전하펌프를 포함한 위상검출기의 입출력 특성이다. 클럭과 데이터의 위상차 변화에 따른 출력 전류변화 특성으로, 작은 위상 차이에 대해서 선형적

인 특성을 갖으며, 이득은 약 20uA/ps이다.

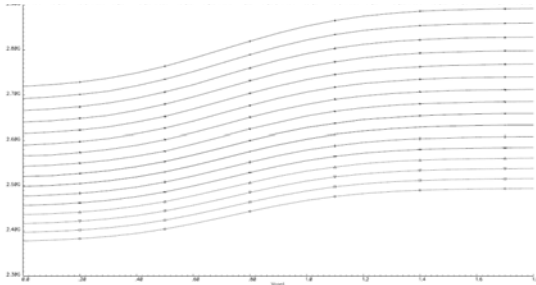


Fig. 9. VCO tuning range

그림 9. 전압제어발진기의 주파수 조절범위

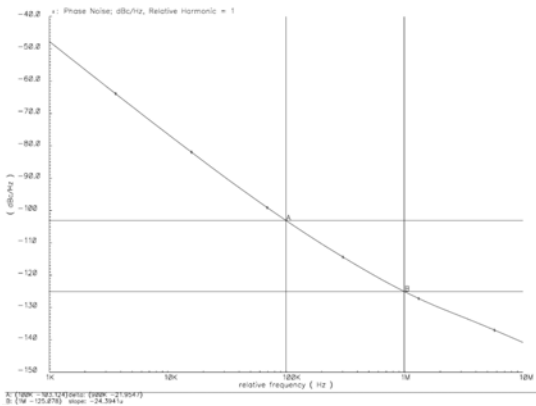


Fig. 10. VCO phase noise

그림 10. 전압제어발진기의 위상잡음 특성

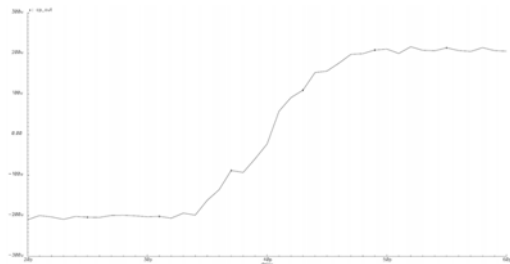


Fig. 11. I/O characteristic of the PD

그림 11. 위상검출기의 입력력 특성

그림 12~15는 전체 회로의 모의실험 결과이다. 실제와 유사한 모의실험을 위해 COB(chip-on-board)에 따른 기생성분들을 전기적으로 모델링하여 모의실험을 진행하였다. Spectre에서 제공하는

ahdlLib/rand_bit_stream으로 10Gbps의 PRBS 신호를 주었고, 입력신호의 크기는 400mV(single-ended swing)이다. VCO는 2.5GHz에서 동작하도록 하였으며, 전하펌프의 충·방전 전류는 50uA로 설정하였다. 또한 지터 특성의 개선을 위해 3차 루프필터를 사용하였다.

그림 12는 설계된 CDR의 locking 특성으로 VCO 제어전압 파형이다. 모의실험 시간을 단축하기 위해 루프필터의 전압에 초기 값을 주고 모의실험을 하였다.

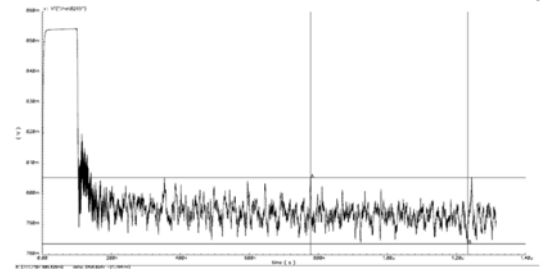


Fig. 12. Locking characteristic

그림 12. Locking 특성

그림 13는 복원된 클럭 파형이다. 복원된 클럭의 지터는 그림 14에서 보듯이 약 2.2ps,pp로 설계된 CDR은 우수한 지터 특성을 보인다. 이 지터 특성은 2.2usec의 모의실험 결과로부터 얻은 것이다. 서버 용량의 한계로 인하여 full-chip simulation을 통해 지터 특성을 볼 수 있는 시간은 2.2usec가 최대였다. 더 오랜 시간 모의실험 결과를 얻기 위해 VCO를 Verilog-A 모델로 대체하고, 약 20usec 정도 모의실험을 하였으나 jitter(p-p)의 증가는 거의 없었다.

그림 15는 복원된 데이터의 eye diagram이다. 복원된 데이터의 지터는 약 4.2ps,pp이다. 전체 회로의 전력 소모는 1.8V 전원전압에서 약 80mW이다. 설계된 CDR 회로는 0.18um CMOS 공정을 사용하여 layout 하였다. PAD를 제외한 전체 칩 크기는 1.26mm×1.05mm이다. 표 1에 설계된 CDR의 성능을 요약하였다.

표 2에는 설계된 CDR의 모의실험 결과와 기존의 10Gbps CMOS CDR 회로의 측정 결과를 비교하였다. 설계된 CDR은 quarter-rate 구조이기 때문에 기존에 half-rate 구조를 사용한 CDR[7,9]보다 동작속도가 1/2이므로 전력소모 특성이 우수하다. 또한 bang-bang 유형의 PD를 사용했기 때문에 기존의 선

형 PD를 사용한 quarter-rate CDR[8]에 비해 구조가 간단하며, 따라서 칩 면적이 작은 것을 알 수 있다. 설계된 CDR은 데이터 천이가 없는 경우에는 전류를 공급하지 않는 구조의 PD를 사용하고, LC 유형의 VCO를 사용했기 때문에 복원된 클럭의 지터 특성이 기존 CDR에 비해 매우 우수하다.

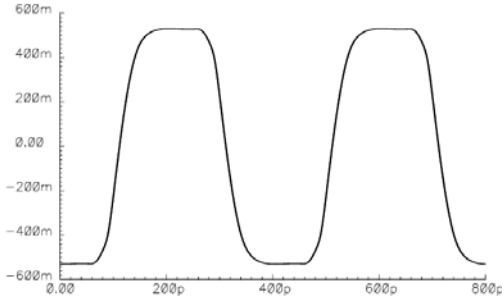


Fig. 13. Recovered clock signal
그림 13. 복원된 클럭 신호

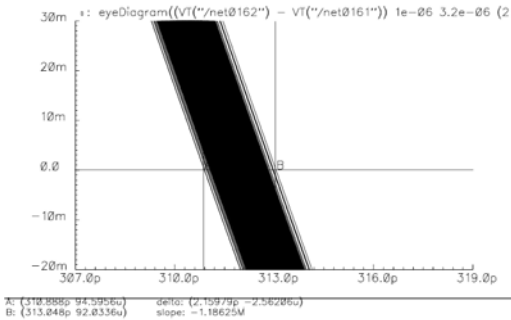


Fig. 14. Clock jitter characteristic
그림 14. 클럭 지터 특성

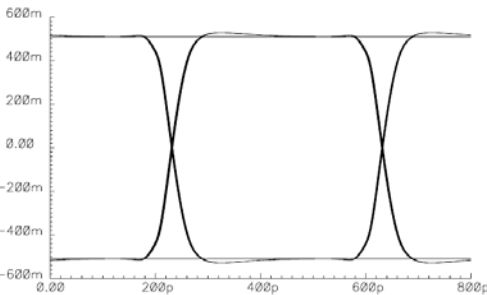


Fig 15. Eye diagram of the recovered data
그림 15. 복원된 데이터의 eye diagram

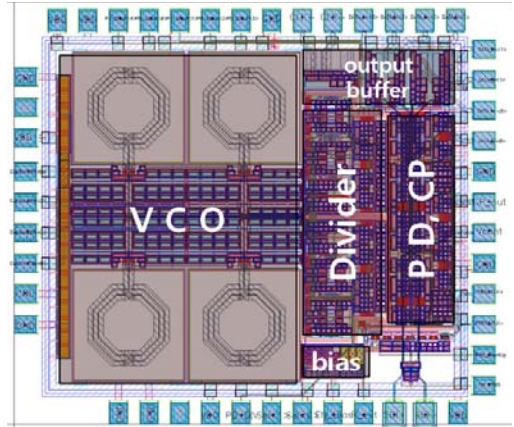


Fig 16. Chip layout
그림 16. 칩 레이아웃 도면

Table 1. Summary of the designed CDR performance
표 1. 설계된 CDR의 성능 요약

Input data rate	10 Gb/s
Output data rate	4 × 2.5 Gb/s
Recovered clock freq.	2.5 GHz
VCO gain	150 MHz/V
Phase noise at 1MHz offset	-125 dBc/Hz
Recovered clock jitter	2.2ps,pp
Recovered data jitter	4.2ps,pp
Power consumption	80mW
Supply voltage	1.8V
Chip size	1.26mm × 1.05mm
Technology	0.18 μ m CMOS

III 결론

본 논문에서는 0.18 μ m CMOS 공정을 이용하여 10Gbps 클럭/데이터 복원회로를 설계하였다. 전력소모와 회로의 복잡도를 줄이기 위해 quarter-rate bang-bang 유형의 위상검출기를 사용하였으며, 지터 특성 향상을 위해 LC 유형의 VCO와 데이터 천이가 없는 경우에는 전류를 공급하지 않는 구조의 PD를 사용하였다. 모의실험 결과 설계된 CDR은 2.2ps의 peak-to-peak 클럭 지터 특성을 보이며, 1.8V 전원전압에서 80mW의 전력을 소모한다. 패드를 제외한 칩면적은 1.26mm×1.05mm이다. 설계된 CDR은 OC-192 광 수신기, 이더넷(Ethernet) 수신기 등 10Gbps 급의 응용분야에 적용될 수 있다.

Table 2. CDR performance comparison

표 2. CDR 성능 비교

	[4]	[7]	[8]	[9]	This Work
Input Data Rate	10Gb/s	10Gb/s	10Gb/s	10Gb/s	10Gb/s
Output Data Rate	2×5Gb/s	2×5Gb/s	4×2.5Gb/s	2×5Gb/s	4×2.5Gb/s
Phase detector architecture	Half-rate Linear PD	Half-rate Bang-bang PD	Quarter-rate Linear PD	Half-rate Bang-bang PD	Quarter-rate Bang-bang PD
VCO type	3-stage ring	LC delay line	LC quadrature	4-stage ring	LC-ring
Clock Jitter	14.5ps,pp 1ps,rms	8ps,pp 1.2ps,rms	15.6ps,pp 2.1ps,rms	30ps,pp	2.2ps,pp
BER	1.28×10^{-6} @ $2^{23}-1$ PRBS	-	$<10^{-15}$ @ $2^{31}-1$ PRBS	$<10^{-11}$	-
Power Consumption	72mW	285mW	120mW	140mW	80mW
Supply Voltage	2.5V	1.8V	1.2V	-	1.8V
Chip Area	1.1×0.9 mm ²	1.9×1.5mm ²	3.0×3.4 mm ²	1.2×1.2 mm ²	1.26×1.05 mm ²
Technology	0.18μm CMOS	0.18μm CMOS	0.13μm CMOS	0.13μm CMOS	0.18μm CMOS

참고문헌

- [1] B. Razavi, "Challenges in the Design of High-Speed Clock and Data Recovery Circuits," IEEE Communications Magazine, pp. 94-101, Aug. 2002.
- [2] K. S. Yeo, A. Cabuk, R. Wu, M. A. Do, J. G. Ma, X. P. Yu and G. Q. Yan, "Non-sequential linear CMOS phase detector for CDR applications", IEE Proc. Circuits Devices Syst., vol. 152, no. 6, Dec. 2005.
- [3] J. Lee and B. Razavi, "A 40-Gb/s Clock and Data Recovery Circuit in 0.18-μm CMOS Technology", IEEE J. Solid-State Circuits, vol. 38, no. 12, pp. 2181-2190, Dec. 2003.
- [4] J. Savoj and B. Razavi, "A 10-Gb/s CMOS clock and data recovery with a half-rate linear phase detector," IEEE J. Solid-State Circuits, vol. 36, no. 5, pp. 761 - 767, May 2001.
- [5] J. J. Kim and B. S. Kim, "A low phase-noise CMOS LC oscillator with a ring structure," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 430-431, 2000.
- [6] J. D. H. Alexander, "Clock Recovery from Randon Binary Data," Electronics Letters, vol. 11, pp. 541-542, Oct 1975.
- [7] J. E. Rogers and J. R. Long, "A 10-Gb/s CDR/DEMUX with LC delay line VCO in 0.18μm CMOS," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 254-255, 2002.
- [8] S. J. Byun, et. al., "A 10-Gb/s CMOS CDR and DEMUX IC With a Quarter-Rate Linear Phase Detector," IEEE J. Solid-State Circuits, vol. 41, no. 11, pp. 2566-2576, Nov. 2006.
- [9] M. Ramezani and C. Salama, "A 10 Gb/s CDR with a half-rate bang-bang phase detector," in Proc. IEEE Int. Sym. Circuits and Systems, vol. II, pp. 181 - 184, May 2003.
- [10] C. K. Yang, R. Farjad-Rad, and M. Horowitz, "A 0.5-um CMOS 4.0-Gbit/s serial link transceiver with data recovery using oversampling," IEEE J. Solid-State Circuits, vol. 33, pp. 713-722, May 1998.
- [11] S. J. Song, J. Lee, S. M. Park, and H. J. Yoo "A 4-Gb/s Clock and Data Recovery Circuit Using Four-Phase 1/8-Rate Clock", IEEE J. of Solid-State Circuits, vol. 38, no. 7, pp. 1213-1219, July 2003.

 저 자 소 개

차 충 현 (학생회원)

2007년 2월 : 인천대학교 전자공학과 졸업 (공학사)
 2007년 3월 ~ 현재 : 인천대학교 대학원 전자공학과 석사과정
 <주관심분야> 고속 클럭/데이터 복원회로 설계

고 승 오 (학생회원)

2008년 2월 : 인천대학교 전자공학과 졸업 (공학사)
 2008년 3월 ~ 현재 : 인천대학교 대학원 전자공학과 석사과정
 <주관심분야> 고성능 주파수합성기 및 CDR 설계

서 희 택 (학생회원)

2009년 2월 : 인천대학교 전자공학과 졸업 (공학사)
 2009년 3월~현재 : 인천대학교 대학원 전자공학과 석사과정
 <주관심분야> 고성능 PLL 및 CDR 설계

박종태 (정회원)

1981년 2월 : 경북대학교 전자공학과 졸업 (공학사)
 1983년 8월 : 연세대학교 대학원 전자공학과 (공학석사)
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학박사)
 1983년 8월 ~ 1985년 8월 :

금성반도체(주) 연구소 연구원

1991년 1월 ~ 1991년 12월 : MIT Post Doc.

2000년 7월 ~ 2001년 8월 : UC Davis 방문교수

1987년 3월 ~ 현재 : 인천대학교 전자공학과 교수

<주관심분야> CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS

유 종 근 (정회원)

1985년 2월 : 연세대학교 전자공학과 졸업 (공학사)

1987년 2월 : 연세대학교 대학원 전자공학과 (공학석사)

1993년 2월 : Iowa State University 전기 및 컴퓨터공학과 Ph.D.

1994년 3월 ~ 현재 : 인천대학교 전자공학과 교수

<주관심분야> CMOS Analog/Mixed-mode IC 설계, RFIC 설계