

쇼트키 장벽 관통 트랜지스터 구조를 적용한 실리콘 나노점 부유 게이트 비휘발성 메모리 특성

손대호^a · 김은겸^b · 김정호^a · 이경수^a · 임태경^a · 안승만^a · 원성환^a · 석중현^a · 홍완식^a · 김태엽^c · 장문규^c · 박경환^{a*}

^a서울시립대학교 나노과학기술학과, 서울 130-743

^b서울시립대학교 나노공학과, 서울 130-743

^c한국전자통신연구원 IT융합기술연구소, 대전 305-350

(2009년 6월 29일 받음, 2009년 7월 22일 수정, 2009년 7월 23일 확정)

쇼트키 장벽 관통 트랜지스터에 실리콘 나노점을 부유 게이트로 사용하는 비휘발성 메모리 소자를 제작하였다. 소스/드레인 영역에 어븀 실리사이드를 형성하여 쇼트키 장벽을 생성하였으며, 디지털 가스 주입의 저압 화학 기상 증착법으로 실리콘 나노점을 형성하여 부유 게이트로 이용하였다. 쇼트키 장벽 관통 트랜지스터의 동작 상태를 확인하였으며, 게이트 전압의 크기 및 걸어진 시간에 따른 트랜지스터의 문턱전압의 이동을 관찰함으로써 비휘발성 메모리 특성을 측정하였다. 초기 ±20 V의 쓰기/지우기 동작에 따른 메모리 창 크기는 ~5 V 이었으며, 나노점에 충분한 전하 충전을 위한 동작 시간은 10/50 msec 이었다. 그러나 메모리 창 크기는 일정 시간이 지난 후에 0.4 V로 감소하였다. 이러한 메모리 창 크기의 감소 원인을 어븀 확산에 따른 결과로 설명하였다. 본 메모리 소자는 비교적 안정한 쓰기/지우기 내구성을 보여주었으나, 지속적인 쓰기/지우기 동작에 따라 수 V의 문턱전압 이동과 메모리 창 크기의 감소를 보여주었다. 본 실험 결과를 가지고 실리콘 나노점 부유게이트가 쇼트키 장벽 트랜지스터 구조에 적용 가능하여 초미세 비휘발성 메모리 소자로 개발 가능성을 확인하였다.

주제어 : 어븀-실리사이드, 쇼트키 장벽 관통 트랜지스터, 나노점 부유 게이트 메모리, 비휘발성 메모리, 문턱전압 변위, 쓰기/지우기, 전하 보유, 내구성

I. 서 론

최근 수년간 폴리 실리콘 부유 게이트(poly silicon floating gate)를 전하 저장 노드로 이용하는 플래쉬 메모리(flash memory)는 집적도 증가 측면에서 비약적인 발전을 해왔다. 그러나 플래쉬 메모리 소자에 기본적으로 쓰이는 전계 효과 트랜지스터(Field Effect Transistor; FET)의 고집적화 및 이를 위한 단위 소자의 소형화가 가속되는 과정에서 폴리 실리콘 전하 저장 노드의 여러 가지 비휘발성 메모리 동작 특성이 한계에 이를 것으로 예상하고 있으며, 이를 극복하기 위하여 다양한 물리적 현상에 기초한 전하 저장 비휘발성 메모리 소자의 구조 및 물질에 대하여 많은 연구가 진행되고 있다 [1-3]. 여러 가지 구조들 중에서 나노 점 부유 게이트(Nano Floating Gate)를 이용한 낸드(NAND) 플래쉬 동작 기반의 MOSFET(Metal Oxide

Semiconductor FET) 메모리 셀(cell) 구조는 차세대 비휘발성 메모리 후보로서 많은 연구가 진행 중이다 [4-6]. 이러한 나노 부유 게이트 메모리(Nano Floating Gate Memory; NFGM)의 구조는 기존의 플래쉬 메모리 구조에서 부유 게이트 부분을 나노미터 정도의 크기를 가지는 전하 저장이 가능한 다량의 입자로 대체한 형태이다.

나노미터 급 입자를 전하 저장 노드를 이용하는 NFGM은 낮은 게이트 스택 층으로 인하여 단위 소자의 소형화 및 고집적화 요구 측면에서 기존의 폴리 실리콘 부유 게이트 메모리와 비교하여 다음과 같은 장점을 가지고 있다. 1) 비교적 간단한 공정을 거치며, 2) 작은 동작 전압으로 쓰기 및 지우기가 가능하고, 3) 부유 게이트 커플링 효과(coupling effect)에 의한 메모리 셀 간의 간섭을 줄일 수 있을 뿐만 아니라, 4) 20 nm 정도의 기술 노드까지 메모리 셀 크기의 소형화가 가능하다 [5,7].

* [전자우편] kwpark@uos.ac.kr

한편으로, 고집적 메모리 소자의 구현을 위하여, 기존의 부유 게이트 메모리 셀에 이용되는 MOSFET의 소형화가 필요하다. 그러나 일반적인 MOSFET의 경우, 그 크기를 줄임에 따라 단채널 효과가 나타나게 되며, 특히, 부유 게이트 메모리에서는 이를 막기 위해 스케일링 룰을 따라 관통 산화막(tunneling oxide)의 두께를 더욱 얇게 해야 한다. 관통 산화막의 두께가 얇아짐으로써 메모리의 중요한 특성인 쓰기/지우기 전압을 줄일 수는 있지만, 다수의 쓰기/지우기 과정을 거치면서 관통 산화막의 우수한 특성을 유지하기가 어려워 저장된 전자나 정공(hole)이 누설되기가 쉽게 된다. 이러한 문제점의 해결 관점에서 핀펫(finFET), 더블 게이트(double gate), 쇼트키 장벽(Schottky Barrier; SB) MOSFET 등의 구조들이 초미세 트랜지스터 구현을 위하여 연구되고 있다. 또한, 비휘발성 메모리 특성을 향상시키기 위하여, 기본 MOSFET 메모리 셀 구조에서 관통 산화막을 고유전율의 물질로 대체하거나, 이중 관통 산화막을 가지는 연구도 진행되고 있다 [8].

본 연구에서는 위에서 언급한 메모리 트랜지스터 축소화의 여러 가지 대안 중에서 쇼트키 장벽을 이용한 트랜지스터 구조인 SBTT(Schottky Barrier Tunneling Transistor)를 NFGM의 기본 트랜지스터 구조로 이용함으로써 메모리 셀의 소형화 및 소자의 고집적화에 따른 문제를 해결하고자 하였다. SBTT는 기존의 MOSFET과 유사하지만, 소스 및 드레인(source/drain)을 불순물 도핑이 아닌 금속이나 실리사이드(silicide)로 대체하여 형성하는 구조이다. 나노미터 급 크기의 트랜지스터 제조 기술에서 SBTT는 현재 쓰이는 MOSFET과 비교하여 보면 많은 장점을 가지고 있다. SBTT에서 소스 및 드레인 접합의 깊이는 증착하는 금속의 두께와 실리사이드 형성온도에 따라 결정되고, 형성 조건에 따라 얇은 접합을 형성할 수 있다. 즉, 트랜지스터의 소스 및 드레인 영역이 금속 특성을 지닌 얇은 접합의 실리사이드로 형성된다. 이에 따라 소자 동작 측면에서 얇은 접합의 낮은 기생 저항(parasitic resistance)을 가지기 때문에, 보다 많은 전류를 흘려 보낼 수 있다. 그리고 형성된 쇼트키 장벽이 안정되게 전류를 조절함으로써 게이트 길이 50 nm 미만의 초미세 트랜지스터에 적합한 구조이다 [9]. 또한 소자 공정의 측면을 살펴보면, SBTT는 소스 및 드레인에 불순물을 도핑하고 활성화하기 위하여 800 °C 이상의 높은 온도에서 공정해야 하는 기존의 MOSFET과 달리, 소스 및 드레인의 실리사이드 형성 공정이 비교적 낮은 온도

500 °C 이하에서 진행되기 때문에 저온공정이 가능하고, 이에 따라 관통 산화막 층에 고유전율 물질인 HfO_2 등의 이용도 가능하다.

이러한 SBTT구조의 장점과 나노점을 이용한 NFGM의 이점을 동시에 구현하고자, 어븀 실리사이드(Erbium-silicide) SBTT의 기본 구조에 실리콘 나노점을 전하 저장 층으로 이용하는 NFGM을 접목하여 새로운 메모리 구조를 제안하였으며, 이 SBTT-NFGM 소자를 제작하여 그 비휘발성 메모리 특성을 규명하였다. 실리콘 나노점 형성 공정으로, 높은 밀도 및 균일한 크기의 실리콘 나노점을 만들기 위하여 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD) 시스템에서 디지털 가스 주입 방법을 이용하였다. 이 디지털 가스 주입 LPCVD 기법은 펄스형의 짧은 소스 가스 주입 시간 및 주입하는 소스 가스 펄스의 수를 조절함으로써, 높은 밀도와 균일한 크기를 갖는 실리콘 나노점을 형성시키는 장점을 가지고 있다 [10]. 또한 SBTT에서 소스 및 드레인의 금속은 어븀 실리사이드를 선택하였는데, 이는 전자에 대하여 쇼트키 장벽(0.28 eV)이 낮기 때문에, 저장된 전하 상태를 추출하는 동작 전압도 낮다는 장점이 있다 [9,11,12].

II. 실험

SBTT-NFGM 소자 제작 공정은 SBTT 소자 제작 공정과 유사하며, 이에 게이트 스택 제조 공정 시 실리콘 나노점 형성 공정이 추가되어 있다. 실험에 사용된 기판은 채널 층 영역으로 사용될 상부 <100> *p*-type 100 nm 두께의 실리콘 층과 그 밑에 매립된 200 nm 두께의 실리콘 산화막 층을 가지는 SOI(Silicon on Insulator) 웨이퍼를 사용하였다. 상부 실리콘 층의 저항은 14~24 Ωcm 으로 붕소가 도핑 되었으며, 도핑 밀도는 $5.6 \times 10^{14} \sim 1.0 \times 10^{15}/\text{cm}^3$ 이었다. 관통 산화막은 수평 열화로써 사용하여 1기압의 산소 가스 분위기와 880 °C 공정온도에서 6 nm 성장시켰다. 다음 공정으로는, 전하 저장 노드로 이용되는 실리콘 나노점 부유 게이트를 LPCVD 장비를 이용하여 500 °C의 온도에서 성장 시켰으며, 이 공정에서 고 순도(99.9999 %) Si_2H_6 를 반응 가스로 이용하여 디지털 가스 주입 방법에 의해 평균적으로 밀도 $7 \times 10^{11}/\text{cm}^2$ 와 5 nm의 크기를 가지는 균일한 실리콘 나노 점을 형성하였다 [10]. 그리고 콘트롤 산화막

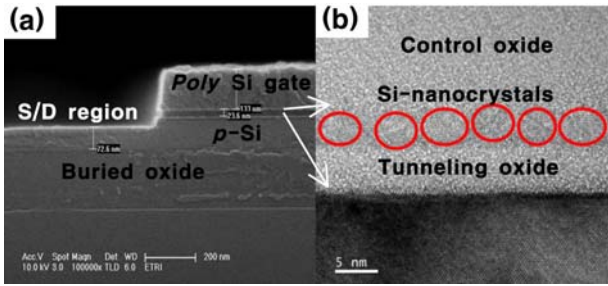


Figure 1. (a) Cross-sectional SEM view of the SBTT-NFGM device after gate-pattern etching, (b) TEM image of the Si-nanocrystals in the gate stack.

(control oxide) 층은 LPCVD 장비를 이용하여 400 °C 분위기에서 SiO₂ 층을 23.6 nm 성장시켰으며, 게이트 전극 층으로 LPCVD 장비를 이용하여 인(phosphorus)이 도핑된 *n*-type 폴리실리콘 박막을 증착하였다. 먼저, 소스/드레인을 형성하기 위하여 게이트 패턴을 식각하였는데, 채널 영역보다 20~30 nm 더 깊게 기판 쪽으로 식각함으로써 저장 노드인 실리콘 나노점 층의 어블 증착 후 열처리 과정에서 발생할 수 있는 실리사이드화를 막고자 하였다. 식각 후 전자현미경(Scanning Electro Microscopy; SEM) 및 전자관통현미경(Transmission Electron Microscopy; TEM) 이미지를 통하여 제작한 단층을 확인하였다. Fig. 1(a)는 게이트 패턴의 식각 후 공정 중인 SBTT-NFGM 소자 단면의 SEM 이미지를 보여 주고 있는 것으로, 소스/드레인 영역에서 *p*-Si 채널 층이 25~30 nm 깊이를 가지고 식각된 것을 확인할 수 있다. Fig. 1(b)는 SBTT-NFGM 소자에서 게이트 스택의 단면 TEM 이미지를 보여주고 있으며, 두께가 일정한 6 nm의 관통 산화막 층과 높은 밀도 및 일정한 5 nm의 크기를 가지는 실리콘 나노점이 형성되었음을 확인할 수 있다. 식각 후 어블을 20 nm 증착하였으며, 급속 열처리(rapid thermal annealing) 장비를 이용하여 500 °C의 온도에서 3분 동안 열처리 과정을 통하여 소스/드레인에 어블 실리사이드를 형성하였다. 다음 공정으로는 실리사이드 형성 시 채널 층과 소스/드레인 사이의 트랩 형성을 제거하기 위하여 질소 분위기 400 °C에서 1시간 동안 열처리를 함으로써 소자의 특성을 개선하였다. 제작한 SBTT-NFGM 소자의 특성 평가에는 precision semiconductor parameter analyser(HP4155C)를 사용하여 전압-전류 특성, 게이트 전압 입력에 따른 메모리 특성인 쓰기/지우기 동작 특성, 그리고 비휘발성 메모리 특성인

전하 보유 및 쓰기/지우기 내구성(endurance) 등을 측정하였다.

III. 실험 결과 및 분석

쇼트키 장벽 관통 트랜지스터 구조에 실리콘 나노점을 부유 게이트로 사용하기 위하여 제작된 SBTT-NFGM 비휘발성 메모리 단일 전자 소자의 전기적 특성을 관찰하였다. Fig. 2의 곡선은 소자 제작 후 질소 열처리를 하지 않은 상태에서 측정한 I_D-V_G (드레인 전류-게이트 전압) 결과이다. 음의 게이트 바이어스에서 큰 드레인 전류를 보여주고 있으며, 양의 게이트 바이어스에서는 드레인 전류에 따라 비 오믹성 전류 특성을 나타내고 있다. 이와 같이 비정상적인 전류 특성은 채널과 실리사이드 계면에 존재하는 트랩이 원인으로, 이 트랩에서 전하의 재결합(recombination)에 의한 비정상적 전류 변화 때문으로 추측하고 있다. 이러한 트랩을 제거하기 위하여, 제작한 소자를 질소 분위기에서 열처리를 수행하였는데, Fig. 3(a)는 소자 제작 후 400 °C에서 1시간 질소 열처리를 한 다음 측정한 I_D-V_G 결과이다. 음의 게이트 바이어스에서 드레인 전류의 큰 감소를 보여주었으며, 양의 게이트 바이어스에서는 드레인 전류에 따라 비 오믹성 전류 특성을 나타내고 있다. 또한 이러한 전류의 크기는 쇼트키 장벽을 터널링하는 전류와 열전자 이동에 의한 전류의 합으로 나타나는 기본적인 SBTT의 전류 특성과 일치함을 보여주고 있다 [9,13]. 이와 같이 후속 열처

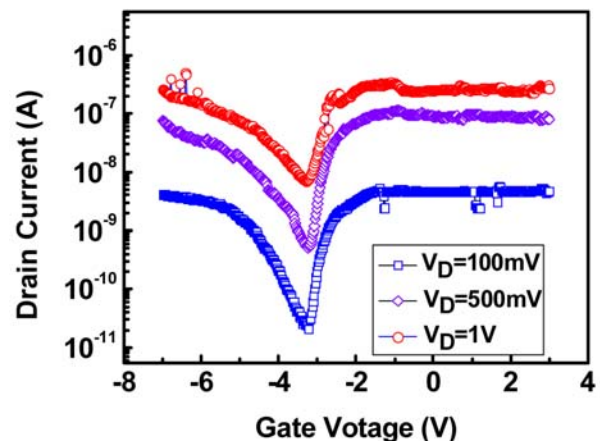


Figure 2. I_D-V_G curves of the SBTT-NFGM device before the N₂ thermal treatment. V_D is the drain voltage.

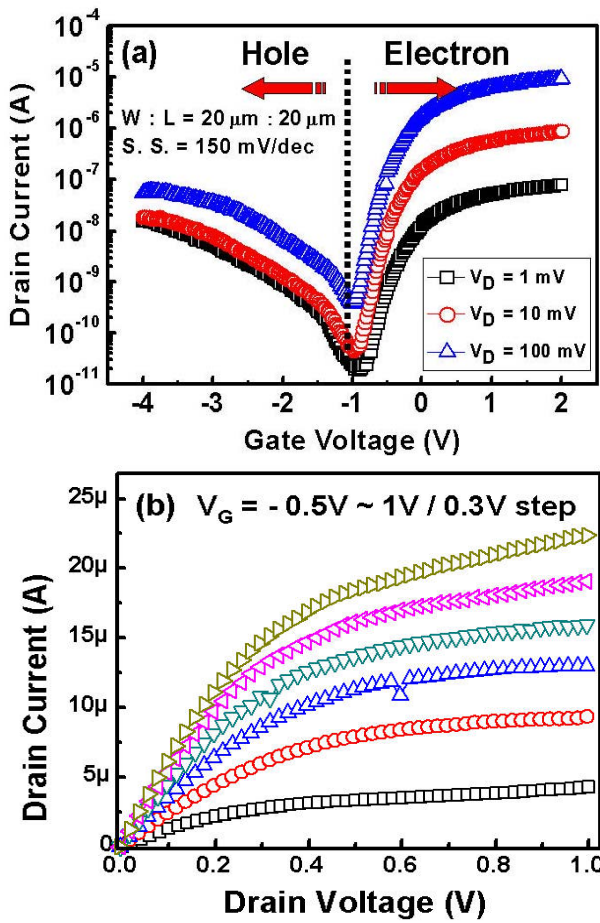


Figure 3. (a) I_D-V_G and (b) I_D-V_D curves of the SBTT-NFGM device after the N_2 thermal treatment. V_D and V_G are the drain and gate voltages, respectively.

리 공정을 통해 관통 산화막 아래에 있는 채널 층과 소스/드레인 사이에 실리사이드 형성 시 생긴 많은 트랩을 제거함으로써 향상된 소자 특성을 얻을 수 있었다. 또한 Fig. 3(a)에서 음의 게이트 전압일 때 나타난 전류는 게이트에서 유도된 드레인 누설전류(Gate Induced Drain Leakage ; GIDL)와 같은 비슷한 현상을 보여 주었지만, 이는 GIDL 현상과는 다르다. 이는 실리사이드된 소스 및 드레인이 전자 수송자(carrier) 공급뿐만 아니라 정공 수송자 역시 드레인 전류로써 공급할 수 있기 때문에 나타난 현상이다 [13]. 그리고 SBTT 소자의 큰 장점은 낮은 S.S. (Subthreshold Swing)값인데, 본 소자에서 150 mV/dec로 비교적 낮은 값을 얻을 수 있었다. Fig. 3(b)는 열처리 후 얻은 I_D-V_D (드레인 전류-드레인 전압) 결과인데, SBTT에서 전류 크기가 현재 사용하고 있는 MOSFET과 거

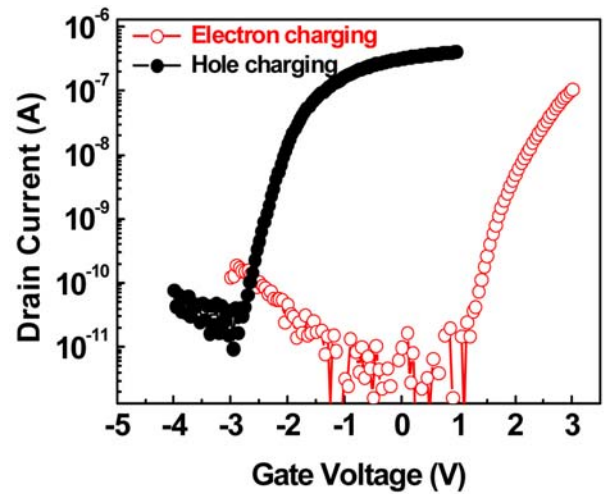


Figure 4. I_D-V_G curves after applying the \pm gate voltages, i. e., (right curve) I_D-V_G curve with electron charging in the Si nanocrystals and (left curve) I_D-V_G curve with hole charging in the Si nanocrystals. See the text in detail.

의 차이가 없다는 것을 알 수 있다. Fig. 2와 Fig. 3의 실험 결과에서 주의하여야 할 것은 본 측정에서 걸어준 게이트 전압 크기 하에서는 실리콘 나노점에 어떠한 전하도 충전되지 않는다는 점이다. 즉, 이와 같이 낮은 게이트 전압으로는 채널로부터 실리콘 나노점에 전하의 터널링을 일으키기 어려워, 본 측정에서 문턱 전압(threshold voltage)의 변화를 관측할 수가 없다.

Fig. 4는 드레인 전압이 10 mV이며, 게이트에 전압이 ± 18 V와 걸어준 시간이 50 ms인 펄스로 쓰기/지우기를 하고 나서 얻은 I_D-V_G 곡선이다. 이와 같은 높은 게이트 전압에서는 전하가 채널로부터 실리콘 나노점으로 터널링하여 나노점에 갇히게 된다. 이러한 실리콘 나노점에 충전된 전하로 인하여, SBTT 소자의 I_D-V_G 곡선이 이동한다. 그림에서 보면 좌측이 실리콘 나노점에 정공을, 우측이 전자를 주입하고 나서 I_D-V_G 곡선을 측정한 결과이고, 총 전류 곡선의 이동은 문턱전압의 변화, 즉 ΔV_{th} (threshold voltage shift)와 동일하며, 이 크기를 통상적으로 메모리 창이라고 부른다. 이 메모리 창의 크기가 0.3~1 V 이상 커야 상온에서 실리콘 나노점의 두 개의 충전 상태를 구별할 수 있으며, 이 상태로 곧 메모리의 on/off 상태를 만들 수 있게 된다. 본 소자의 경우, 메모리 창의 크기는 약 5 V 정도인 것을 Fig. 4에서 확인 할 수 있다.

Fig. 5는 펄스 형태의 게이트 전압으로 실리콘 나노점에

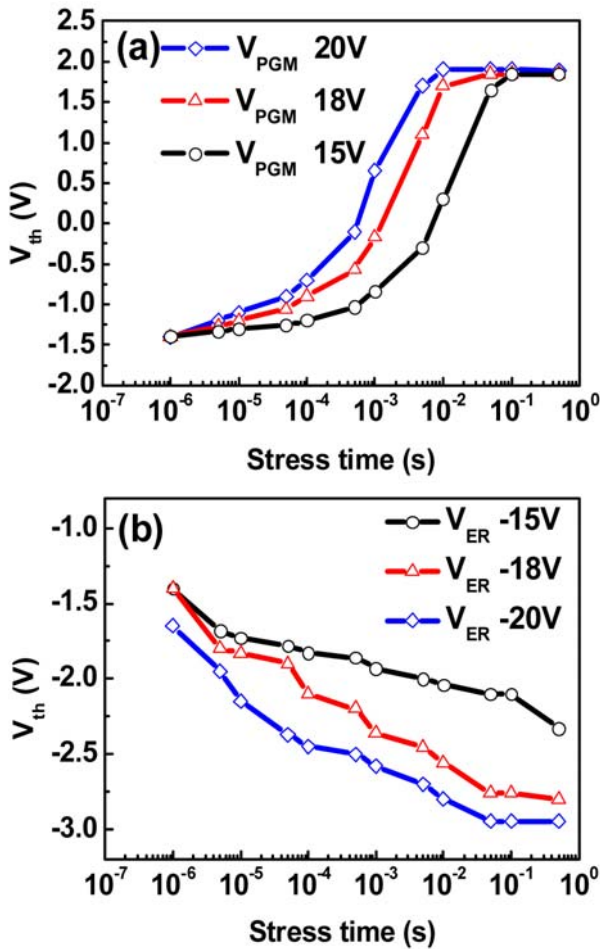


Figure 5. Changes of the V_{th} by applying the gate voltage pulse: (a) the changes along the positive gate pulse duration by electron charging in the Si nanocrystals, and (b) the changes along the negative gate pulse duration by hole charging in the Si nanocrystals. V_{PGM} and V_{ER} are the program and erase voltages, respectively.

전자 또는 정공을 주입하고 나서 문턱전압(V_{th})의 변화를 펄스형 게이트 전압의 시간 폭의 함수로 보여주고 있으며, 이는 본 SBTT-NFGM 소자에 있어서 쓰기/지우기의 동작 전압과 시간을 나타내고 있다. Fig. 5(a)는 전자가 채널에서 터널링하여 실리콘 나노점에 충전되는 경우인데, 게이트 전압이 높을수록, 그리고 시간 폭이 클수록 V_{th} 가 -1.5 V에서 2.0 V에 빠르게 접근하여 포화 충전 상태에 이르는 것을 볼 수 있다. 게이트 전압이 20 V이고 걸어진 시간이 10 ms에서 전자가 실리콘 나노점에 전부 충전된 것을 확인할 수 있으며, 이때를 본 소자의 쓰기 동작에 있어서, 최대

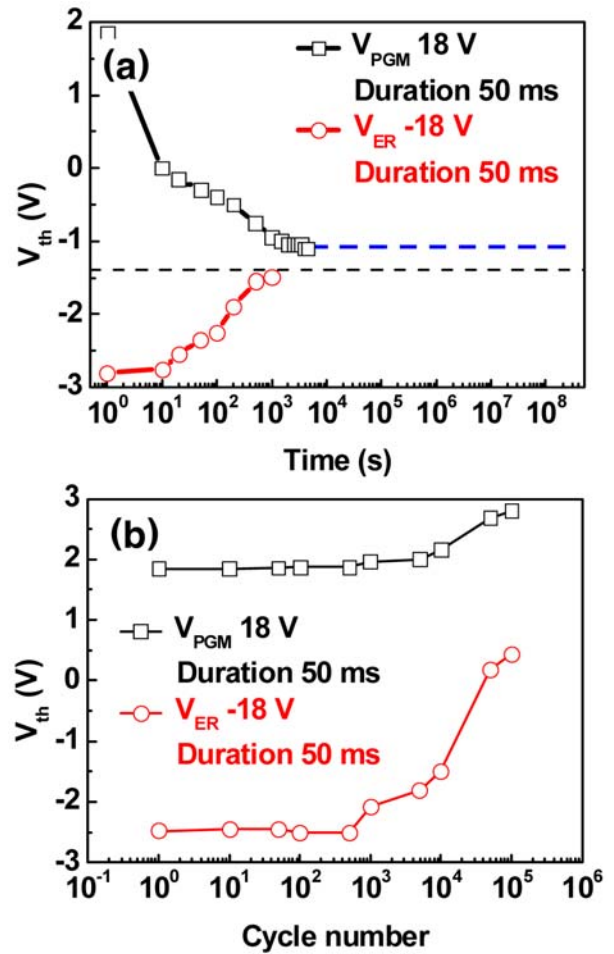


Figure 6. (a) Changes of the V_{th} after applying the 18 V and 50 ms gate voltage pulse; these curves shows a retention property of the SBTT-NFGM device. (b) Changes of the V_{th} after applying the 18 V and 50 ms gate voltage pulse many times; these curves shows an endurance property of the SBTT-NFGM device.

의 동작 전압과 최소 속도라고 할 수 있다. 그리고 Fig. 5(b) 역시 정공이 채널에서 터널링하여 실리콘 나노점에 충전되는 경우인데, 게이트 전압이 음의 방향으로 클수록, 그리고 시간 폭이 클수록 V_{th} 가 -1.5 V에서 -3.0 V에 빠르게 접근하여 포화상태에 이르는 것을 볼 수 있다. 게이트 전압이 -20 V이고 걸어진 시간이 50 ms에서 정공이 실리콘 나노점에 전부 충전된 것을 확인할 수 있으며, 이때를 본 소자의 지우기 동작에 있어서, 최대의 동작 전압과 최소 속도라고 할 수 있다. 본 쓰기/지우기 시간의 측정에서 얻은 값은 현재의 폴리실리콘 기반의 부유 게이트 보다 느린 쓰기/

지우기 시간을 가지게 되는데, 이는 기존의 메모리 구조는 소스 및 드레인 층이 터널 산화막 층과 일부 중첩되어 있어 부유 게이트 층에 전자나 정공의 공급 영역으로 이용되는 반면, 본 SBTT-NFGM 구조에서는 전하의 공급 층으로는 반전층(depletion layer) 밖에 존재하지 않기 때문에 쓰기 및 지우기 시간이 느린 것으로 보인다 [14,15]. 그러나 메모리 창 크기를 0.3~1 V로 한정하여 메모리의 on/off를 구별하고, 그 상태를 탐지한다면 쓰기/지우기 동작 속도는 매우 빠를 것으로 예상된다.

전하 충전 비휘발성 메모리의 on(1)/off(0) 상태는 쓰기/지우기 상태로 표시하며, 이는 실리콘 나노점에 전자/정공의 충분한 충전 상태로 동작한다. 비휘발성 메모리의 중요한 특성에는 쓰기/지우기 유지 시간(retention time)과 쓰기/지우기 내구성(endurance)이 있는데, 이는 실리콘 나노점의 충전 상태의 유지시간과 충/방전 내구성으로 나타난다. Fig. 6(a)에서 전자와 정공의 주입은 각각 18 V와 -18 V, 50 ms 동안 이루어졌으며, 한번 주입 후 시간의 지나감에 따라 이동된 문턱전압을 보여주는 곡선이다. 정공의 경우 1000초 정도에 이르러 거의 다 빠져 나간 것을 확인할 수 있었고, 전자의 경우에는 1000초가 지난 후에도 약 0.7 V 정도의 문턱전압이 남아 있는 것을 확인하였다. 이후 10⁸초(약 10년)까지 외삽을 할 경우, 약 0.4 V 정도의 문턱 전압을 유지한다고 할 수 있다. 이는 처음에 충전된 전하량의 약 12 % 정도가 계속하여 존재한다는 것을 말해주고 있다. 그리고 시간에 따라 전하가 방전되는 곡선의 기울기를 살펴보면, 10초 이내에 급격한 방전, 10³초까지의 완만한 방전, 그리고 10⁴초 이후 아주 느린 방전의 모양을 볼 수 있으며, 이에 따라 서로 다른 특성을 갖는 3개의 전하 보유 부분(charging site)을 가정할 수 있다. 즉, 어븀-실리사이드 형성 공정에서 어븀 금속이 관통 산화막 층으로 확산하여 생성된 어븀 나노점 결합, 확산된 어븀 원자가 실리콘 산화물의 화학적 결합을 깨고 만드는 결합, 그리고 본래의 실리콘 나노점이 그것들이다. 위와 같은 가정은 어븀 금속의 일함수(work function) 값이 3.2 eV로 실리콘보다 훨씬 낮으므로 어븀 금속이나 원자가 만드는 전하 보유 부분에 충전된 전하들은 쉽게 방전될 수 있다고 생각한 것이다. 그래서 처음에 충전된 많은 양의 전자들 중에서 어븀 나노점 결합과 어븀 원자와 관련한 결합에 충전된 전자는 쉽게 방전되는 반면에, 실리콘 나노점에 충전된 전자들은 오랫동안 충전 상태를 유지할 것으로 예상하였다. 이상

의 가정으로 Fig. 6(a)의 쓰기/지우기 유지 시간 곡선의 특성을 모두 설명하기는 어렵지만, MOSFET-NFGM에서 측정한 특성과 다른 초기에 급격한 방전을 어븀 확산에 관련한 결과로 생각하는 것에는 큰 무리가 없다고 생각한다. 충전된 정공 방전 형태의 경우, 실리콘 나노점에서 방전으로 이해하였는데, 이는 실리콘 나노점에 충전된 정공이 느끼는 터널링 장벽의 높이가 전자의 것에 비해 매우 낮기 때문이라고 생각한다. 이 결과로부터 보다 나은 쓰기/지우기 유지 시간을 구현하기 위하여, 어븀-실리사이드 공정에서 어븀이 관통 산화막으로 확산을 방지하는 방지막(blocking layer) 공정이 필요할 것으로 예상하고, 실리콘 나노점의 전자 및 정공 밴드의 에너지를 조절하여 그곳에 충전된 전자와 정공이 쉽게 터널링하기 어려운 일정 높이 이상의 에너지 장벽이 생성되도록 하는 공정이 필요할 것으로 생각한다.

Fig. 6(b)는 쓰고/지우는 과정을 반복함으로써, 이후 문턱전압의 변화 정도를 보여주는 쓰기/지우기 내구성을 나타내고 있다. 쓰기과정에서 전자를 주입할 때는 18 V 전압을 50 ms 동안 인가 하였으며, 반대로 지우기 과정에서 정공을 주입할 때는 -18 V의 전압을 50 ms 동안 인가하였다. 약 1000번 쓰고/지우는 과정 동안은 문턱전압의 이동이 없던 것이 일정하였지만, 그 이상 반복 시행하였을 때는 문턱전압이 양의 방향으로 이동하고 메모리 창 크기가 점점 줄어드는 것을 관측하였다. 콘트롤 산화막이 LPCVD 공정으로 형성되었음을 고려할 때, 반복적인 쓰기/지우기의 열화 현상으로 콘트롤 산화막 내부에 전자를 트랩하는 영역이 생성되었음을 생각할 수 있다. 이에 트랩된 전자에 의해 문턱전압이 양의 방향으로 점차로 이동하였다. 그리고 이 트랩된 전자가 만드는 정전기적 포텐셜이 실리콘 나노점의 전기 포텐셜을 변화시키게 되는데, 전기 포텐셜을 높이는 효과를 주게 되어 전자가 실리콘 나노점에 포화 충전되는 양의 감소를 유도한다. 따라서 쓰기 동작에서의 문턱전압의 변화가 지우기 동작의 문턱전압의 변화보다 작을 것으로 예상된다. 이러한 예상은 Fig. 6(b)의 문턱전압의 변화에서 확인할 수 있었다.

IV. 결 론

기존의 MOSFET 구조를 가지고 있는 폴리 실리콘 부유

게이트 비휘발성 메모리 소자에 있어서, 소스 및 드레인 영역을 금속 실리사이드로 형성한 구조인 SBTT를 적용하고, 폴리 실리콘 부유 게이트 층을 실리콘 나노점으로 대체/형성시켜 제작한 SBTT-NFGM 비휘발성 메모리의 특성을 측정/분석하였다. 기존 소자의 소형화에 따른 단채널 효과를 막기 위하여 제안한 쇼트키 장벽 구조에서 우수한 트랜지스터 특성의 I_D-V_G 와 I_D-V_D 를 관측하였으며, 또한 비휘발성 메모리 특성을 측정할 수 있었다. 쓰기/지우기 동작에서 ± 20 V의 동작 전압과 10/50 msec의 동작 시간을 관찰하였으며, 쓰기/지우기 상태 보유 시간은 메모리 창크의 크기를 0.4 V 이상으로 한정할 때 10년 정도로 측정되었다. 초기의 급격한 쓰기/지우기 상태의 변화를 관통 산화막 내에 존재하는 어븀이 관련한 결함이 원인으로 생각하였으며, 쓰기/지우기 내구성의 측정에서 문턱전압의 변화는 콘트롤 산화물 내부에 열화에 의해 생성된 결함을 원인으로 추정하였다. 따라서 어븀의 확산을 방지하는 구조 및 공정 그리고 양질의 콘트롤 산화물 층을 제조하는 공정을 개선하여, 우수한 비휘발성 메모리 특성을 갖는 초미세 SBTT-NFGM을 구현할 수 있으리라 생각한다.

감사의 글

이 논문은 2008년도 서울시립대학교 교내학술연구비에 의하여 연구되었음.

참고문헌

- [1] R. F. Steimle, M. Sadd, R. Muralidhar, R. Rao, B. Hradsky, S. Straub, and B. E. White Jr, IEEE Transactions On Nanotechnology **2**, 335 (2003).
- [2] J. J. Lee and D.-L. Kwong, IEEE Transactions On Electron Devices **52**, 507 (2005).
- [3] C. Lee, T.-H. Hou, and E. Kan, IEEE Transactions On Electron Devices **52**, 2697 (2005).
- [4] E.-S. Hasaneen, E. Heller, R. Bansal, W. Huang, and F. Jain, Solid-State Electronics **48**, 2055 (2004).
- [5] J. De Blauwe, IEEE Transactions On Nanotechnology **1**, 72 (2002).
- [6] A. Thean and J. P. Leburton, IEEE Potentials **21**, 35 (2002).
- [7] T. Lutz, M. Specht, L. Risch, C. Friederich, L. Dreeskornfeld, J. Kretz, W. Weber, and W. Rösner, Microelectronic Engineering **84**, 1578 (2007).
- [8] K. K. Likharev, Applied Physics Letter **73**, 2137 (1998).
- [9] M. Jang, Y. Kim, J. Shin, S. Lee, and K. Park, Applied Physics Letter **84**, 741 (2004).
- [10] C. Park, K. Kim, E. Kim, J. Sok, K. Park, and M. Hanb, Materials Science and Engineering B **140**, 103 (2007).
- [11] M. Jang, S. Lee, and K. Park, IEEE Transactions On Nanotechnology **2**, 205 (2003).
- [12] S. Zhu, J. Chen, M.-F. Li, S. J. Lee, J. Singh, C. X. Zhu, A. Du, C. H. Tung, A. Chin, and D. L. Kwong IEEE Electron Devices Letters **25**, 565 (2004).
- [13] M. Jang, Y. Kim, M. Jeon, C. Choi, B. Park, and S. Lee, Japanese Journal of Applied Physics **45**, 730 (2006).
- [14] E. Kim, K. Kim, D. Son, J. Kim, S. Won, W.-S. Hong, J. Sok, and K. Park, Microelectronic Engineering **85**, 2370 (2008).
- [15] S. Lombardo, B. D. Salvo, C. Gerardi, and T. Baron, Microelectronic Engineering **72**, 388 (2004).

Characteristics of Si Floating Gate Nonvolatile Memory Based on Schottky Barrier Tunneling Transistor

Daeho Son^a, Eunkyeom Kim^b, Jeongho Kim^a, Kyungsu Lee^a, Taekyung Yim^a, Seungman An^a,
Sunghwan Won^a, Jung Hyun Sok^a, Wan Shick Hong^a, Tae Youb Kim^c,
Moongyu Jang^c, and Kyoungwan Park^{a*}

^a*Department of Nano Science and Technology, University of Seoul, Seoul 130-743*

^b*Department of Nano Engineering, University of Seoul, Seoul 130-743*

^c*IT Fusion Department, Electronics and Telecommunications Research Institute, Daejeon 305-350*

(Received June 29, 2009, Revised July 22, 2009, Accepted July 23, 2009)

We fabricated a Si nano floating gate memory with Schottky barrier tunneling transistor structure. The device was consisted of Schottky barriers of Er-silicide at source/drain and Si nanoclusters in the gate stack formed by LPCVD-digital gas feeding method. Transistor operations due to the Schottky barrier tunneling were observed under small gate bias $< 2V$. The nonvolatile memory properties were investigated by measuring the threshold voltage shift along the gate bias voltage and time. We obtained the 10/50 mseconds for write/erase times and the memory window of $\sim 5V$ under $\pm 20 V$ write/erase voltages. However, the memory window decreased to 0.4V after 10^4 seconds, which was attributed to the Er-related defects in the tunneling oxide layer. Good write/erase endurance was maintained until 10^3 write/erase times. However, the threshold voltages moved upward, and the memory window became small after more write/erase operations. Defects in the LPCVD control oxide were discussed for the endurance results. The experimental results point to the possibility of a Si nano floating gate memory with Schottky barrier tunneling transistor structure for Si nanoscale nonvolatile memory device.

Keywords : Er-silicide, Schottky barrier tunneling transistor, Nano dot floating gate memory, Nonvolatile memory, Threshold voltage shift, Program/erase, Charge retention, Endurance

* [E-mail] kwpark@uos.ac.kr