

논문 2009-46SC-4-9

모바일 디스플레이 회로 모듈의 시그널 인티그리티 해석 기법

(Analysis Method of Signal Integrity for Mobile Display Circuit Modules)

이 용 민*

(Yong-Min Lee)

요 약

본 논문은 모바일 디스플레이모듈의 signal integrity와 power integrity의 시뮬레이션 방법에 관한 것이다. 본 제안 방법은 커넥터, FPCB, 드라이버IC를 포함하는 회로모듈 해석에 사용할 수 있다. 최근에 모바일 디스플레이 업계의 시리얼 인터커넥션 기술에 대한 필요성 대두로 시스템오동작 방지 및 전자기파 발생을 억제하기 위해 신호선과 전원전압에 대한 섬세한 컨트롤이 필요하다. S파라미터와 Z파라미터 분석으로 주파수 도메인과 시간 도메인에서의 상관관계를 분석한다. 멀티포트 매크로를 이용하여 시간 도메인에서 signal integrity를 power integrity에 함께 분석할 수 있다.

Abstract

This paper addresses the simulation methodology of signal integrity and power integrity for mobile display modules. The proposed technique can be applied to analyse a circuit module which consist of connector, FPCB and driver ICs. The recent demand of serial interconnection technology in the mobile display industry needs delicate impedance control of signal and power traces to prohibit system malfunctioning and to reduce electromagnetic field radiation. Based on the S-parameter and Z-parameter analysis, we analyse the correlation between frequency-domain and time-domain measurements. With multi-port macros, signal integrity can be included in power integrity analysis in time domain.

Keywords : signal integrity, power integrity, mobile display, Z-parameter, S-parameter

I. 서 론

최근에 모바일 디스플레이 모듈의 signal integrity 해석 연구^[1-2]활동이 활발히 진행되고 있다. 지금까지는 모바일 디스플레이 모듈에서 사용되는 신호들의 주파수가 상대적으로 낮아 signal integrity 해석에 대한 필요성이 낮았다. 그렇지만 최근에는 모바일 디스플레이의 제조cost 절감, 양산성 향상 및 설계의 용이성 등을 고려하여 신호선들을 대폭 줄이는 방향으로 개발이 진행되면서 시리얼 인터커넥션 기술이 도입되고 사용되는 주파수가 높아져 signal integrity 해석에 대한 필요성이 점

점 높아지고 있다. 시리얼 인터커넥션 기술의 적용을 위해서는 시스템의 오동작과 불필요한 전자기파의 발생을 막기 위해 신호와 전원전압에 대한 섬세한 임피던스 컨트롤이 요구된다^[3]. 따라서 적절한 정확도를 유지하며 빠르고 효율적인 signal integrity 해석 프로세스의 정립이 필요하다.

Signal integrity 해석은 S-파라미터분석으로 신호원들의 전송, 반사 및 크로스토크 특성등을 나타낸다. Power integrity 해석은 Z-파라미터분석으로 주파수도메인에서 전원전압의 흔들림 정도를 나타낸다. 전원과 접지 포트를 포함하는 멀티포트 매크로 생성을 통해 시간도메인에서 동시에 signal integrity와 power integrity 해석이 가능하다. 본 논문에서는 새로운 방법으로 주파수도메인과 시간도메인에서의 해석결과에서 상관관계를 분석한다.

* 정희원, 신문대학교 정보디스플레이학과
(Dept. of Information Display, Sun Moon University)

접수일자: 2009년1월20일, 수정완료일: 2009년7월4일

II. 제안 방법

1. 해석 프로세스

모바일 디스플레이 모듈의 signal integrity 해석 플로우는 그림 1 과 같이 주파수도메인 해석과 타임도메인 해석으로 이루어진다. Signal integrity 해석을 위해 커넥터와 FPCB의 2D 또는 3D 데이터를 필요로 하며 이 데이터들은 Ansoft Neutral File (ANF) 포맷으로 사용된다. 그래서 주파수도메인 해석을 위한 파라미터 추출 및 시간 도메인 해석을 위한 멀티포트 매크로블럭 생성이 행해진다.

주파수 도메인 해석은 signal integrity 해석과 power integrity 해석 두 가지로 나누어진다. Signal integrity 해석은 S파라미터 해석을 통해 신호반사, 신호전송과 신호 크로스토크와 같은 신호특성 해석에 중점을 둔다. 설계가 잘된 회로의 신호는 저반사 특성, 높은 전달 특성과 낮은 크로스토크 특성을 갖는다. 신호파형의 S파라미터 특성은 시간도메인 신호특성과 밀접한 관련이 있다. 일반적으로 S파라미터 특성이 악화되면 signal integrity는 손상을 입을 것이다.

Power integrity 해석에서는 드라이버 IC에서 바라본 전압제어모듈의 임피던스를 분석하며 그중에 Z파라미터 분석은 주파수도메인의 전원전압해석에 중요한 역할을 한다. 전압제어모듈은 일반적으로 0.01 ~ 0.1옴의 저항이 전원 핀과 접지면 사이에 있는 것으로 간략화하여 모델링된다. 전원전압 분석을 위해서는 드라이버 IC와 전압제어모듈사이의 디커플링 캐패시터의 추가정보가 필요하다. 좀더 정확한 해석결과를 얻으려면 직렬 인덕턴스와 직렬 저항에 대한 정보가 첨가되어야 한다.

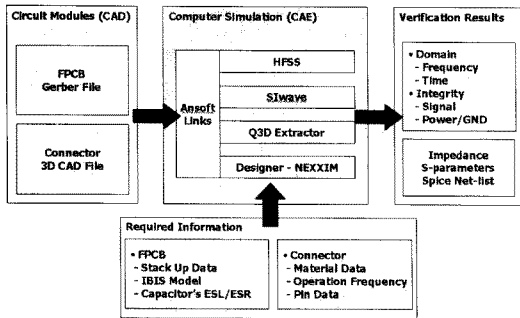
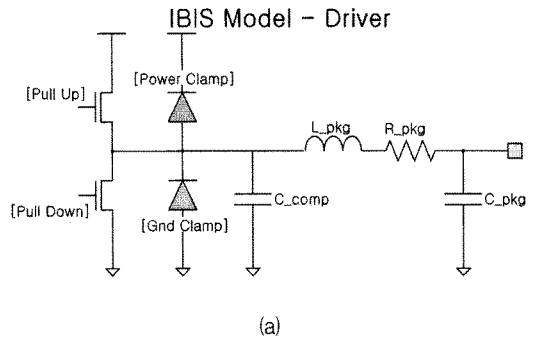


그림 1. 모바일 디스플레이 모듈의 Signal integrity 해석 프로세스

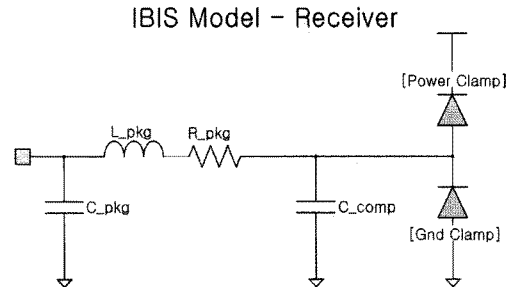
Fig. 1. Signal integrity simulation process for mobile display module.

전원전압 분석에서 이상적인 파형이라면 모든 주파수대역에서 0옴에 가까운 낮은 임피던스를 유지한다. 그러나 이러한 이상적인 시뮬레이션결과는 실제로는 디커플링 캐패시터의 직렬인덕턴스 및 전원의 인덕턴스 때문에 얻을수 없다. 왜냐하면 주파수가 높아짐에 따라 기생인덕턴스가 전체임피던스를 증가시키므로 직류성분에서부터 기본주파수의 10배의 고주파에 해당하는 영역에서 낮은 임피던스를 유지해야 한다.

대부분의 주파수도메인 시뮬레이터는 터치스톤파일을 표준형식으로 내보내기 때문에 주파수도메인에서의 결과물은 터치스톤파일형식으로 저장된다. 그리고 시간도메인 시뮬레이터는 이 터치스톤파일 형식을 멀티포트로서 입력하고 시간도메인 시뮬레이션을 행한다. 시간도메인 시뮬레이션을 위해서는 그림 2와 같이 드라이버 IC의 IBIS (I/O Buffer Interface Specification) 모델과 입력파형정보등의 추가정보가 필요하다. 본 논문에서 시간도메인 시뮬레이터로 사용한 Ansoft designer는 IBIS모형을 받아들일수 있고 IBIS모형을 등가Spice모델



(a)



(b)

그림 2. 모바일 디스플레이용 드라이버 IC의 IBIS모델: (a) 드라이버 모델 (b)리시버 모델

Fig. 2. IBIS model of mobile display driver IC: (a)driver model (b)receiver model.

로 변환시킬 수 있다. 일단 IBIS모델이 Spice모델로 변환되면 IBIS모델에는 없었던 전원과 접지핀이 추가되고 시간도메인 해석에서 power integrity 해석을 포함시키는 것이 가능하다^[4]. 이와 같은 시도는 시간도메인에서 signal integrity와 함께 power integrity를 포함함으로써 해석결과를 좀더 현실적으로 만든다.

2. FPCB상에서 신호파형의 주파수도메인 해석

본 논문에서 사용한 FPCB 레이아웃은 그림 3과 같으며 우선 FPCB의 공진모드 점검을 통해 전자기파의 방사에 의해 안테나 역할을 하는 부분이 있는지를 우선 확인한다. 본 논문에서 사용한 FPCB는 3GHz에서 공진모드에 의한 전자기파 방사가 가능성이 있는 것으로 확인되었다. 만약 신호의 기본주파수가 50MHz라면 3GHz에서는 DC전압 흔들림이 없을 것이다. 왜냐하면 전원으로부터 드라이버IC로 흐르는 전류는 기본주파수의 10배를 초과하는 주파수에서는 에너지 분포가 많지 않고 드라이버IC근방의 디커플링 캐패시터에 의해 고주파성분이 억제되기 때문이다. 비록 안테나 역할을 할 수 있는 부분이 있더라도 안테나공진 주파수에서 그 부분을 흐르는 전류를 억제해 주면 전자기파의 방사는 일어나지 않는다.

공진모드 점검이 끝나면 신호원에 대한 S파라미터 해석을 진행한다. S파라미터 해석에서 일반적인 가이드라인은 기본주파수에서 반사는 -20dB이하이고 전송은 0dB에 가까워야 한다. 반사는 통상 전송과 역비례 관계이고 10배의 고주파 범위내에서 저반사 고전송 특성이 유지되어야 한다. 신호원의 주파수가 높을수록 전송, 반사, 크로스토크의 특성은 악화된다. 해석된 결과

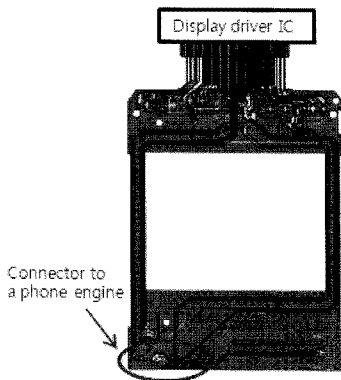


그림 3. 모바일 디스플레이용 FPCB의 구조
Fig. 3. FPCB structure of a mobile display module.

는 16포트 터치스톤 파일로 저장하고 시간도메인 해석에 사용한다.

3. FPCB상에서 전원전압파형의 주파수도메인 해석
전원전압분석을 위해서는 전압제어모듈을 우선 배치시켜야한다. 본 논문의 타겟 모델에서는 전원부가 모듈 외부에 있으므로 그림4와 같이 커넥터의 전원핀과 접지핀 사이에 0.1옴의 저항을 배치한다. 그림5는 본 타겟모델의 전원전압분석의 Z파라미터특성을 나타낸다. 전원전압분석에서는 드라이버IC를 전류흡수원으로 간주한다. 전압제어모듈로부터 나오는 스텝전류가 드라이버IC로 흐를 때 스텝전류가 FPCB를 통과하며 임피던스에 의해 출렁이는 전류와 병행하여 전압의 출렁임을 만든다. 이 전압변동에 의해 접지의 흔들림 또는 전원전압의 늘어짐이 발생해 드라이버IC의 래치업 또는 데이터 에러를 발생시킨다. 또한 FPCB의 전자기파 방사와도 관련이 있다.

만약 신호원의 기본주파수가 50MHz일 경우 그림 5

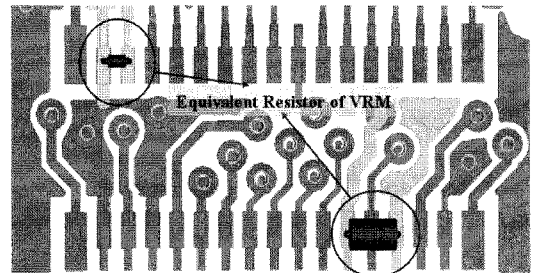


그림 4. 전압원의 등가저항 배치
Fig. 4. Placement of an equivalent resistor of a voltage source.

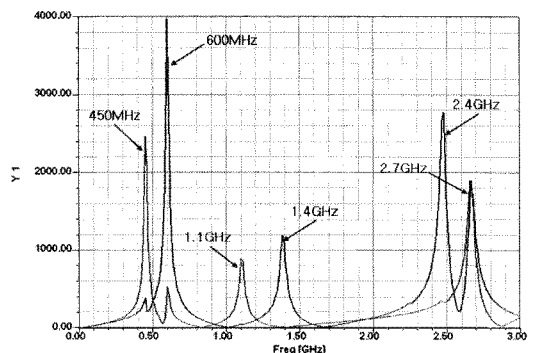


그림 5. 드라이버IC의 전원핀에서 본 Z파라미터 특성
Fig. 5. The Z-parameter characteristic seen from power pins of the display driver IC.

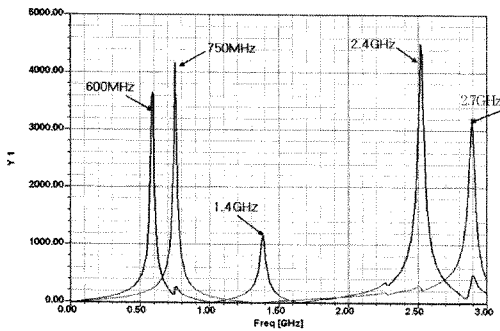


그림 6. 디커플링 캐패시터 삽입후 드라이버IC의 전원 핀에서 본 Z파라미터 특성

Fig. 6. The Z-parameter characteristic seen from power pins of the display driver IC after inserting decoupling capacitor.

의 첫 번째 피크치인 450MHz 공진파형은 기본주파수의 10번째 이내의 고조파이므로 안전영역에 있지 않다. 이 주파수에 있는 에너지는 시간 도메인상에서 전원전압의 흔들림 현상의 주된 요인이 되며 전자기파 방사를 일으킬수 있다. 이 상태에서 디커플링 캐패시터를 사용하거나 FPCB레이아웃을 수정하여 공진주파수를 10배의 고조파보다 더 높은 주파수대로 밀어내어 공진주파수를 억제한다. 디커플링 캐패시터를 전원선에 추가했을때의 Z파라미터의 결과를 그림 6에 나타냈다. 450MHz에 있던 공진주파수가 안전한 영역인 750MHz로 밀려난 것을 확인할 수 있다.

4. 커넥터용 멀티포트 매크로생성

FPCB의 경우 2차원 EM solver를 사용하는 SIwave는 FPCB를 2차원으로 가정하여 주파수도메인 해석을 빠르게 할수 있다. 예를 들어 SIwave로 S파라미터 추출하는데 4분정도 걸린다면 3차원 EM solver를 사용하는 HFSS로는 10시간 이상이 걸린다. 그래서 적절한 정확도를 유지하며 빠른 해석을 하는데는 SIwave가 FPCB해석에 적당하다. 그러나 커넥터의 경우는 3차원 모델로 해야만 해석의 정확도를 유지할 수 있다. 본 논문에서는 커넥터해석에 Ansoft의 Q3D Extractor를 사용하였다. 8개의 신호선에 대해 Spice모델을 생성하는데 20분정도밖에 걸리지 않는다. 부품의 사이즈가 신호선의 파장에 비해 충분히 작을 경우 해석의 정확도가 보장된다. 왜냐하면 모델링방법을 lumped modelling^[5]

을 사용하기 때문이다. Q3D Extractor는 부품사이즈가 $\lambda/10$ 보다 작을 경우 정확도가 보장된다. 그 이유는 모바일 디스플레이 모듈내의 메탈의 크기가 최대 5mm보다 작으므로 Q3D Extractor는 6GHz 신호주파수까지 사용할 수 있으므로 모바일 디스플레이 모듈용으로는 충분한 범위가 된다.

5. 시간도메인 해석

FPCB와 커넥터를 위한 n포트 매크로 추출후 시간도메인 Nexxim engine을 갖춘 Ansoft Designer를 사용하여 시뮬레이션을 행한다. 이 시뮬레이터는 FPCB와 커넥터용으로 터치스톤 파일 형식과 Spice형식의 정보를 받아들일 수 있다. 또한 드라이버IC용 IBIS모델을 받아들일수 있고 IBIS모델을 등가Spice모델로 변환도 가능하여 드라이버IC의 I/O모델에서 전압과 접지핀을 붙일 수 있다. 그림 7은 Ansoft Designer에서 FPCB와 커넥터의 8개의 신호원을 위한 16포트를 받아서 시간도메인 시뮬레이션을 한 결과를 보여준다. 시간도메인에서는 실제로 신호반사와 크로스토크에 의해 signal integrity 훼손이 일어나는지 확인가능하다. 신호의 입력원으로 20ns주기로 2ns의 상승, 하강시간을 갖고 50%의 duty비를 갖는 40MHz의 사각파를 사용한다. 드라이버IC구동을 위한 전원은 이상적인 전원으로 가정한다.

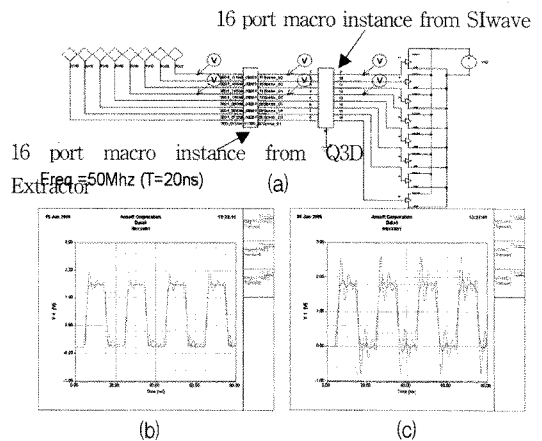


그림 7. 시간도메인에서의 Signal integrity 시뮬레이션: (a) 구성도 (b) 커넥터부의 시뮬레이션 결과 (c) FPCB부의 시뮬레이션 결과

Fig. 7. Signal integrity simulation in the time domain: (a) Schematic diagram (b) simulation result at the connector (c) simulation result at the FPCB.

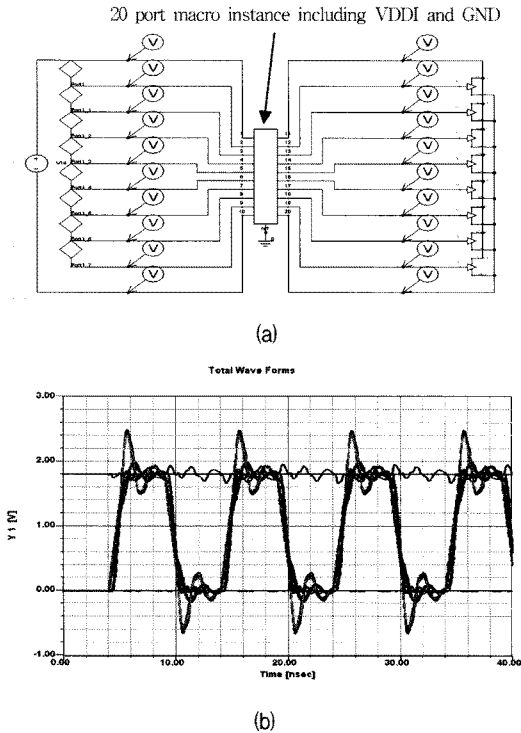


그림 8. 시간도메인에서의 Signal integrity 와 Power integrity 시뮬레이션: (a) 구성도 (b) 시뮬레이션 결과

Fig. 8. Signal integrity and power integrity simulation in the time domain: (a) Schematic diagram (b) simulation results.

그림 8은 좀더 진보적인 시뮬레이션의 예이다. 이 시뮬레이션에서는 8개의 신호파형의 파라미터외에 전원전압 파형의 파라미터를 추가로 추출하고 power integrity의 최악의 경우인 SSO (Simultaneous Switching Output)^[6]의 상황으로 시뮬레이션한다. Ansoft Designer는 드라이버IC의 I/O 셀의 전원과 접지핀 생성을 지원할 수 있으므로 이 핀들은 멀티포트 매크로에 연결되어 있다. 그림8의 (b)는 전원과 접지핀에서의 최악의 경우인 SSO 전압의 출렁임을 보여준다. 이 시뮬레이션을 통해 실제의 전원전압 파형의 출렁임 현상을 시간도메인에서 보여준다.

III. 실험 결과

지금까지의 데이터를 갖고 주파수 도메인 특성과 시

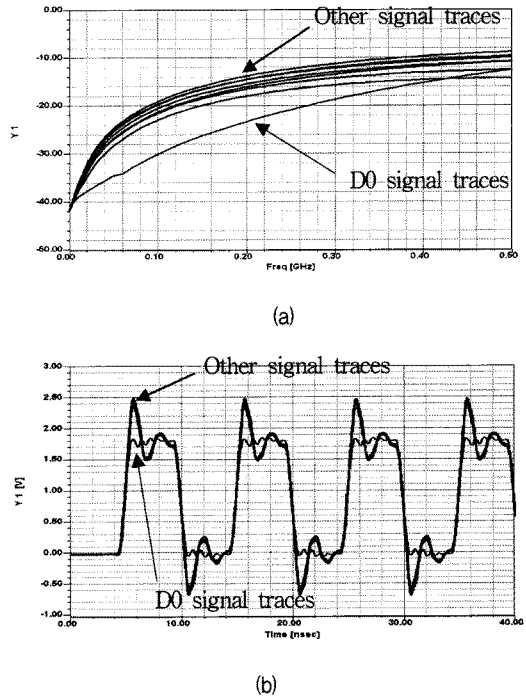


그림 9. 신호선들의 상관관계 분석: (a) S파라미터 분석 (b) 시간도메인에서의 시뮬레이션 결과
Fig. 9. Correlation analysis in the signal lines: (a) S-parameter analysis (b) simulation results in the time domain.

간도메인 특성과의 상관관계를 분석할 수 있다. 그림 9는 각신호선의 반사특성을 나타낸다. D0신호선의 반사 특성은 다른 신호선들에 비해 기본주파수에서 6dB정도 낮고 제3고조파에서는 2dB 정도 낮음을 알 수 있다. 이 특성은 시간도메인에서 신호의 출렁임 현상과 상관관계가 있음을 알 수 있다. D0신호는 신호 펄스의 �지 부분에서 전압의 출렁임이 거의 없다. 각각의 주파수와 시간도메인 사이의 전원전압파형의 상관분석이 가능하다. 그림10에 보는바와 같이 500MHz의 공진주파수는 전원전압파형의 흔들림의 주된 요소이다. 기본주파수의 홀수의 고조파인 500MHz에서 전원전압파형의 공진주파수가 나타났다. 왜냐하면 이상적인 사각파는 짝수의 고조파에서 에너지를 갖지 않기 때문이다. 신호원의 스위칭에 따라 전원파형에 사각파전류가 삽입될때마다 500MHz의 배수의 공진 임피던스 성분이 발생하고 그림 10의 (b)와 같이 전원전압의 흔들림이 주기적으로 발생한다.

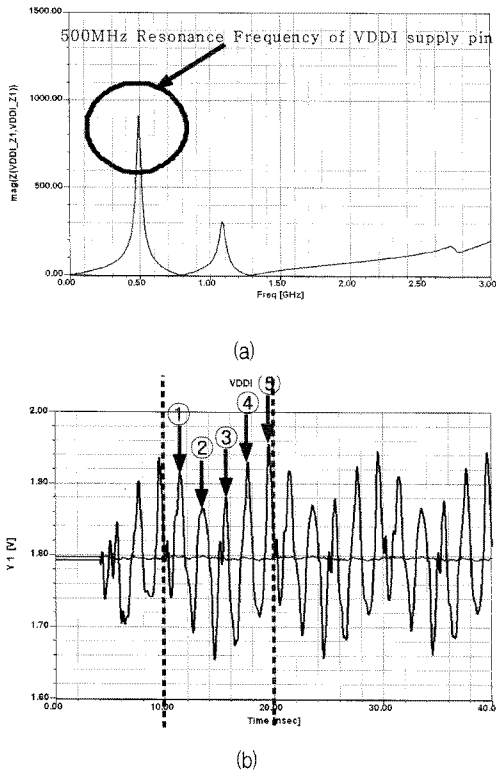


그림 10. 전원전압의 상관관계 분석: (a) Z파라미터 분석 (b) 시간도메인에서의 전원전압파형 시뮬레이션 결과
 Fig. 10. Correlation analysis in the signal lines: (a) Z-parameter analysis (b) simulation results of the power voltage in the time domain.

IV. 결 론

모바일 디스플레이용으로 주파수와 시간도메인에서의 signal integrity와 power integrity 분석방법과, 회로 모듈의 각 부품에 대해 빠르고 간편한 시뮬레이션 방법을 제시하였다. 시간도메인에서는 전원과 접지핀을 포함하는 n포트 매크로를 사용하여 power integrity와 signal integrity를 병합할 수 있다. 주파수도메인과 시간도메인의 결과는 본 논문에서 제안한 아이디어를 통해 상관관계분석이 가능하고 주파수도메인에서 S파라미터와 Z파라미터 분석으로 시간도메인에서의 파형의 왜곡정도의 예측이 가능하다.

참 고 문 헌

- [1] Grivet-Talocia, F. Canavero, S. Acquadro, C. Peraldo, M. Rouvala, I. Kelandar, "Parametric Macromodeling of Flexible Printed Interconnects for Mobile Devices," International Symposium on Electromagnetic Compatibility, pp. 851-856, Barcelona, Spain, September 2006.
- [2] Grivet-Talocia, S. Acquadro, M. Bandinu, F.G. Canavero, I. Kelandar, M. Rouvala, "Signal Integrity constrained optimization of flexible printed interconnects for mobile devices," IEEE International Symposium on EMC, Portland, USA, August 2006.
- [3] K.Y. See, M. Oswal, W. Khan-ngern, F. Canavero, C. Christopoulos, H. Grabinski, "Impact of PCB Layout Design on Final Product's EMI Compliance," 17th International Zurich Symposium on Electromagnetic Compatibility, pp. 553-556, Singapore, February 2006.
- [4] I.S.Stievano, F.G.Canavero, I.A.Maio, "Behavioral Macromodels of Digital IC Receivers for Analog-Mixed Signal Simulations," IEE Electronics Letters, Vol. 41, No. 7, March 2005.
- [5] Grivet-Talocia, "Delay-Based Macromodels for Long Interconnects via Time-Frequency Decomposition," IEEE 15th Topical Meeting on Electrical Performance of Electronic Packaging, pp. 199-202, Scottsdale, USA, October 2006.
- [6] A. Vaidyanath, B. Thorodden and J. L. Prince, "Effect of CMOS Driver Loading Conditions on Simultaneous Switching Noise," IEEE Trans. CPMT-PART B. vol.17, No.4, pp. 480-485, November, 1994.

저 자 소 개



이 용 민(정회원)
 1986년 인하대학교 전자공학과 학사 졸업.
 2005년 Univ. of Edinburgh 전자공학과 석박사 졸업.
 2009년 현재 선문대학교 정보디스플레이학과 조교수.

<주관심분야 : 디스플레이, low power설계, 터치패널기술>