

Si 기판 GaSb 기반 p-채널 HEMT 제작을 위한 오믹 접촉 및 식각 공정에 관한 연구

A Study on the Ohmic Contacts and Etching Processes for the Fabrication of GaSb-based p-channel HEMT on Si Substrate

Daekeun Yoon*, Jongwon Yun*, Kwangman Ko**, Jae-Eung Oh**, Jae-Sung Rieh**
윤 대근*, 윤 종 원*, 고 광 만**, 오 재 응**, 이 재 성**

Abstract

Ohmic contact formation and etching processes for the fabrication of MBE (molecular beam epitaxy) grown GaSb-based p-channel HEMT devices on Si substrate have been studied. Firstly, mesa etching process was established for device isolation, based on both HF-based wet etching and ICP-based dry etching. Ohmic contact process for the source and drain formation was also studied based on Ge/Au/Ni/Au metal stack, which resulted in a contact resistance as low as 0.683 Ω mm with RTA at 320°C for 60s. Finally, for gate formation of HEMT device, gate recess process was studied based on AZ300 developer and citric acid-based wet etching, in which the latter turned out to have high etching selectivity between GaSb and AlGaSb layers that were used as the cap and the barrier of the device, respectively.

요 약

실리콘 기판 상에 MBE (molecular beam epitaxy)로 형성된 GaSb 기반 p-채널 HEMT 소자를 제작하기 위하여 오믹 접촉 형성 공정과 식각 공정을 연구하였다. 먼저 각 소자의 절연을 위한 메사 식각 공정 연구를 수행하였으며, HF기반의 습식 식각 공정과 ICP(inductively coupled plasma)를 이용한 건식 식각 공정이 모두 사용되었다. 이와 함께 소스/드레인 영역 형성을 위한 오믹 접촉 형성 공정에 관한 연구를 진행하였으며 Ge/Au/Ni/Au 금속층 및 300°C 60초 RTA공정을 통해 0.683 Ω mm의 접촉 저항을 얻을 수 있었다. 더불어 HEMT 소자의 게이트 형성을 위한 게이트 리세스 공정을 AZ300 현상액과 citric산 기반의 습식 식각을 이용하여 연구하였으며, citric산의 경우 소자 구조에서 캡으로 사용된 GaSb와 베리어로 사용된 AlGaSb사이에서 높은 식각 선택비를 보였다.

Key words : p-type GaSb on silicon, ohmic contact, mesa etching, recess etching

1. 서론

지난 수십년간 반도체 산업은 실리콘에 기반한 CMOS 이용하여 빠른 발전을 이루어 왔다. 지금까지의 성능 향상은 주로 CMOS를 지속적으로 스케일링 시킴으로써 얻어질 수 있었다. 그러나, 물리적 한계에 따른 소자의 스케일링에 대한 한계가 가시화됨에 따라 실리콘을 보다 이동도가 높은 다른 물질로 대체하

여 성능을 향상시키려는 노력이 최근 들어 더욱 큰 주목을 받게 되었다 [1]. n-채널 소자의 경우에는 전자 이동도가 높은 다양한 화합물 반도체가 많이 고려되고 있고 [2], p-채널 소자 경우 정공 이동도가 높은 Ge를 도입하는 일반적인 방법과 함께 Sb기반의 화합물 반도체도 함께 고려되고 있다 [3].

이와 더불어, 화합물 반도체를 실리콘 기판에 형성하려는 연구도 병행하여 진행되고 있다 [3]. 실리콘 기판을 사용하는 경우 우선 기존 실리콘 기반의 반도체 산업 제작 공정 인프라를 유지하면서도 비 실리콘 물질을 도입할 수 있다는 장점이 있다. 뿐만 아니라 실리콘 기판은 화합물 반도체 기판에 비해 물리적, 화학적, 열적 내구성이 뛰어나 대구경 기판을 만드는 데 용이하고, 기판을 통해 소자 동작에서 발생하는 열을 잘 배출할 수 있다.

이에 비추어 볼 때, Sb기반의 p-채널 HEMT를 실리콘 기판 위에 형성하는 접근 방식은 차세대 로직 회로 구성을 위한 매력적인 방법이 될 수 있으며 이에 대한 심도 있는 연구를 필요로 한다고 볼 수 있겠다. 본 논문은 실리콘 기판위에 형성된 p-type GaSb

* 고려대학교 전자전기 공학부
(School of Electrical Engineering, Korea University)
** 한양대학교 전자컴퓨터 공학부
(School of Electrical Engineering and Computer Science, Hanyang University)
★ 교신저자 (Corresponding author)
※ 본 연구는 교육과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급 나노소자개발사업단 지원으로 수행하였음.
接受日:2009年 12月 3日, 修正完了日: 2009年 12月 28日

구조를 이용하여 p-채널 HEMT 소자를 제작하기 위한 단위 공정에 관한 연구를 소개한다.

II. 본론

1. HEMT 제작 공정 개요



Fig. 1. HEMT device process flow
그림 1. HEMT 소자 제작 공정

본 연구에서는 그림 1과 같이 크게 메사 형성, 소스/드레인 형성, 게이트 형성의 세 가지 공정으로 이루어진 전형적인 HEMT 소자 제작 공정을 고려하였다. 메사 형성 공정은 소자간의 절연성을 확보하기 위하여 기판을 적절한 깊이로 식각하는 공정이며, 소스/드레인 형성 공정은 HEMT소자의 소스/드레인 영역을 형성하기 위한 공정으로 메탈과 반도체간의 오믹 접촉을 형성하는 공정이다. 게이트 형성 공정은 HEMT소자의 게이트를 형성하기 위한 공정으로 오믹 접촉을 만드는데 필요한 캡을 식각하고 베리어 두께를 조절하여 소자의 성능을 개선하는 리세스 식각 공정 후 게이트 메탈을 증착하여 이루어진다.

2. 단위 공정 실험 및 결과

가. 메사 형성 공정

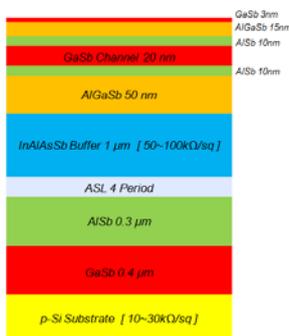


Fig. 2. Epi structure for MESA formation process study
그림 2. 메사 형성 공정 연구에 사용된 소자 구조

메사 형성 실험은 공정은 그림 2의 구조를 가지는 실리콘 기판위에 형성된 GaSb기반 HEMT 구조를 사용하여 이루어졌다. 메사 형성의 조건을 구하기 위한 실험이므로, GaSb 단일 층 보다는 실제 소자 구조에 대해서 실험을 수행하였다. 식각 실험은 HF를 이용한

습식 식각과 ICP를 이용한 건식 식각 두 가지에 대하여 수행되었다.

먼저 HF를 이용한 습식 식각은 HF : H₂O₂ : H₂O 를 1 : 1 : 1000으로 혼합한 용액을 이용하여 상온에서 이루어졌다 [5]. 식각 시간에 따른 식각 깊이가 그림 3에 나타나 있으며, 이에 기반 하여 추출된 평균 식각 속도는 40.8 Å/s이다.

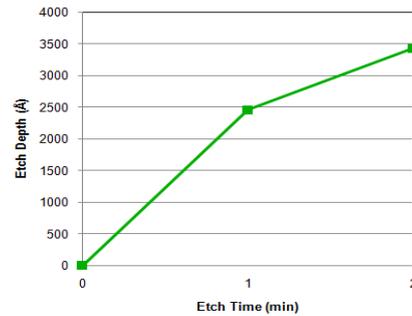


Fig. 3. HF-based wet etching result
그림 3. HF기반 습식 식각 결과

그림 4는 HF기반의 식각을 수행하였을 때의 표면 상태의 현미경 사진이다. 1분 동안 식각하였을 때의 표면을 살펴본 것이다. 식각 속도가 빠른 만큼 표면상태가 좋지 못한 것을 확인할 수 있다.



Fig. 4. HF-based etching surface (after 1 min etching)
그림 4. HF를 이용하여 식각된 표면 (1분 식각후)

ICP 식각 장비를 이용한 dry 식각의 경우에는 BCl₃ : Ar = 12 : 8로 혼합한 가스를 이용하여 식각을 진행하였다 [5]. 챔버 내의 압력을 5 mTorr로 고정시키면서 ICP파워와 바이어스 파워를 바꾸면서 식각을 진행한 결과는 그림 5에 나타나 있다. ICP파워가 증가할수록, 바이어스 파워가 증가할수록 식각률이 증가함을 알 수 있다.

앞서 밝힌 바와 같이 실험에 사용된 구조는 실제 HEMT 소자 구조로서, GaSb 외에도 AlGaSb, AlSb 등의 층도 포함하고 있으나, 사용된 식각 용액 및 가스에 대해 이들 층이 선택성을 거의 보이지 않는 것으로 알려져 있어, 얻어진 식각 속도는 이들 물질에 대한 전반적인 식각 속도로 보아도 무방할 것으로 보여진다.

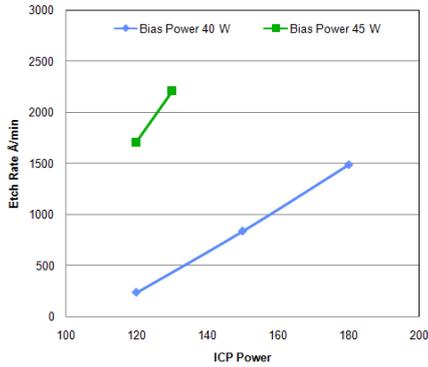


Fig. 5. ICP system-based dry etching result
그림 5. ICP 식각 장비를 이용한 건식 식각 실험 결과

나. 소스/드레인 형성 공정

소스/드레인을 형성하는 공정은 메탈과 반도체 사이의 오믹 접촉을 형성하는 공정이 그 주를 이룬다. e-gun 증발기를 이용하여 Ge/Au/Ni/Au(75/400/100/1000 Å) 금속층을 그림 2에 보인 소자 구조 표면에 증착하였다 [4]. 금속층을 증착하기 전에 기판을 HCl : H₂O₂ = 1 : 3 용액에 40초 담가두어 기판에 형성된 산화물을 제거하였다. 금속 증착 후 RTA (Rapid Thermal Annealing) 를 이용하여 어닐링을 수행하였다. RTA는 300°C, 320°C, 360°C 의 세 온도 조건에서 60초 동안 진행하였다.

오믹 접촉 저항은 형성된 TLM 패턴을 이용하여 측정하였다. TLM 패턴의 폭은 100 μm 이고, 6개로 이루어진 각 패드간 간격은 2 μm, 4 μm, 10 μm, 20 μm, 40 μm이다.

RTA 공정 후의 TLM 패턴 표면은 그림 6의 (a), (b), (c)에 나타나 있는 현미경 사진으로 확인할 수 있다. RTA가 300°C에서 진행 되었을 경우 메탈 표면의 표면 상태가 가장 좋은 것을 확인할 수 있으며, 320°C의 경우도 크게 나쁘지 않으나, 360°C의 경우에는 허용될 수 없는 수준의 매우 불량한 표면이 얻어졌다.



Fig. 6. TLM pattern surface according to RTA process condition with (a) 300°C/60s (b) 320°C/60s (c) 360°C/60s

그림 6. 다양한 RTA 조건에 따른 TLM패턴의 표면 (a) 300°C/60s (b) 320°C/60s (c) 360°C/60s

측정된 오믹 접촉 저항은 표 1과 같이 나타났다.

RTA 공정이 360°C에서 진행되었을 경우에는 금속 표면 상태가 좋지 않아 오믹 접촉 저항 측정이 불가능하였다. 320°C RTA 공정 조건에서 가장 낮은 오믹 접촉 저항을 얻을 수 있었으며, 그 값은 0.683 Ωmm으로서 실제 소자 제작에 있어 충분히 사용 가능한 값으로 보여진다.

Table 1. Measured ohmic contact resistance

표 1. 측정된 오믹 접촉 저항

RTA 온도(°C)	RTA 시간(s)	오믹 접촉 저항(Ωmm)
300	60	0.807
320	60	0.683
360	60	N/A

공정 후 표면상태와 오믹 접촉 저항 값을 모두 고려할 때, 주어진 구조에 대해 320°C, 60s 공정이 최적의 조건으로 사료된다.

다. 게이트 형성 공정

게이트 형성 공정은 게이트 형성 영역에 리세스 식각을 한 후, 게이트 메탈을 증착하여 형성 할 수 있다. 그림 2와 같은 HEMT 구조에서 게이트 식각 공정을 수행하기 위해서는 GaSb와 AlGaSb와의 식각 선택비가 중요하다. 따라서 게이트 리세스 식각 공정을 위해 그림 7과 같이 GaSb 및 AlGaSb가 각기 Si 기판 상 버퍼 위에 증착되어진 두 개의 구조를 사용하여 실험을 진행하였다.



Fig. 7. Epi structure used for recess etching

그림 7. 리세스 식각에 사용된 기판

GaSb 및 AlGaSb 는 널리 사용되는 PR(포토리세스) 현상액인 AZ300 에 의해 식각이 이루어지는 것으로 알려져 있다. 이에 첫 번째로 AZ300 용액을 사용하여 그림 7과 같은 GaSb 기판과 AlGaSb 기판을 식각하는 실험을 수행하였다. 상온에서 AZ300 : H₂O = 1 : 1 용액이 사용되었다. 실험 결과, 희석된 AZ300 용액은 그림 8에서와 같이 GaSb 및 AlGaSb 에 대해 각기 ~13 Å/min 및 ~19 Å/min의 식각률을 보였다. 따라서 AZ300 현상액의 경우에는 GaSb와 AlGaSb에 대한 식각 선택비가 매우 작음을 알 수 있고, 따

라서 리세스 식각용으로는 부적합함을 알 수 있다.

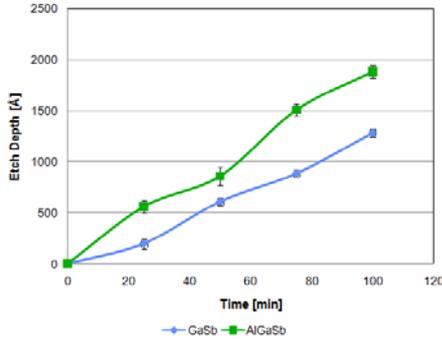


Fig. 8. AZ300 recess etching result
그림 8. AZ300 리세스 식각 결과

두 번째로 citric산을 이용하여 GaSb와 AlGaSb를 식각하였다 [6]. citric산 : H₂O₂ : H₂O = 2 : 1 : 2의 용액을 사용하여 상온에서 식각을 진행하였다. 실험 결과 그림 9와 같이 GaSb의 경우에는 ~11.5 Å/min의 식각률을 보였지만, AlGaSb의 경우에는 사용한 측정 장비인 α-step장비를 사용해서는 측정될 수 없을 정도의 매우 작은 식각률을 보이는 것으로 나타났다. 따라서 citric산을 이용한 용액은 GaSb와 AlGaSb의 식각 선택비가 높음을 알 수 있고, 그림 2와 같은 HEMT 구조에서 게이트 리세스 식각에 상당한 적합성을 보임을 알 수 있다.

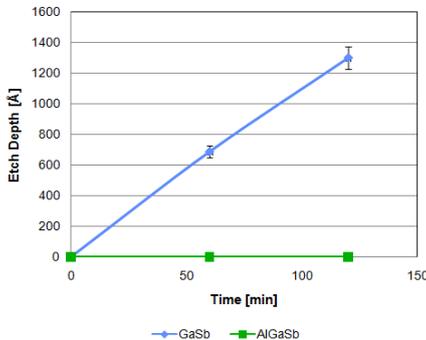


Fig. 9. Citric acid-based etchant recess etching result
그림 9. Citric 산을 사용한 리세스 식각 결과

III 결론

본 연구에서는 실리콘 기판에 형성된 GaSb 기반 p-채널 HEMT 개발에 필요한 단위 공정 개발에 대한 연구를 수행하였다. 메사 형성 공정을 위한 식각에는 HF에 기반한 습식 식각과 ICP 장비를 이용한 건식 식각을 모두 사용하였으며, 각각의 경우에 있어 다양한 조건에 대한 식각률을 추출하였다. 소스/드레인 형성 공정에는 Ge/Au/Ni/Au(75/400/100/1000 Å) 금속층을 이용한 오믹 접촉 형성을 위한 공정을 사용하였다. 300°C 60초의 어닐링 조건에서 최적의 결과를 얻을 수 있었다. 게이트 형성을 위한 리세스 식각 공정은 AZ300 현상액과 citric산을 이용하여 수행하였으며 citric산의 경우 GaSb와 AlGaSb 층 간의 높은 식각 선

택비를 얻을 수 있었다. 본 연구를 통하여 얻어진 공정을 실제 소자 제작에 적용함으로써, GaSb 기반 p-채널 HEMT 개발이 가능할 것으로 예측된다.

참고문헌

[1] ITRS roadmap, 2008
 [2] Kei May LAU, Chak Wah TANG, Haiou LI, and Zhenyu ZHONG, "AlInAs/GaInAs mHEMTs on Silicon Substrates Grown By MOCVD," *International Electron Device Meeting*, pp.723-726, 2008
 [3] M. Radosavljevic, T. Ashley, "High-Performance 40nm Gate Length InSb P-Channel Compressively Strained Quantum Well Field Effect Transistors for Low-Power (VCC=0.5V) Logic Applications," *International Electron Device Meeting*, pp.727-730, 2008
 [4] Lott, J.A., Klem, J.F., Wendt, J.R., "Strained p-channel InGaSb/AlGaSb modulation-doped field-effect transistors," *Electronics Letters*, vol.28, no.15, pp.1459-1460, 16 July 1992
 [5] E. Paris-Polakowska, "Surface treatments of GaSb and related materials for the processing of mid-infrared semiconductor devices," *Electron Technology - Internet Journal* Vol.37/38, pp.1-34, 2006
 [6] Oliver Dier, Chun Lin, Markus Grau, Markus-Christian Amann, "Selective and non-selective wet-chemical etchants for GaSb-based materials," *Semiconductor Science and Technology* Vol.19, pp.1250-1253, 2004

저 자 소 개

윤 대 근 (학생회원)



2006년 : 고려대학교 전기전자전파공학부 졸업 (공학사)
 2006년 9월~현재 : 고려대학교 대학원 석박사통합 과정
 <주관심분야> InAs HEMT, GaSb HEMT Ge PMOS

윤 종 원 (비회원)



2007년 : 고려대학교 전기전자전
파공학부 졸업 (공학사)
2007년 3월~현재 : 고려대학교
대학원 석박사통합 과정
<주관심분야> GaSb HEMT,
device modeling

고 광 만 (비회원)



1996년 : 호남대학교 전자공학과
졸업 (공학사)
2000년 : 충남대학교 대학원 전자
공학과 (석사과정)
2002년 1월 ~ 2006년 8월 : 코
리아바쿠프테크 재직

2000년 3월~현재 : 한양대학교 대학원 전자전기제
어계측공학과 박사과정
<주관심분야> III-V Epitaxy growth

오 재 응 (비회원)



1981년 : 한양대학교 전자공학과 졸업
(공학사)
1984년 : The University of
Nebraska Elect.Eng (석사)
1886년 12월 : The University of
Nebraska Elect.Eng (박사)
1988년 6월 : The University of
Michigan (Post-Doc)

1989년 4월 : The University of Michigan
(Research Associate)
1989년 5월~현재 : 한양대학교 교수(현)
<주관심분야> III-V Semiconductors and epi growth

이 재 성 (비회원)



1991년 : 서울대학교 전자공학과
졸업 (공학사)
1995년 : 서울대학교 대학원 전자
공학과 (석사)
1999년 : 미시간대학교 대학원 전
자컴퓨터공학과 (박사)

1999년~2004년 : IBM
2004년 9월~현재 : 고려대학교 부교수(현)
<주관심분야> mm-wave device and circuit design