

논문 22-7-8

상단락 방지용 모듈을 구동하기 위한 게이트 구동 IC

A Gate Drive IC for Power Modules with Shoot-through Immunity

서대원¹, 김준식¹, 박시홍^{1,a}
(Dae-won Seo¹, Jun-sik Kim¹, and Shihong Park^{1,a})

Abstract

This paper introduces a gate drive IC for power modules with shoot-through immunity. A new approach uses a bootstrap diode as a high-side voltage bias and a level shift function at the same time. Therefore, the gate drive circuit becomes a simple and low-cost without conventional level shift functions such as HVIC(High-Voltage IC), optocoupler and transformer. The proposed gate drive IC is designed and fabricated using the Dongbu-Hitek's 0.35 um BD350BA process. It has been tested and verified with IGBT modules.

Key Words : Gate drive IC, Floating power supply, Level shift, Bootstrap diode, Module With shoot-through immunity

1. 서론

현재 산업용 인버터에 사용되는 전력용 반도체 소자는 고내압, 고속 스위칭 및 높은 구동 전류 특성을 가지는 전압 구동형의 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)와 IGBT(Insulated Gate bipolar Transistor)가 널리 사용 된다. 전력용 반도체 소자의 고전력화 됨에 따라 다양한 보호 기능 등이 필요하다. 이러한 보호기능의 일환으로 최근 high-side switch와 low-side switch 사이에 다이오드를 추가하고 low-side switch의 드레인(컬렉터)과 high-side switch의 게이트를 연결하여 shoot-through 현상을 하드웨어 적으로 방지하는 상단락 방지 구조가 소개 되고 있다. 이러한 구조는 별도의 보호회로 없이 단락현상을 방지 할 수 있다[1-6].

본 논문에서는 상단락 방지용 모듈에 적합하고 간단하며 별도의 floating 전원이나 level shift 회로 없이 고전압 부트스트랩 다이오드(D_B)를 이용

하여 high-side를 구동하는 IC를 설계, 제작 및 검증하였다. 제작된 IC는 Cadence사의 Custom IC Design Tools를 사용하여 설계하였으며, 사용한 공정은 동부하이텍의 0.35 um BD350BA를 이용하였다.

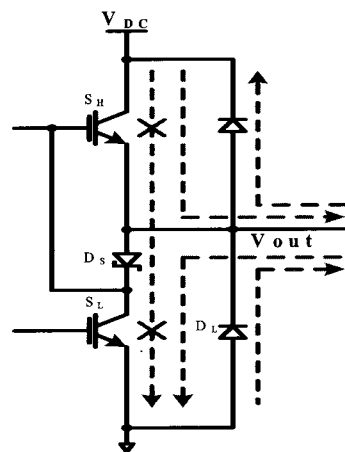


그림 1. 상단락 방지 구조의 half-bridge inverter.
Fig. 1. Shoot-through immunity structure of half-bridge inverter.

1. 단국대학교 전자전기공학과
(경기도 용인시 수지구 죽전동 126)
a. Corresponding Author : shihong@dku.edu
접수일자 : 2009. 6. 16
심사완료 : 2009. 6. 23

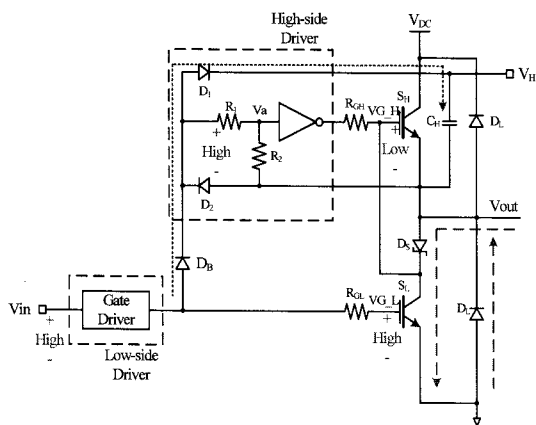


그림 2. Turn-off시 제안한 파워IC의 동작.
Fig. 2. Operation of power IC at turn-off.

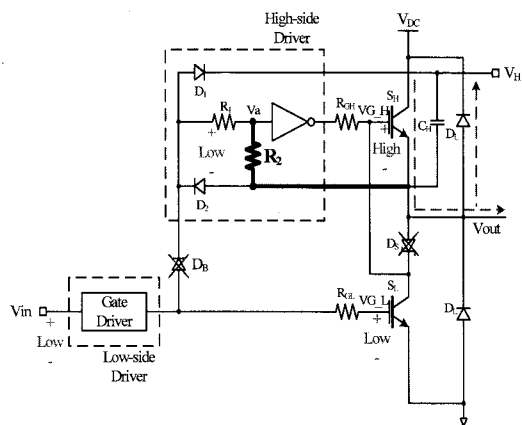


그림 3. Turn-on시 제안한 파워IC의 동작.
Fig. 3. Operation of power IC at turn-on.

2. 본 론

2.1 회로의 개념과 동작

그림 2와 그림 3은 상단락 방지용 모듈과 제안한 파워 IC의 구조를 나타낸다.

제안한 파워IC는 상단락 방지용 모듈에 적합하며 low-side switch(S_L)를 구동하기 위한 low-side driver와 high-side switch(S_H)를 구동하기 위한 high-side driver가 필요하다. 또한 high-side driver를 구동하기 위한 high-side의 floating 전원과 high-side에 신호 전달을 위한 level shift 회로가 필요하다. 설계된 IC는 low-side의 신호를 고전압 부트스트랩 다이오드(D_B)를 이용하여 high-side에 전달하는 level shift 회로를 구현하였으며, high-side에 부트스트랩 커패시터(C_H)를 추가하여, high-side 구동의 floating 전원을 공급한다.

2.1.1 Turn-off시 제안한 파워IC의 동작

그림 2는 turn-off시 제안한 파워IC 동작을 나타낸다. 입력신호(V_{in})는 high, low-side switch(S_L)는 turn-on 되며, low-side driver의 출력신호가 고전압 부트스트랩 다이오드(D_B)를 통해 high-side에 전달되어 high-side driver 입력(V_a)도 high가 되고, high-side driver 출력(V_{G_H})은 low 상태가 되며 high-side switch(S_H)는 turn-off 가된다. 따라서 상단락 방지용 모듈의 출력(V_{out})은 low가 된다. 이때 고전압 부트스트랩 다이오드(D_B)와 다이오드(D_1)를 통해 부트스트랩 커패시터(C_H)가 충전되며, 충전된 전압은 high-side driver의 floating 전원으로 사용된다.

2.1.2 Turn-on시 제안한 파워IC의 동작

그림 3은 turn-on시 제안한 파워IC 동작을 나타낸다. 입력신호(V_{in})는 low, low-side switch(S_L)는 turn-off 되며, 고전압 부트스트랩 다이오드(D_B)와 시리즈 다이오드(D_S)가 역전압이 되어 풀 다운 저항(R_2)에 의해 high-side driver 입력(V_a)은 low가 되고, high-side driver 출력(V_{G_H})은 high가 되며 high-side switch(S_H)는 turn-on 된다. 이때 상단락 방지용 모듈의 출력(V_{out})은 high 상태가 된다.

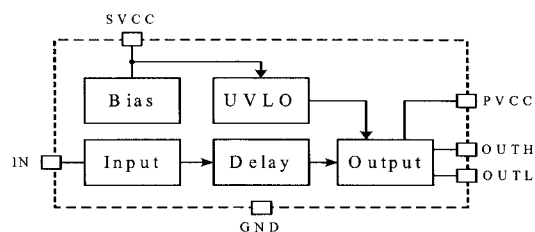


그림 4. Low-side drive IC 블록 다이어그램.
Fig. 4. Block diagram of low-side drive IC.

2.2 상단락 방지용 모듈을 구동하기 위한 파워 IC

2.2.1 Low-side drive IC

Low-side drive IC는 IGBT와 MOSFET과 같은 절연 게이트 소자를 구동 보호하는 파워 IC로써 최대 sourcing 전류 2 A, 최대 sinking 전류 4 A를 출력하는 구동 IC이다. Input과 동상의 output을 구현하였고 UVLO(Under Voltage Lock Out), matched delay outputs 기능 등을 내장하고 있다.

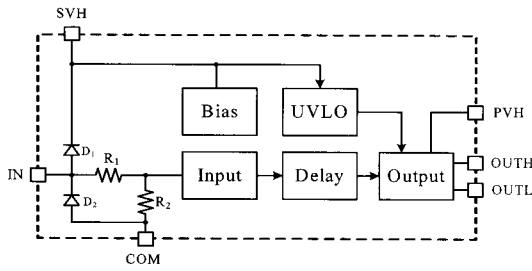


그림 5. High-side drive IC 블록 다이어그램.
Fig. 5. Block diagram of high-side drive IC.

2.2.2 High-side drive IC

High-side drive IC는 입력단에 고전압 부트스트랩 다이오드(HV_Diode)를 통해 부트스트랩 커패시터를 충전하여 별도의 전원 없이 인버터 모듈의 high-side를 구동하기 위한 파워 IC로써, 최대 sourcing 전류 2 A, 최대 sinking 전류 4 A를 출력하는 구동 IC이다. Input에 대해 반전된 output을 구현하였고, UVLO(Under Voltage Lock Out), matched delay outputs 기능 등을 내장하고 있다.

3. 실험 결과 및 검토

설계된 파워IC는 동부 BCDMOS공정을 사용하여 칩 면적은 $2450 \times 1600 \mu\text{m}^2$ 의 크기이고, package는 16-PIN의 SOP type으로 제작하였다.

3.1 실험용 회로 구성

설계된 파워IC의 유용성을 실험을 통해 검증하기 위하여 제작한 PCB test board를 그림 7에 나타내었다.

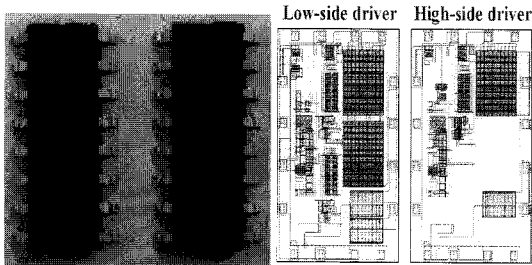


그림 6. 제작된 파워IC와 칩 레이아웃.
Fig. 6. Package outline and chip layout of designed power IC.

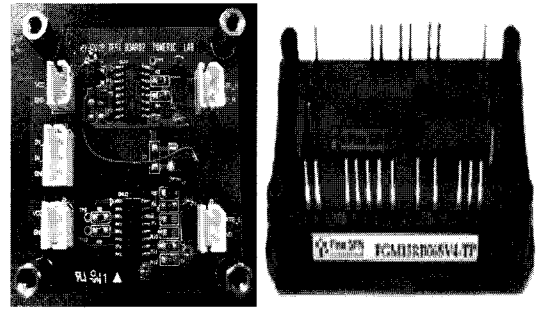


그림 7. Test board 와 상단락 방지용 모듈.
Fig. 7. Test board and modules with shoot-through immunity.

실험 조건으로는 $C_H=22 \mu\text{F}$, $C = 4700 \mu\text{F}$, $V_{DC} = 300 \text{ V}$, $R_{GL} = R_{GH} = 0 \Omega$, V_{in} 은 USBee로 0 V ~ 5 V를 주었고 Fine SPN과 LS산전이 공동 제작한 상단락 방지용 모듈을 사용하였다. 또한 입력 신호로 더블 펄스(Pulse width = 50 us)를 인가하여 출력 파형을 측정하였다.

3.2 실험 결과

그림 8~11는 제안한 파워IC의 실험 결과이다.

그림 8에서 V_{in} 은 low-side driver의 입력전압이고, V_{G_L} 은 low-side 게이트 전압, V_{G_H} 는 high-side 게이트 전압이다. 또한 그림 9에서 V_{out} 은 모듈의 출력 전압을 나타내며 그림 10은 그림 9의 스위칭 부분(A)을 확대한 파형이다.

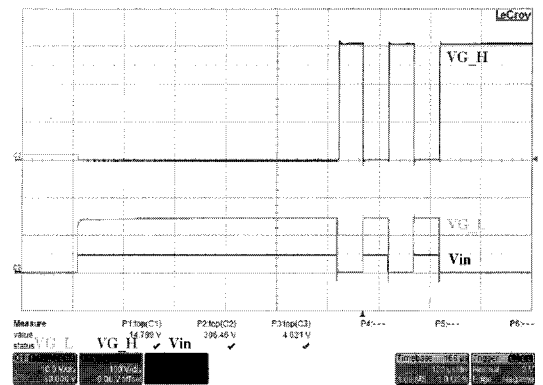


그림 8. 입력 및 출력 측정 파형.
Fig. 8. The measured Input and output waveforms.

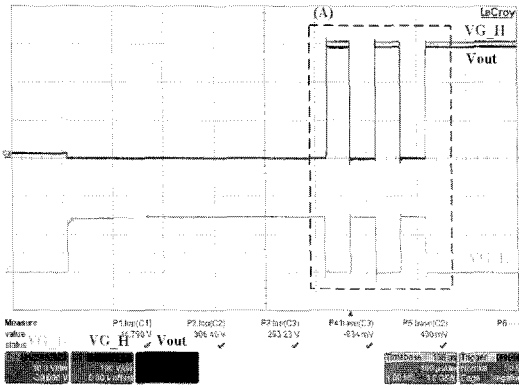


그림 9. 게이트 전압과 출력 전압 파형.
 Fig. 9. The measured waveforms of gate and output voltage.

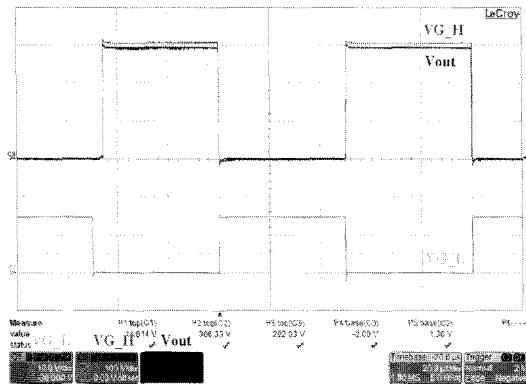


그림 10. 그림 9의 (A)부분 확대한 실험 파형.
 Fig. 10. The expanded waveform of Fig. 9.

3.2.1 입력신호(Vin) High 인가 할 때

입력신호(Vin)가 4.6 V로 high가 인가 될 때, VG_L 전압은 14.8 V로 high 상태가 되고, VG_H 전압은 0 V로 low이며, 상단락 방지용 모듈의 출력 파형(Vout)은 0 V의 low로 동작함을 확인 할 수 있다.

3.2.2 입력신호(Vin) Low 인가 할 때

입력신호(Vin)가 0 V로 low가 인가 될 때, VG_L 전압도 0 V로 low 상태가 되고, VG_H 전

압은 floating된 306 V로 high가 출력된다. 따라서 상단락 방지용 모듈의 출력 파형(Vout)은 292 V의 high로 동작함을 확인 할 수 있다.

4. 결론

본 논문에서는 상단락 방지용 모듈을 구동하기 위한 파워 IC를 구현하였다. 제한한 파워 IC는 최대 sourcing current 2 A, 최대 sinking current 4 A의 출력 전류로 구동하며, 별도의 floating 전원, HVIC(High-Voltage Integrated-Circuit) 없이 구현 가능하다. 또한 opto-coupler, transformer 등의 추가적인 application 회로 없이 고전압 다이오드를 이용하여 high-side를 구동하는 IC를 제작하였다. 제작된 IC는 실험 결과를 통해 상단락 방지용 모듈에 적용하여 이상 없이 동작함을 확인 하였다.

감사의 글

본 연구는 전력IT사업단을 통해 지식경제부의 전력산업기술개발사업으로부터 지원받아 수행되었습니다.

참고 문헌

- [1] 광동걸, "전력용 MOSFET 기술 동향", 전력전자학회, 5권, 6호, p. 29, 2000.
- [2] S. H. Park, "An augmented phase-leg configuration (APLC) with shoot-through immunity for insulated gate power", University Of Wisconsin-Madison, p. 39, 2004.
- [3] B. J. Baliga, "Power Semiconductor Devices", PWS Publishing Company, p. 387, 1995.
- [4] I. R. Corp., "Use Gate Charge to Design the Gate Drive Circuit for Power MOSFETs and IGBTs", IR Application Note AN-944.
- [5] I. R. Corp., "HW Floating MOS-Gate Drive ICs", IR Application Note AN-978.
- [6] Park, S. and T. M. Jahns, "An augmented phase-leg configuration with shoot-through immunity and improvements for high-current operation", IEEE APEC Conference, Anaheim, CA, 2004.