

# Voltage Clamp Bias를 사용한 고전압 LED Drive IC

## A High Voltage LED Drive IC using Voltage Clamp Bias

김성남<sup>1</sup>, 박시홍<sup>1,a</sup>

(Seong-nam Kim<sup>1</sup> and Shihong Park<sup>1,a</sup>)

### Abstract

Due to the enormous progress achieved in light emitting diodes (LEDs) LEDs have been become a good solution for lightings. In LED driver for lighting applications, it is required high input voltage to drive more LEDs. Therefore, high-voltage should be changed to low-voltage to supply power for drive IC. In this paper, LED drive IC using voltage clamp bias circuit, it use a hysteretic-buck converter topology was proposed and verified through experiments.

**Key Words** : Voltage clamp, Bias, LED driver, Switching regulator

### 1. 서론

LED가 발전함에 따라 낮은 전압을 사용하는 휴대용 기기에서부터 높은 전압을 사용하는 차량용, 가전용, 조명용까지 다양한 어플리케이션의 LED 드라이버가 개발되고 있다. 특히 조명용 LED driver의 경우 원가절감을 위해서 AC를 직접적으로 정류한 높은 DC 환경에서 LED를 구동하는 특성이 요구된다. 따라서 높은 DC 전압에서 low voltage의 drive IC의 전원을 공급하기 위해 레귤레이터가 필요하다. IC 내부에 레귤레이터를 내장하는 것은 고전압 공정이 요구됨에 따라 용이하지 않고 외부의 discrete 소자를 사용하는 방법은 추가적인 비용이 고려되어야 한다.

본 논문에서는 높은 입력 전압을 voltage clamp 방식을 이용하여 IC의 전원을 공급하여 LED를 구동하는 LED driver 회로 및 IC를 제안하고 제작 및 실험을 통해 검증하였다. 제안된 회로 및 IC는 고전압 공정이 필요하지 않으므로 IC 단가 및 어플리케이션에서의 비용 절감과 공정에서의 유연성 향상을 기대할 수 있으며 DC/DC or AC/DC LED

driver applications, 조명 및 장식용 LED lighting, RGB backlight LED driver 및 일반적인 constant current source 등의 applications에서 사용가능하다. 설계된 LED drive topology는 low side N-type MOSFET(Metal-Oxide Semiconductor Field Effect Transistor) controller를 이용한 hysteretic converter로 설계되었다.

### 2. 본론

#### 2.1 제안된 IC의 구조 및 동작

제안된 IC의 내부 블록 다이어그램은 그림 1에 나타내었다. 각 블록에 대한 간략한 설명은 다음과 같다.

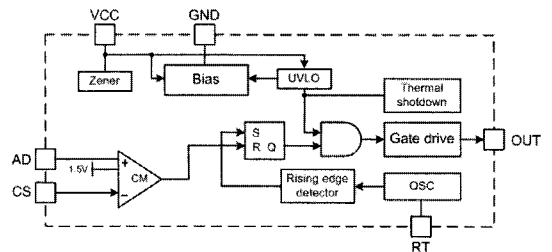


그림 1. 제안된 IC의 block diagram.  
Fig. 1. Block diagram of the proposed IC.

1. 단국대학교 전자공학과  
(경기도 용인시 수지구 죽전동 126)  
a. Corresponding Author : shihong@dku.edu  
접수일자 : 2009. 6. 16  
심사완료 : 2009. 6. 24

2.1.1 Bias block

온도에 둔감한 Bandgap reference (1.2 V) 를 통해 4.5 V의 voltage reference 를 구성하여 나머지 회로의 전원을 공급하고 current bias 역시 온도에 둔감하도록 설계, 각 블록에 5 uA의 전류를 공급한다.

2.1.2 Zener block

AC를 정류한 높은 DC link 전압을 IC의 전원 bias 레벨로 낮추기 위해 사용된 voltage clamp amplifier로서 전원단의 캐패시터의 전압을 유지하기 위해서 DC link로부터 공급되는 잉여 전류를 sinking하여 전원전압을 레귤레이션한다. VCC에 대해 9.1 V의 threshold voltage 를 가지며 VCC =9.3 V 일 때 최대 7.5 mA의 sinking current를 가지도록 설계되었다.

2.1.3 Oscillator(osc)

외부 스위칭 소자를 turn on 하기 위한 클럭을 생성하여 control block으로 전달한다. IC 외부의 저항 (R<sub>T</sub>) 을 통해 주파수 조절을 가능하도록 설계하였다. 대표적인 외부 저항 값에 따른 clock frequency는 다음과 같다.

표 1. R<sub>T</sub>에 따른 clock frequency.

Table 1. Clock frequency variation with R<sub>T</sub>.

	R <sub>T</sub> (kΩ)	frequency (kHz)
f <sub>osc</sub>	1000	25
	232	100
	84	250

2.1.4 Control block

Control block은 osc의 on clock과 current limit comparator 및 protection blocks의 제어 신호를 받아 스위칭 소자의 on/off를 결정하여 gate drive 회로로 전달한다. minimum on time은 220 nsec로 on clock과 current limit clock이 동시에 발생하면 on clock을 선택하도록 설계하여 current sense blanking interval을 확보하였다.

2.1.5 Protection block

IC의 전원 전압이 충분하지 않은 경우에 회로의 오동작을 방지하기 위한 UVLO (under voltage lockout, threshold voltage =8.5 V, hysteresis =0.5 V) block, 일정 온도 이상에서의 과열을 보호하기

위한 thermal shutdown block (threshold temperature =142 °C, hysteresis =8 °C), gate drive 단의 상/하측 단락을 방지하기 위한 deadtime 회로(40 nsec)로 구성되어 있다.

2.2 제안된 IC의 전원 bias 구조

본 논문에서 구현한 IC의 전원 bias 구조를 그림 2에 나타내었다. 정류기를 거친 높은 DC 전압이 입력 전압 (VIN) 이 된다. IC의 전원이 되는 캐패시터는 DC 전압으로부터의 RC series network에 의한 충전과 IC로의 공급 전류에 의한 방전을 하게 된다. 그림과 같이 전원 전압을 clamp 하기 위해 IC에 amplifier를 내장하여 전원전압이 임계값 이상이 되면 DC link로부터 잉여 전류를 sinking하여 IC전원단의 캐패시터 전압이 상승하지 않도록 clamp한다. 초기 동작에 대해 간략히 서술하면 다음과 같다.

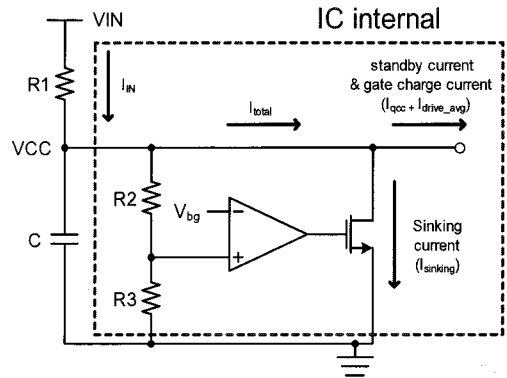


그림 2. IC의 내부 전원 bias의 구조도.

Fig. 2. Internal scheme of voltage bias.

IC는 전원 전압이 바이어스 되어 있지 않으므로 동작하지 않으며 전원단의 캐패시터는 DC link로부터 RC의 시정수로 충전을 하게 된다. 전원 전압이 UVLO에 설정된 임계전압 이상이 되면 외부 스위칭 소자의 구동이 시작 된다. 전원 전압은 amplifier가 동작하여 VIN으로부터 공급되는 전류와, IC로 공급하는 전류가 같아 질 때까지 상승하게 된다. 이후 voltage clamp amplifier의 feedback을 통해 레귤레이션을 계속하며 스위칭 소자를 구동한다.

외부 저항값은 DC전압으로부터 공급되는 전류와 IC로 공급하는 전류에 의해 결정된다. 각 전류는 다음과 같이 표현할 수 있다.

$$I_N = (V_{IN} - V_{CC}) / R_1$$

$$I_{total} = I_{qcc} + I_{drive\_avg} + I_{sinking}$$

- \*  $I_{qcc}$  : IC의 standby current
- $I_{drive\_avg}$  : driving current의 주기 평균값
- $I_{sinking}$  : amplifier의 sinking current

$I_N$ 은 DC link로부터 공급되는 전류이며,  $I_{total}$ 은 IC로 공급하는 전류로 IC의 standby 전류( $I_{qcc}$ )와 외부 스위칭 소자의 gate charge 전류( $I_{drive\_avg}$ ), zener amplifier의 sinking 전류( $I_{sinking}$ )로 구성된다.  $I_{sinking}$  전류는 zener amplifier의 feedback 동작에 의해서 전원전압이 임계전압 이상 상승하지 않도록 결정되며 정상상태에서는  $I_N$ 과  $I_{total}$ 이 동일한 값을 유지하게 된다.

이러한 레귤레이션 동작이 가능하도록 하기 위해  $I_{sinking}$ 의 최대 전류( $I_{sinking\_max}$ )를 고려한  $I_{total}$ 의 크기가  $I_N$ 의 전류값보다 크도록  $R_1$ 의 값을 결정해야 한다.  $R_1$ 의 크기가 커질수록 요구되는  $I_{sinking}$ 의 크기가 작아져 전력소비를 줄이고 반대로  $R_1$ 이 작을수록  $I_{total}$ 에 대해 큰 마진을 가지고 동작을 하게 된다. 제안된 IC는  $I_{sinking\_max} = 7.5$  mA,  $I_{qcc} = 0.3$  mA로 설계되었으며 AC의 정류된 DC 전압 400 V 내외의 경우  $R_1$ 의 값은 50 kΩ ~ 150 kΩ 정도에서 사용할 수 있다.

외부 캐패시터의 크기는 외부 스위칭 소자의 gate charge의 transient 시간과 gate drive 전류, 허용되는 VCC 전압의 리플을 통해 결정할 수 있으며 초기 전원 전압이 RC의 time constant로 상승하므로 시스템의 요구되는 ontime이 고려되어야 한다.

### 2.3 어플리케이션 구조

그림 3은 제안된 voltage clamp bias 구조 및 설계된 IC를 이용한 LED driver의 구조도이다. shunt 저항을 통해 스위칭소자의 전류를 센싱하여 내부 control logic을 통해 low side n-type MOSFET을 제어하는 hysteretic-buck converter를 구성하였다. LED current는 shunt 저항, 외부 인덕터의 크기를 통해 조절가능하며 IC의 AD pin과 PWM pin을 통해 analog dimming 및 PWM dimming이 가능하다. AD pin의 입력전압은 외부 어플리케이션에 따라 0V에서 1.5V까지 직접 입력이 가능하도록 하였고 입력이 없을 경우 IC 내부의 voltage reference에 의해 1.5V로 설정되게 된다. PWM pin의 threshold 전압은 1.7V로 선정하여 비교적 낮은 logic level의 전압으로 제어 가능하도록 하였다.

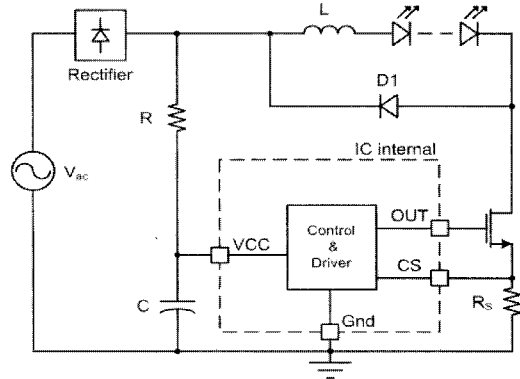


그림 3. Low-side hysteretic LED drive 구조.  
Fig. 3. Low-side hysteretic LED drive structure.

### 3. 실험 결과 및 검토

그림 4는 제작된 IC의 pin information 및 실험에 사용된 PCB이다. package는 8-Lead SOIC를 사용하였다.

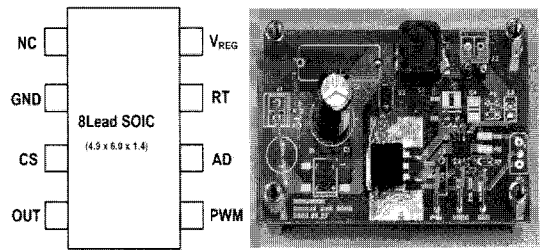


그림 4. 패키지 외관도와 test board.  
Fig. 4. Package outline & test board.

DC link의 입력전압( $V_{IN}$ )에 따른 IC 전원 전압의 변화를 그림 5에 나타내었다. 실험 조건은  $R_1 = 50$  kΩ,  $C = 3.3$  uF로 선정하고  $V_{IN}$  전압을 0V에서 200V로 변화시켰다.  $V_{IN}$  전압이 약 25V에서 Regulation point를 가짐을 확인하였다.  $V_{IN}$ 의 추가 상승에 대해 1%내의 load regulation을 가지고 레귤레이션 되었다.  $V_{reg}$ 의 regulation voltage 10.6V는 설계 목표치인 9.1V 대비 13.3%의 오차를 가지며 이는 설계상의 오차, 소자의 mismatch, test board의 parasitic components에 기인한 것으로 추정된다.

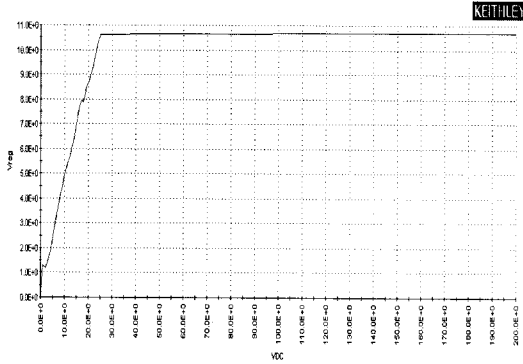


그림 5. Voltage bias 블록의 VIN-vreg 측정 파형.  
Fig. 5. The measured waveforms of VIN-vreg.

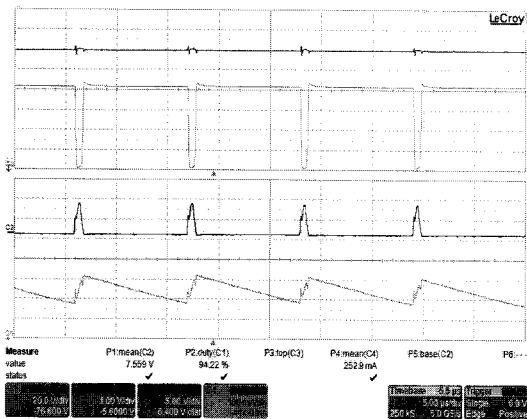


그림 6. 전체 시스템의 동작 출력 파형.  
Fig. 6. The experimental waveforms of system.

그림 6은 설계된 IC의 full circuit 실험 결과이다. 시뮬레이션 조건은  $V_{IN} = 80\text{ V}$ ,  $L = 330\text{ }\mu\text{H}$ ,  $R_1 = 50\text{ k}\Omega$ ,  $C = 3.3\text{ }\mu\text{F}$ ,  $R_S = 1\text{ }\Omega$ ,  $R_T = 240\text{ k}\Omega$ ,  $V_{LD} = 0.25\text{ V}$ 로 설정하여  $I_{limit} = 250\text{ mA}$ 가 되도록 하였고 외부 스위칭 소자는 범용 MOSFET인 IRF540을 사용하였다. 파형은 상측에서부터 하측으로 순서대로 vreg 전압, 스위칭 소자의 드레인 전압, 게이트 전압, LED 전류의 transient 응답 파형을 나타낸다.

전원 전압이 외부 스위칭 소자의 on/off에 따라 약 200 mV 정도의 ripple을 가지고 충, 방전을 반복하며 레귤레이션 되고 있음을 확인 할 수 있다. 스위칭 소자의 게이트 전압과 드레인 전압을 통해 스위칭 소자가 정상적으로 구동되고 있음을 확인

하였으며 LED의 평균 전류는 252.9 mA로 측정되었다.

#### 4. 결론

본 논문에서는 고전압 LED drive용 low-side hysteretic converter의 전원 bias 구조 및 drive IC를 Magnachip사의 HV60H16 공정을 사용하여 설계 및 검증하였다. 제안된 구동 IC는 고전압용으로, voltage clamp 방법을 사용하여 전원을 바이어스 함으로써 고전압 공정을 사용하지 않아 IC의 생산비 절감효과 및 공정에 대한 유연성 향상을 기대할 수 있으며 넓은 입력 전압 범위(9 V~400 V)에서 사용이 용이한 특징을 지닌다. 회로의 신뢰성을 보장하기 위해 UVLO, thermal shut down 등의 protection block과 LED 구동을 위한 bias, output 등의 driver block으로 구성되어 있다. 제안된 bias 구조 및 IC는 제작 및 실험을 통해 동작에 이상이 없음을 확인하였다.

#### 감사의 글

본 연구는 단국대학교의 연구비 지원에 의한 것입니다.

#### 참고 문헌

- [1] H. Yamagata and N. Hoshimiya, "Voltage clamp processor system", IEEE transactions of biomedical engineering, Vol. BME-30, No. 2, 1983.
- [2] R. Miftakhutdinov, "Analysis of synchronous buck converter with hysteretic controller at high slew rate load current transients", Proc. of High Frequency Power conversion Conference, p. 55, 1999.
- [3] A. R. Brown and R. D. Middlebrook, "Sampled-data Modeling of Switching Regulator", p. 349-3 69, 1981.
- [4] H. Broeck and G. Sauerländer "Power driver topologies and control schemes for LEDs", IEEE APEC 2007, p. 1319, 2007.
- [5] K. Smedley and S. Cuk, "One-cycle control of switching converters", IEEE Trans. Power Electron, Vol. 10, No. 6, p. 625, 1995.