

고용량 광 디스크의 고속 재생을 위한 병렬 데이터 추출구조

최 광 석[†]

요 약

광 디스크를 재생하려면 광 신호를 아날로그 전기신호로 변환하는 광 픽업을 거치고 난 뒤 신호 간 간섭을 없애기 위해 아날로그적으로 등화를 하고, 등화된 아날로그 신호를 AD 변환하여 디지털적으로 동기화된 데이터와 클럭을 추출해야 한다. BD와 같은 고용량의 광 디스크를 저속으로 재생하여 동기화된 데이터와 클럭을 추출하는데 있어서 추출 데이터 BER을 최소화하는 알고리즘은 다양하게 개발되어 적용되고 있다. 그러나 고용량의 광 디스크를 고속으로 재생 할 때 저속에서 적용된 알고리즘을 동일한 혼성 데이터 PLL과 PRML 하드웨어 구조에 적용하려면 800MHz 이상의 신호 처리가 이루어져야 한다. 일반적으로 사용되는 0.13- μ m CMOS 공정에서 기존 방식의 구조를 가지고 800MHz의 이상의 신호처리를 위해서는 고속으로 동작해야하는 아날로그 코어 등이 필요하고 많은 시간과 노력의 레이아웃이 수반되어야 하는 등의 문제점이 제기된다. 본 논문에서는 고용량 광 디스크의 최고 배속인 BD 8x까지 동작 가능한 데이터 및 클럭 추출 회로로서 병렬 데이터 PLL 및 PRML 구조를 제안하였다. 제안한 구조를 가지고 실험한 결과 BD 8x에 해당하는 속도에서 오류 없이 동작함을 확인하였다.

Parallel Data Extraction Architecture for High-speed Playback of High-density Optical Disc

Goang Seog Choi[†]

ABSTRACT

When an optical disc is being played, the pick-up converts light to analog signal at first. The analog signal is equalized for removing the inter-symbol interference and then the equalized analog signal is converted into the digital signal for extracting the synchronized data and clock signals. There are a lot of algorithms that minimize the BER in extracting the synchronized data and clock when high-density optical disc like BD is being played in low speed. But if the high-density optical disc is played in high speed, it is difficult to adopt the same extraction algorithm to data PLL and PRML architecture used in low speed application. It is because the signal with more than 800MHz should be processed in those architectures. Generally, in the 0.13- μ m CMOS technology, it is necessary to have the high speed analog cores and lots of efforts to layout. In this paper, the parallel data PLL and PRML architecture, which enable to process in BD 8x speed of the maximum speed of the high-density optical disc as the extracting data and clock circuit, is proposed. Test results show that the proposed architecture is well operated without processing error at BD 8x speed.

Key words: PRML, Branch Metric(가지 메트릭), Adaptive Equalizer(적응 등화기), Viterbi Detector(비터비 검출기)

※ 교신저자(Corresponding Author) : 최광석, 주소 : 광주광역시 동구 서석동 375(501-759), 전화 : 062)230-7716, FAX : 062)220-2643, E-mail : gschoigs@chosun.ac.kr
접수일 : 2008년 9월 1일, 완료일 : 2008년 12월 24일

[†] 정회원, 조선대학교 정보통신공학과 조교수

※ 본 연구는 2007년 정부의 재원으로 한국 학술진흥재단의 지원을 받아 수행된 연구임(KRF-2007-331-D00325)

1. 서 론

광 디스크는 AV 응용 및 저장 등에 사용되는 비트 당 가격이 가장 저렴하면서도 편리한 매체이다. 광 디스크의 변천과정을 보면 1982년에 CD(Compact Disc)가 도입되고 90년대 중반 DVD(Digital Versatile Disc)를 거쳐 2002년에 BD(Blu-ray Disc) 규격이 확정되는 과정을 거친다. 일반적으로 DVD가 4-8Mb/s로 SDTV (Standard Definition TV) 방송을 2시간 이상 저장할 수 있는 매체라면, BD는 23-25 Mb/s로 HDTV (High Definition TV) 방송을 2시간 이상 저장할 수 있는 매체로 23GB 이상의 용량을 가진다. 이러한 광 디스크를 재생하거나 저장하는 광 디스크 시스템의 개발은 다양한 형태로 꾸준히 진행되어 왔다[1,2]. 그림 1은 일반적인 광 디스크 시스템의 구성도이다. 일반적인 광 디스크 시스템은 광에서 변환된 아날로그 신호를 등화 하는 RF 블록, 등화된 아날로그 신호를 AD (Analog-to-Digital) 변환해서 채널 클럭 및 비트 스트림(Bit Stream) 형태의 데이터를 추출하고 추출된 비트 스트림에서 사용자 데이터 (User Data)를 얻어내는 전단 (F/E : Front-End) 블록 및 원 데이터를 압축하거나 원 데이터로 신장하는 등의 기능을 하는 후단 (B/E : Back-End) 블록으로 나뉜다. 본 연구에서는 채널 클럭 및 비트 스트림 데이터를 추출하고 사용자 데이터를 얻는 전단 블록 특히, 데이터 PLL(Phase Locked Loop)과 PRML(Partial Response Maximum Likelihood) 등의 데이터 추출 부분에 대해서 집중적으로 언급한다.

광 디스크 전단 블록 회로를 구현하는데 있어서 몇 가지 이슈가 있다. 첫째, 통합화이다. 기존 CD, DVD 및 BD 등의 다른 규격으로 인해 각각 처리되는 회로들을 하나의 통합된 회로로 설계하여 한 개의 SOC(System On Chip)로 구현하고 있다[2,3,4]. [2]에서는 3개의 칩 셋 (Chip-set)으로 CD와 DVD를 포함하여 BD 2x까지 재생할 수 있는 전단 블록을 구현하였다. 둘째, 재생 능력이다. 광 디스크들은 디스크 종류, 제조 장소, 제조 일시 및 디스크 보관 상태

등의 변수에 따라 광 디스크에 저장되어 데이터를 정확하게 재생하기도 하고 재생에 실패하는 경우도 있다. 이에 따라 광 디스크 전단 블록을 개발할 때 이러한 여러 가지 변수들을 고려하는 등 우수한 재생 알고리즘을 개발하여 재생할 때 추출되는 데이터 비트 오류 즉, BER (Bit Error Rate)이 최소가 되도록 한다[5,6]. 참고로 [1]에서는 고용량 광 디스크인 BD를 2x로 재생했을 때 PR(a,b,c,d,e)타입의 채널 모델을 가지고 우수한 재생능력을 가지는 데이터 추출 알고리즘을 소개하였다. 셋째, 고속화이다. 많은 양의 데이터를 빠른 시간에 재생하기 위해서는 고용량의 광 디스크 데이터를 고속으로 추출하고 신호 처리할 수 있어야 한다. 그러나 광 디스크 데이터를 고속으로 추출하고 처리할 때 많은 물리적 비용이 든다. 우선 고속으로 인한 데이터 신호 간 간섭으로 인해 추출하고자 하는 데이터 신호의 열화가 일어나므로 정확히 데이터 신호를 추출하는 것이 쉽지 않다. 이를 위해서 정확한 채널 모델링이 필요하고 이에 따른 등화기와 비터비 검출기가 설계되어야 한다 [7,8]. 그러나 저속으로 재생하는데 사용된 알고리즘과 회로구조를 가지고 고속에 동일하게 적용했을 경우에 레이스 문제 등으로 인해 오동작이 일어날 수 있다. 이를 회피하는 방안으로는 고속으로 동작하는 아날로그 코어가 필요하고 공정, 온도 및 공급전원 변화에 둔감할 수 있는 레이아웃 (Layout)이 이루어져야 한다. 그러나 현재 비-메모리 공정에서 많이 사용되는 0.13- μm CMO 공정의 라이브러리를 사용하면서 두 가지의 요소들을 충족시키는 것은 쉽지 않으며 회로 구조를 바꿈으로서 고속 재생에 대응하는 것이 필요하다. 본 논문에서는 고용량의 광 디스크를 저속으로 동작시켰을 때 검증된 알고리즘을 고속으로 동작시키기 위하여 데이터 추출 회로의 병렬 구조를 제안하고 동작을 검증한다.

본 논문에서는 일반적인 데이터 추출 방법 및 구조에 대한 설명과 함께 제안한 고속 병렬 데이터 추출 구조에 대해 2장에서 소개한다. 이어서 3장에서는 제안된 구조의 구현 및 실험결과를 나타내고, 마지막으로 4장에서 결론을 맺는다.

2. 병렬 데이터 추출 구조

그림 2는 일반적인 데이터 추출 구조이다. 일반적

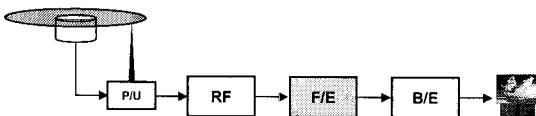


그림 1. 일반적인 광 디스크 시스템 구성도

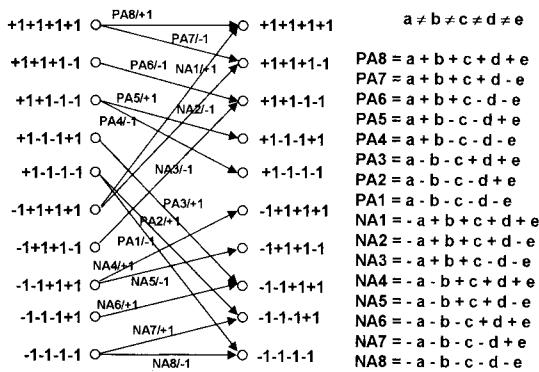


그림 5. 트렐리스도와 16개의 기준 레벨

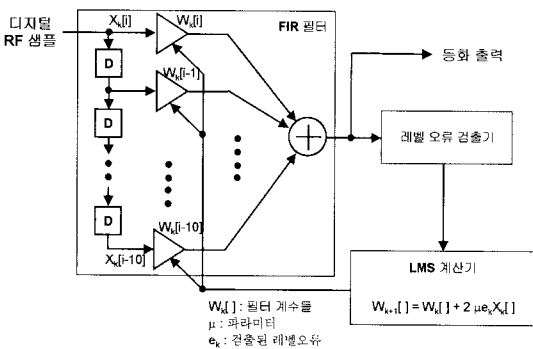


그림 6. 일반적인 적응 등화기 구조

여기서 W_{k+1} , W_k , X_k , ϵ , μ 는 $k+1$ 번째 샘플 시간에서의 새로운 필터 계수들, k 번째 샘플 시간에서의 현재 필터 계수들, k 번째 샘플 시간에서 모든 필터 탭에서의 입력 데이터, 적응오류 및 적응 이득이다. 식 (1)에서 적응 이득 μ 는 시스템에 의해 제어 가능한 상수이지만 적응 오류 ϵ 는 계산되어지는 변수이다. 필터의 탭 계수들 W_{k+1} 을 개선하기 위해서는 레벨오류 검출기에서 적응 오류 ϵ 가 계산되어진다. LMS 계산기는 식 (1)의 기능을 수행한다. 16개의 기준 레벨은 고정되어있지 않고 채널의 특성에 따라 변화해야 한다. 그림 4의 채널 인식기의 기능이 5-탭 비터비 구조와 적응 등화기를 가지고 채널 특성을 나타내는 16 레벨들을 발견하는 것이다. 매 샘플 시간마다 16 비터비 레벨들 중에서 한 개의 레벨을 선택적으로 개선시킨다.

$$L_{k+1} = L_k + d/c \quad (2)$$

여기서 L_{k+1} , L_k , X_k , d , c 는 $k+1$ 번째 샘플 시간에 선택된 새로운 레벨, k 번째 샘플 시간에 선택된 새로

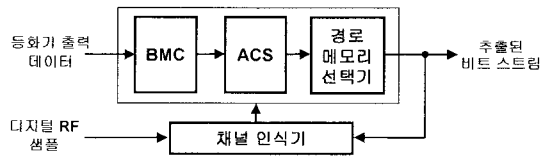


그림 7. 일반적인 비터비 검출기 구조

운 레벨, k 번째 샘플 시간에 입력 데이터에서 선택된 레벨을 뺀 값에 상응하는 레벨 오류 및 채널 인식 이득들이다.

그림 7은 일반적인 비터비 검출기 구조이며, BMC (Branch Metric Calculator), ACS(Add Compare Select) 및 경로메모리 선택기로 구성된다. BMC에서는 적응 등화기의 출력 값과 이미 정의되어진 기준 레벨과의 차의 절대 값을 계산한다. 총 16개의 BM 값이 계산되어진다. 그리고 채널 인식기에서 계산되어지는 16개의 기준 레벨들은 계속해서 채널 특성에 따라 변화하게 된다. 비터비 검출기에서는 그림 5의 트렐리스도에 나타나는 것처럼 10개의 상태(state)를 가진다. ACS는 현재 10개의 각 상태의 현재 값에서 입력되는 하나 혹은 두개의 BM 값을 더하여 얻어지는 새로운 하나 혹은 두개의 값들 중에서 작은 값을 새로운 상태 값(State Metric)으로 개선해나가며 저장한다. 일정량의 길이만큼 상태 값과 출력 값을 저장한 뒤에 역으로 상태 메트릭을 값을 비교해가면서 출력 값을 비트 스트림 형태로 발생시킨다.

그림 8은 제안된 병렬 데이터 추출 구조에서 디지털 RF 샘플과 채널 클럭 및 분주된 채널 클럭을 생성하는 병렬 데이터 PLL이다. 병렬 데이터 PLL은 ADC, 4개의 비대칭 보상기(ASYM, Asymmetry Compensator), 2개의 FD/PD, 루프 필터 및 DCO로 구성된다. 기존 데이터 PLL과 동일하게 아날로그적으로 등화된 차동 RF 입력신호는 ADC를 통해 디지털

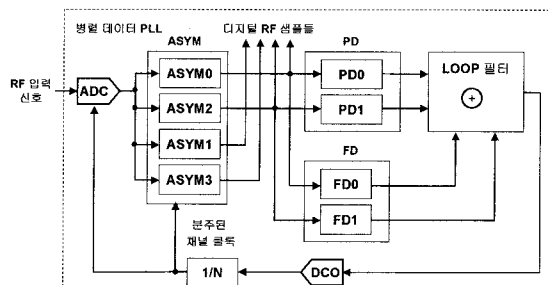


그림 8. 제안된 병렬 데이터 PLL 구성도

널 신호가 된다. BD 8배속과 같은 고속 재생을 위하여 ADC는 7비트이고 최대 530MHz의 샘플 주파수에서도 효과적인 AD변환을 할 수 있는 아날로그 코어를 선택한다. 디지털로 변환 RF 신호는 4개의 샘플 단위마다 동일한 비대칭 보상기에 할당되어 처리된다. 비대칭 보상기는 광 디스크 채널 특성으로 인한 상하 왜곡을 보정해주고 DC 오프셋을 제거해주는 역할을 한다. 여기서 첫 번째 보상기 ASYM0와 세 번째 보상기 ASYM2에서 나오는 디지털 RF 샘플들을 활용해서 병렬 데이터 PLL을 구성하고, 4개의 보상기에서 나오는 출력들은 병렬 PRML 구조에 활용되어지기 위해 병렬 적응 등화기로 출력된다. 루프 필터로 입력된 각각의 오류 값들이 DCO로 입력되고 DCO는 이러한 오류 값에 의해 그의 출력을 변화시킨다. BD 8배속까지 활용되기 위해서 14비트 100~530MHz까지 동작하는 DCO를 활용한다. DCO에서 출력되는 주파수를 위상별로 분주하여 비대칭 보상기 등의 병렬 데이터 PLL과 병렬 PRML블록에서 활용한다.

그림 9는 병렬 적응 등화기와 병렬 비터비 검출기로 구성되는 병렬 PRML이다. 기존의 LMS 알고리즘을 동일하게 적용하고 광 디스크 채널을 PR(a,b,c,d,e) 타입으로 모델링 하는 것으로 해서 구성되었다. 병렬 디지털 PLL 블록에서 4개의 채널 클럭 단위로 출력되는 각각의 디지털 RF 샘플들을 각각 4개의 디지털 필터 엔진(#1, #2, #3, #4)으로 입력되어 처리된다. 모든 샘플들은 병렬로 처리되지만 LMS를 계산하기 위해 인접 샘플이 필요하므로 디지털 필터 엔진들에서 LMS 계산기 엔진으로 값들이 퍼드백 되기도 한다.

3. 구현 및 실험 결과

제안한 병렬 데이터 추출 구조는 0.13- μ m CMOS

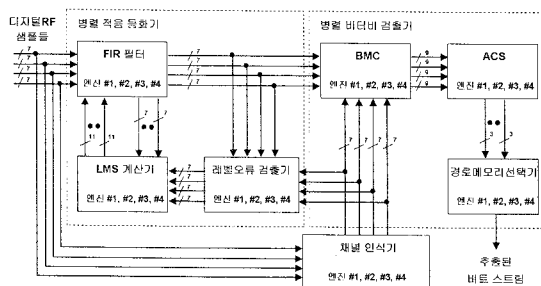


그림 9. 제안된 병렬 적응 등화기 및 비터비 검출기 구성도

공정 라이브러리를 이용하여 설계되고 구현되었다. 병렬 데이터 추출 구조를 포함하는 SOC가 탑재된 테스트 보드는 그림 10과 같다. BD 8x의 경우 528MHz의 채널 클럭으로 실제적으로 시제품 단계에서 광 디스크를 동작시키기 매우 어려운 상황이다. BD 8x 재생을 위한 서보 등 시스템 동작 등의 제약으로 인해 제안한 병렬 데이터 추출 구조의 성능을 확인하기 위하여 그림 11과 같은 검증 방법을 사용하였다. 부호화(기록) 경로와 복호화(재생) 경로에 각각의 테스트 보드를 사용한다. 먼저 기록 경로를 보면 PC에서 ATAPI(Advanced Technology Attachment Packet Interface)를 통하여 진단 SOC의 부호화(기록) 경로 즉, 스크램블, ECC (Error Correction Code) 부호화, 변조를 거쳐 SOC에서 NRZI(Non-Return-to-Zero Inverted) 형태의 비트 스트림 데이터를 출력한다. 이 비트 스트림 데이터를 재생 경로에 있는 RF 블록에서 입력시킨다. RF블록에서는 이 비트 스트림을 RF 유사 신호로의 형상화(shaping)하여 제안한 병렬 데이터 추출 구조에 입력한다. 병렬 데이

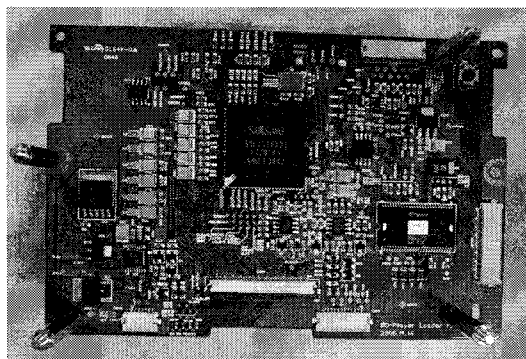


그림 10. 테스트 보드

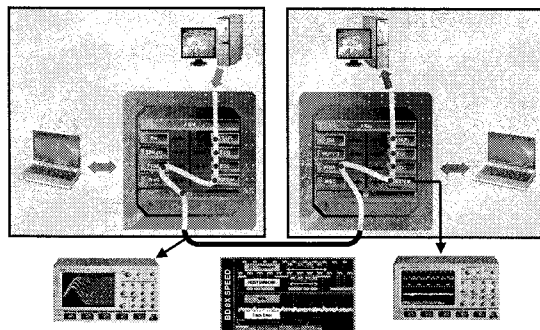


그림 11. 고배속 테스트 방법

터 PLL 및 병렬 PRML을 거치고 나오는 비트 스트림을 저배속, 고배속 및 기존 구조와의 데이터를 비교하면서 동작이 제대로 이루어지는지 확인하였다.

4. 결 론

고용량 광 디스크를 이론상 최고 배속으로 재생할 수 있는 병렬 데이터 추출 구조를 제안하였다. 종래의 고용량 광 디스크를 저속으로 재생할 때 사용한 채널 모델을 동일하게 사용하고 채널 클럭을 높이는 대신에 병렬로 데이터 추출 구조를 제안함으로써 일반적으로 사용되는 반도체 공정인 0.13- μm CMOS 공정에서 고속으로 동작해야 하는 아날로그 코어 개발 부담 및 많은 시간과 노력을 들여야만 하는 레이아웃 부담을 없앨 수 있었다. 고배속 검증 테스트 결과는 제안된 구조가 BD 8배속 고속 재생에서 오류 없이 동작함을 확인하였다.

참 고 문 헌

[1] G. S. Choi, "5-Tap Adaptive PRML Architecture for High-Density Optical Disc Channel," Journal of Korea Multimedia Society, Vol. 10, No. 12, pp. 1585-1590, 2007.

[2] G. S. Choi, "Reconfigurable Front-End System For BD/DVD/CD Recorder," IEEE Trans. on Consumer Electronics, Vol.53, No.2, pp. 474-480, 2007.

[3] M.Bathae et al., "A 0.13- μm CMOS SoC for All Format Blue and Red Laser DVD Front-end Digital Signal Processor," IEEE International Solid-State Circuit Conference, section 14.7, Feb. 2006.

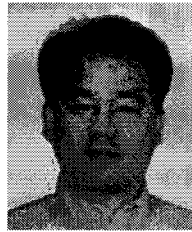
[4] S. Suzuki et al., "A Newly Developed Single-chip LSI for HD DVD/DVD/CD," IEEE International Conference on Consumer Electronics, pp. 165-166, Jan. 2006.

[5] J.H.Lee et al., "High performance Mixed PRML Architecture for Optical Data Storage System," The Japan Society of Applied Physics, Vol.44, No.5B, pp. 3436-3439, 2005.

[6] J.S.Kim et al., "A 0.18- μm CMOS SoC of a front-end hardware platform for DVD- multi recorders," IEEE International Conference on Consumer Electronics, pp. 53-54, Jan. 2005.

[7] J.S.Pan et al., "A CMOS multi-format read/write SoC for 7x Blu-ray, 16x DVD, 56x CD," IEEE International Solid-State Circuits Conference, pp. 572-573, Feb. 2005.

[8] G.S.Choi et al., "A 0.18- μm CMOS Front-End Processor for a Blu-Ray Disc Recorder With an Adaptive PRML," IEEE Journal of Solid-State Circuits, Vol. 40, No. 1, pp. 342-350, Jan. 2005.



최 광 석

1983년 3월~1987년 2월 부산대학교 전자공학과 공학사
 1987년 3월~1989년 2월 부산대학교 전자공학과 공학석사
 1998년 3월~2002년 2월 고려대학교 전자 공학과 공학박사
 1989년 1월~2006년 2월 삼성전자 DM연구소 수석 연구원, ASIC/SOC 개발
 2006년 3월~현재 조선대학교 정보통신공학과 조교수
 관심분야 : 디지털 미디어용 ASIC/SOC 설계, 생체신호 처리용 ASIC/SOC 설계