

**특집 : 디스플레이, LED 응용을 위한 전력전자 기술 동향**

# PDP 구동시스템에서 사용되고 있는 전력전자 기술 및 issue

이 준 영

(명지대 전기공학과 조교수)

## 1. 서론

최근 초고속 정보화의 시대에 발맞추어 디스플레이 산업은 급속한 성장을 보이고 있고, 이러한 추세는 앞으로도 상당 기간 지속되리라 예측된다. 동영상을 포함한 대부분의 정보들은 사람의 눈을 통해 전달될 수밖에 없고, 디스플레이 제품은 사람의 시각적인 감각을 만족시키며 기계로부터 얻어지는 정보를 전달하는 역할을 수행하고 있다. 과거에는 CRT (Cathode Ray Tube) 가 가정이나 공공장소에서 정보를 전달하는 역할을 하였으나, DVD나 다른 저장매체로부터 고품질 정보의 유입과 디지털 TV 방송의 시작으로 새로운 개념의 디스플레이(FPD: Flat Panel Display) 출현이 요구되고 있다. PDP(Plasma Display Panel) 와 TFT-LCD(Thin Film Transistor Liquid Crystal Display), 새로운 형태의 Projection 등이 이를 대표하는 디스플레이 장치들이다. 이 중 PDP는 40" 이상의 대화면 구현이 용이하며, CRT와 동일한 자발광(Self-emissive) 소자로서 동영상 구현과 색재현성이 우수하며, 제조공법이 기타 디스플레이 장치에 비하여 단순하고 제조원가가 저렴하다는 특징들을 갖고 있다<sup>[1]</sup>. 하지만 업계의 가격경쟁력이 치열해지면서 회로를 포함한 종합적인 제조원가를 낮추어야 하는 상황에 직면해 있다. 이를 업계에서는 single-scan화에 대한 연구 등 많은 연구를 진행하여 42HD급의 경우 여전히 인치당 \$27정도까지 낮아져 있으나

LCD등의 가격저하로 인해 여전히 가격경쟁력에서 위기를 겪고 있다. 그림 1은 PDP의 회로 구성 요소별 가격 변화 추이를 보인 그림이다. Single-scan화를 통하여 address IC의 삭제로 어느 정도의 가격절감을 달성하고 있지만 전체 재료비의 40%가까이 차지하고 있는 회로부문의 기술은 구동과형에 의해 좌우되고 있어 회로의 가격을 낮추는 것이 한계가 있다. 또한 PDP 업계에서는 방전과 밀접한 구동회로에 대한 재료비 절감에는 매우 노력을 하고 있으나 전원장치를 대부분 Outsourcing하여 개발하고 있으므로 전원장치의 개발에 대해서는 관심이 소홀한 것이 사실이다. 이로 인해 전원장치와 구동회로와는 별도로 가격절감이 진행되어 왔으며 이제는 어

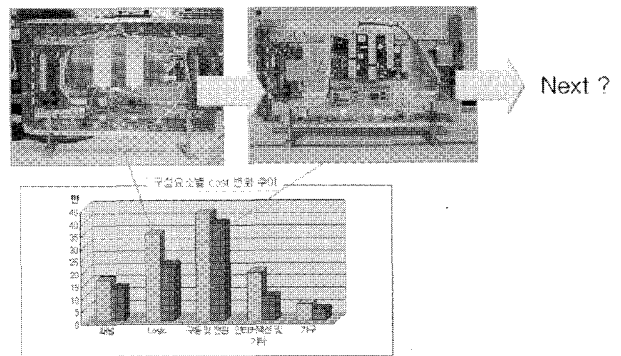


그림 1 PDP 구성 요소별 cost 변화 추이

느정도 한계에 와 있다고 할 수 있다. 본 원고에서는 회로의 구조를 변화시킬 수 있는 구동 Issue에 대해 알아 본다.

## 2. PDP 구동의 기초

그림 2는 Matrix cell구조의 3전극 PDP구조를 보여주고 있다. PDP는 스캔과 서스테인 전극이 형성되어 있는 상판과 형광체 및 어드레스 전극이 형성되어 있는 하판사이에 Xe, He, Ne 등의 가스를 봉입하여 가스 방전에 의해 발생하는 UV(Ultraviolet)에 의해 형광체를 여기시켜 가시광을 발광시키는 자발광소자이다<sup>[2]</sup>. PDP의 구동파형은 그림 3에 나타났듯이 표시화소를 결정하는 address영역과 선택된 화소에서 Plasma가 유지되어서 가시광을 방출시킬 수 있는 서스테인 영역, 선택되거나 선택되지 않은 화소를 초기화하는 이레이즈 및 리셋(Erase 및 Reset) 영역으로 구성된다. 어드레스 영역에서는 파형은 상판의 scan전극(상판 투명전극 중 하나)과 하판의 어드레스 전극에 인가된다. 선택된 화소에서는 인가된 파형에 따라서 플라즈마가 발생하게 되고, 발생된 플라즈마에 따라서 상판전극 표면에 전하들이 쌓이게 된다. 서스테인 영역에선 상판의 두 전극에 교차하는 파형이 인가되며, 선택된 화소의 경우 상판에 축적된 전하에 의한 벽전압과 인가된 전압에 의해서 플라즈마가 발생되나, 선택되지 않은 화소는 축적된 전하의 부재로 플라즈마가 발생되지 않게 된다. 이러한 리셋, 어드레싱 그리고 서스테인 구간이 하나의 SF(Subfield)를 형성하며 이러한 SF의 조합으로서 Gray level을 표현하게 된다. PDP내에 봉입된 gas는 일반적으로 이원 가스(Xe+Ne) 또는 삼원 가스(Xe+Ne+He)를 사용하며 이러한 가스의 방전 개시전압은 가스 자체로는 높은 에너지가 필요하지 않지만 평균자유행정에 비해 PDP 전극간의 갭이 커서 상당히 높은 에너지를 인가해야 하며 일반적으로 Xe=5%의 이원가스를 사용하는 경우 약 170V정도의 서스

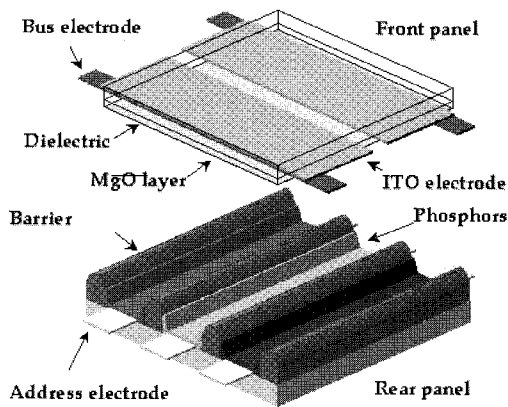


그림 2 3전극 면방전 PDP cell 구조(stripe)

테인전압이 필요하다<sup>[3]</sup>. 또한 최근 효율향상을 위해 Xe의 비율을 높여 많은 UV양을 방출하게 하는 방법을 취하고 있으므로 구동전압이 높아지고 있는 추세이다. 따라서 이를 구동하기 위해서는 고압의 인버터 기술이 필요하며 방전이 개시되기 전에는 캐패시터 부하로 모델링이 가능하므로 패널에 축적된 에너지를 회수해 줄 수 있는 기술을 적용하고 있다<sup>[4]</sup>.

## 3. PDP 구동회로의 간략화

### 3.1 기존의 구동방식

그림 3과 4는 기존의 PDP 구동회로 및 그 구동파형을 나타낸 그림이다. 기존의 구동방식의 경우 X와 Y 전극에 교번 펄스를 인가하며 Y 구동회로에는 스캔회로, 리셋회로, 그리고 Y 서스테인 구동회로로 구성되어 있으며 X구동회로에는 Scan-bias회로, X 서스테인 구동회로로 구성되어 있다. 이러한 전통적인 구동방식은 그림 3의 (b)와 같은 두 개의 Full-

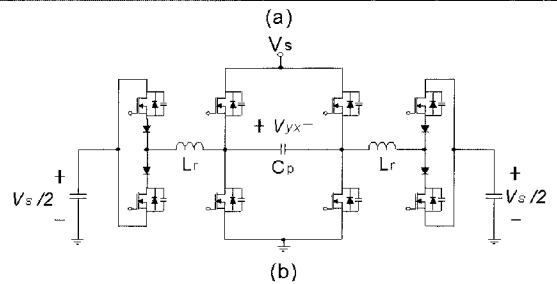
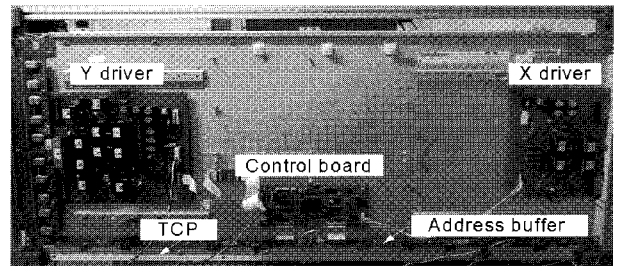


그림 3 기존 PDP 구동회로

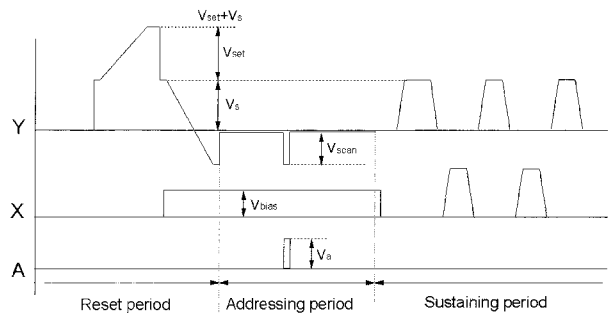


그림 4 기존 PDP 구동파형

bridge 회로를 적용하여야 하므로 디바이스의 수와 그 디바이스 구동회로등 많은 소자가 필요하다. 현재까지도 이러한 구동방식을 바탕으로 가격을 낮추기 위한 노력이 경주되어 많은 성과를 보고 있으나 2개의 보드로 구성된 독립된 구동방법으로 인해 가격절감의 한계에 다다르고 있는 실정이다.

### 3.2 Single-side sustain 구동방식

그림 5와 6은 Single-side 서스테인 구동방식의 개념이다. 그림 5는 PDP의 Y-X 파형을 Y보드 상에서 구현한 것으로 X전극은 GND로 처리한 Y와 A간의 방전을 이용한 2전극 방식의 구동파형이다. 이러한 경우 X보드의 완전한 통합으로 인한 생산성 및 가격 저감이 가능하지만 방전 margin의 확보가 어려우며 X-bias의 삭제로 인해 파형의 자유도가 떨어지는 단점이 존재한다. 그림 6은 Y의 서스테인부만 X보드로 이동한 파형으로 방전 마진의 확보가 비교적 용이하고 파형의

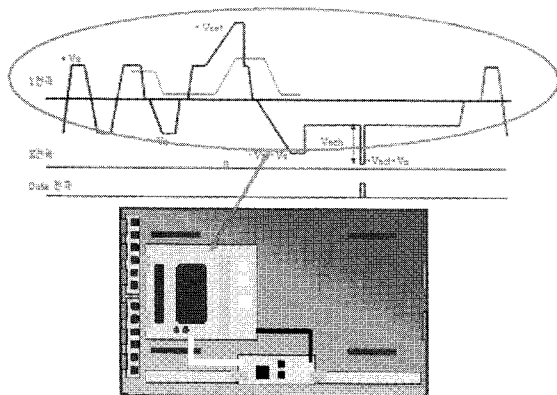


그림 5 Y보드로의 통합을 위한 구동파형

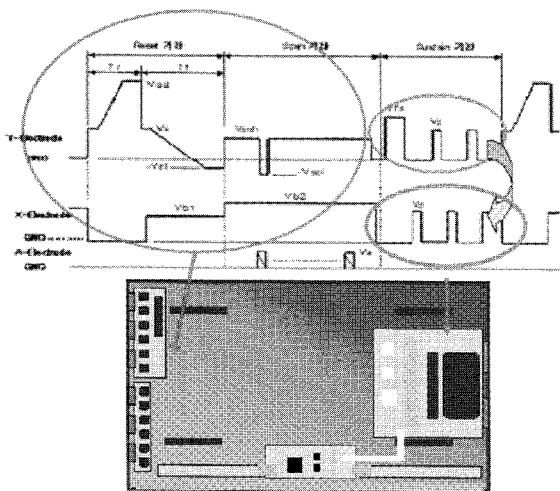


그림 6 X 보드로의 통합을 위한 구동파형

자유도가 높은 장점이 있으나 완전한 통합은 어렵다. 많은 PDP회사에서 통합화를 구현하기 위해 Y보드상의 통합에 대해 연구를 진행해 왔으며 현재까지 가장 가능성 있는 파형으로 그림 7과 같이 X에는 바이어스 회로만을 갖추고 서스테인 구동회로는 Y보드에 통합한 그림 5와 같은 구동파형을 구현하고 있다<sup>(5-6)</sup>.

### 3.3 Single-sustain 구동회로를 위한 ERC 방식

#### 3.3.1 단순 Bridge 회로

그림 8은 기존에 사용되고 있는 webber회로와 동일한 구조의 구동회로로서 디바이스의 내압이 모두 2배로 증가하고 인가되는 전원은 +Vs와 -Vs의 2개의 전원이 필요하다. 간단한 구조를 가지고 있는 반면 회로 자체에서 GND level를 만들

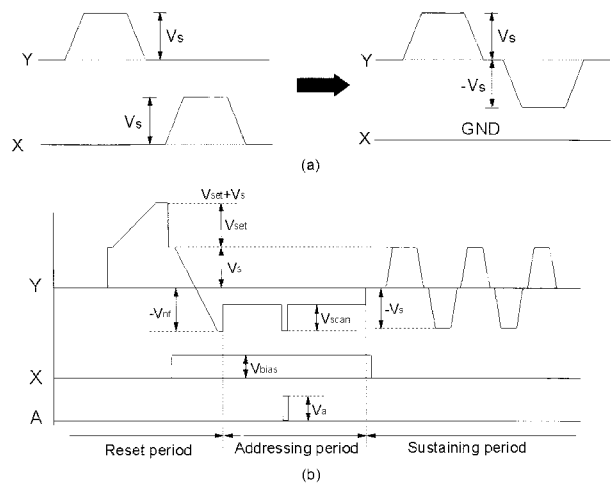


그림 7 X-bias를 사용하는 Y 보드 통합 구동파형

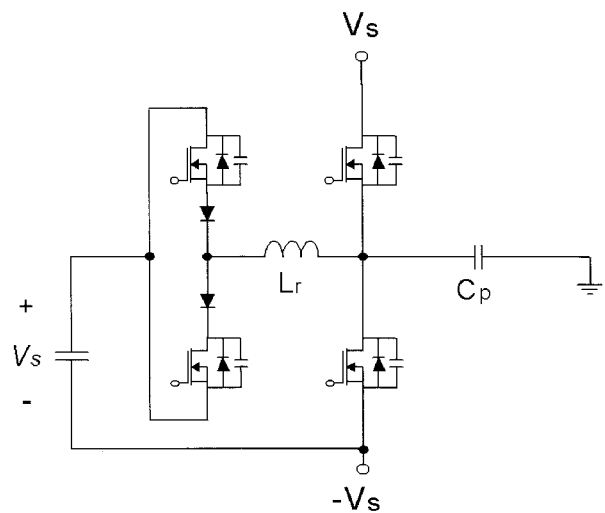


그림 8 Bridge 방식의 서스테인 회로

수가 없어 구동회로에 별도로 GND level를 만들어주는 회로가 필요하게 된다.

### 3.3.2 Charge-pump 형 구동회로

그림 9는 Charge-pump형 구동회로로서 각 디바이스의 내압을  $V_s$ 로 유지시켜 주고 있어 기존 PDP에서 사용되고 있는 디바이스를 그대로 사용할 수 있는 장점이 있으나 서스테인 블록이 2배로 늘어나는 단점이 있다. 하지만 본 회로로서 GND level를 만들어 줄 수 있어 별도의 GND level을 위한 회로가 필요 없다는 장점이 존재한다<sup>7)</sup>.

### 3.3.3 기타 PDP sustain회로

PDP서스테인 회로는 크게 상기와 같은 3가지 카테고리로 구분될 수 있으며 이러한 회로를 기본으로 하여 ERC 회로의 스위칭 손실을 저감시키는 Dual-path방식<sup>8)</sup>, Charge-pump를 기본으로 ERC 전류 스트레스를 저감시킬 수 있는 Dual-resonant 방식<sup>9)</sup>과 Bridge회로를 기본으로 ERC 전류 스트레스를 저감시킬 수 있는 Multilevel 방식<sup>10)</sup>등 여러 가지 방식이 존재한다.

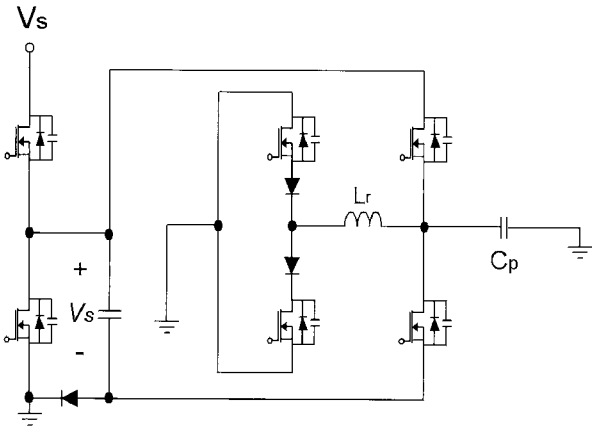
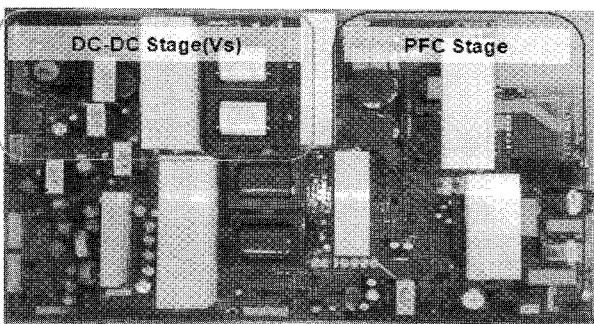


그림 9 Charge-pump 방식의 서스테인 회로



Two-stage converter

그림 10 PDP 전원회로

## 3.4 구동부와 SMPS의 통합

### 3.4.1 SMS의 단순화

기존의 PDP의 시스템의 구성은 그림 10과 같이 X, Y보드와 각종 전원을 공급하기 위한 SMPS로 구성이 되어 있다. 하지만 향후 PDP가 가격 경쟁력을 유지하기 위해서는 동종 기능간의 통합과 이종 기능간의 통합을 이루어야 한다. 이를 위해서 선결과제는 각 기능간의 회로 구성을 단순화시켜야 하며 특히 SMPS의 회로를 단순화가 필요하다. 현재의 SMPS구조는 그림 11과 같이 이단구성을 하고 있어 복잡한 구조를 가지고 있고 회로의 부피가 크므로 구동보드와의 통합화를 달성하기 어렵다. 이를 해결하기 위해서는 Flyback 회로를 기반으로 한 Single-stage회로 구성법을 생각할 수 있다. 하지만 이러한 Single-stage회로는 수십 ms의 Hold-up time을 만족시킬 수 없는 단점이 존재하며 이를 해결하기 위해 별도의 간단한 Hold-up 컨버터를 이용하는 방법이 제안되고 있다(그림 12)<sup>11)</sup>.

### 3.4.2 Isolated PDP sustain driver

그림 12는 Isolated PDP sustain driver의 개념도이다. 1차와 2차의 절연문제가 PDP sustain회로에서 해결이 된다면 전원장치는 비절연형 Harmonic regulator만 존재하면 되므로 구조를 매우 간단하게 구성할 수 있다. 하지만 PDP의

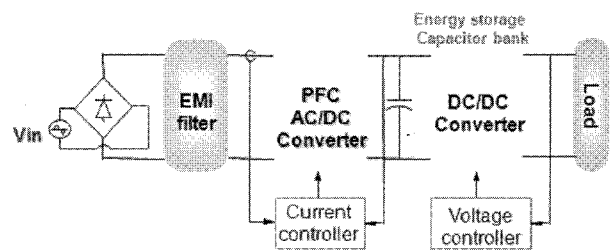


그림 11 PDP 전원회로의 일반적인 구조

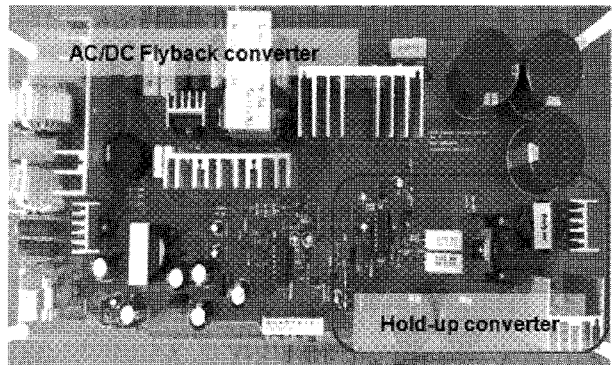


그림 12 Flyback을 기반으로 PDP 전원회로

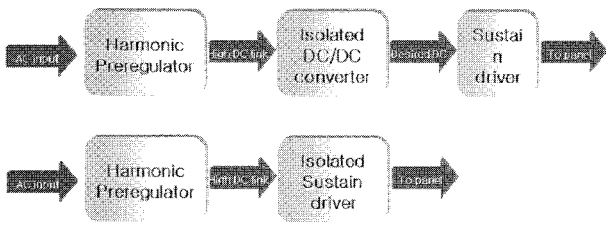


그림 13 Isolated 서스테인 회로의 개념도

방전전류가 매우 크고 고주파 하모닉을 많이 포함하고 있으므로 이러한 개념을 구현하기 위해서는 변압기의 누설인덕턴스를 매우 작게 관리하는 것이 중요하다.

#### 4. 결론

지금까지 PDP에서 구동회로 구조를 변화시킬 수 있는 Single-side 구동회로와 대표적으로 사용되고 있는 서스테인 회로 그리고 전원장치 간략화 개념등을 간략하게 논의하였다. PDP는 그동안 많은 면에서 기술적 진보를 이루었고 상용화품 기준으로 과거 0.6~7lm/W의 효율을 보이던 것이 현재는 1.5lm/W까지 달성하고 있어 그동안 지적되어온 저휘도/고 소비전력 부분을 개선하였다. 회로부분도 일정수준 진보가 있어 과거의 PDP에 비해 단순해진 것이 사실이다. 하지만 PDP는 재도약을 위해 가격의 절감이 가장 중요한 Issue가 되고 있으며 그 중에서도 회로부의 원가절감이 화두가 되고 있다. 기존의 구동회로 및 파형으로는 더 이상의 진보는 한계가 존재하며 구동회로의 변화를 통한 구동회로의 변화 그리고 전원장치와 구동회로의 통합을 통한 전체 시스템의 간략화가 필요하며 이를 위해 전력전자 분야의 기술 인력이 많은 관심이 필요한 시기이다.

#### 참고 문헌

[1] A. Sobel, "Plasma Displays", IEEE Trans. on Plasma Science, Vol. 19, No. 6 pp. 1032-1047, December, 1991.  
 [2] H. Hirakawa, T. Katayama, S. Juroki, H. Nakahara, T. Nanto, K. Yoshikawa, A. Otsuka, and M. Wakitani, "Cell Structure and Driving Method of a 25-in(64cm) Diagonal High-Resolution Color ac Plasma Display", Proc. Sym. Society for Information Display, Vol. 29, pp. 279-282, 1998.  
 [3] L. F. Webber, "Plasma Display Device Challenges", Asia Display '98, pp. 15-27, 1998.

[4] K. Sakita, K. Takayama, K. Awamoto, and Y. Hashimoto, "High-speed Driving Waveform Analysis Using Wall Voltage Transfer Function for Three Terminals and Vt Close Curve in Three-Electrode Surface-Discharge AC-PDPs", SID'01, 1022-1025, 2001.  
 [5] J. Y. Lee and D. Y. Lee, "Device and Method for Driving Plasma Display Panel", KR. Patent, 10-2005-0041716, May 2005.  
 [6] B. G. Cho and H. T. Tae, "A study on Wall-Charge Behavior of Single-Sustain Waveform Based on Vt Close-Curve Analysis in AC Plasma Display Panel", IEEE Trans. Ind. Plasma Science, Vol.36, No.1, pp.192-199, 2008.  
 [7] J. Y. Lee, "A new cost-effective PDP sustaining driver with current injection method (CIM)," Electronics Letters, Vol.38, No.25, pp. 1637-1639, 2002.  
 [8] K. H. Yi, S. W. Choi, and G. W. Moon, "Comparative study on a single energy recovery circuit with dividing energy recovery path for plasma display panels (PDPs)", ICPE 2007, pp. 984-989, 2007.  
 [9] Jun-Young Lee, "Cost-effective Single Board PDP Sustaining Driver with Dual Resonant Method", JPE, Vol. 9, No.1, pp.93-99, 2009.  
 [10] C. W. Roh, H. J. Kim, S. H. Lee, and M. J. Youn, "Multilevel voltage wave-shaping display driver for AC plasma display panel application", IEEE Solid-stage circuit, Vol. 49, No. 4, pp. 935-947, 2003.  
 [11] 이경인, 임승범, 정용민, 오은태, 이준영, "평균전류모드 플라즈마 백 토폴로지를 PDP용 고효율 AC-DC 컨버터 및 Hold-up 특성의 개선", 반도체 및 디스플레이 장비학회지, 제7권 2호, pp. 23-27, 2008.

#### < 필자 소개 >



##### 이준영(李俊榮)

1970년 10월 3일생. 1993년 고려대 전기공학과 졸업. 1996년 한국과학기술원 전기 및 전자공학과 졸업(석사). 2001년 동 대학원 졸업(공학박사). 2001년 3월~2005년 2월 삼성 SDI PDP 사업부. 2005년 3월~2008년 8월 단국대 전자공학과 조교수. 현재 명지대 전기공학과 조교수.