

## 플레티늄-실리사이드를 이용한 쇼트키 장벽 다결정 박막 트랜지스터

### Schottky Barrier Thin Film Transistor by using Platinum-silicided Source and Drain

신진욱<sup>1</sup>, 정홍배<sup>1</sup>, 이영희<sup>1</sup>, 조원주<sup>1,a</sup>

(Jin-Wook Shin<sup>1</sup>, Hong-Bay Chung<sup>1</sup>, Young-Hie Lee<sup>1</sup>, and Won-Ju Cho<sup>1,a</sup>)

#### Abstract

Schottky barrier thin film transistors (SB-TFT) on polycrystalline silicon(poly-Si) are fabricated by platinum silicided source/drain for p-type SB-TFT. High quality poly-Si film were obtained by crystallizing the amorphous Si film with excimer laser annealing (ELA) or solid phase crystallization (SPC) method. The fabricated poly-Si SB-TFTs showed low leakage current level and a large on/off current ratio larger than  $10^5$ . Significant improvement of electrical characteristics were obtained by the additional forming gas annealing in 2 %  $H_2/N_2$  ambient, which is attributed to the termination of dangling bond at the poly-Si grain boundaries as well as the reduction of interface trap states at gate oxide/poly-Si channel.

**Key Words** : poly-Si schottky barrier TFT, Pt-silicide, Excimer-laser annealing, Solid phase crystallization

#### 1. 서 론

소스와 드레인을 불순물 확산공정 대신 금속접합을 이용하여 형성시킨 SB-MOSFET (Schottky barrier metal-oxide-semiconductor field effect transistor)는 기존의 MOSFET 소자가 축소화되면서 발생하는 기생저항 성분을  $1/40 \sim 1/50$  수준으로 크게 감소시켜 줌으로써 소자의 동작속도를 크게 향상 시켜주고, 낮은 면저항 및 누설전류, 단채널 효과를 효율적으로 제어 할 수 있는 장점으로 인하여 채널길이 10 nm 이하의 소자 축소화에 있어서 유리한 특성을 가지고 있다. 또한 500 °C 이하의 저온에서 소스/드레인의 형성이 가능하기 때문에 고온 공정에 취약한 고유전(high-k) 물질의 게이트 절연막 및 금속 게이트 사용함에 있어서 용이한 특성 가지고 있다[1,2]. 한편, 다결정 실리콘

박막 트랜지스터 (poly-Si TFT) 기술은 단결정 실리콘인 bulk 및 silicon-on-insulator (SOI) wafer를 이용한 소자에 비하여 다소 성능이 저하되는 측면이 있으나, 제작비용의 감소 및 대면적 단위의 소자 제작이 가능하고, 3 차원 집적회로의 실현 및 디스플레이 소자에도 적용을 할 수 있기 때문에 많은 연구가 수행되고 있다[3].

본 연구에서는 10  $\Omega/\square$  이하의 낮은 면저항 특성과 정공에 대한 낮은 Schottky barrier height (0.24 eV)을 가지고 있는 플레티늄-실리사이드 (Pt-silicide)와 Poly-Si 막을 이용하여 P-type의 SB-TFT를 제작 및 특성 평가함으로써 SOG (system-on-glass) 상에 디스플레이 및 메모리가 집적화된 소자 개발을 위한 선행 연구를 하였으며, 그 특성을 개선하기 위한 연구를 진행하였다.

1. 광운대학교 전자재료공학과

(서울시 노원구 월계동 447-1)

a. Corresponding Author : chowj@kw.ac.kr

접수일자 : 2009. 3. 23

1차 심사 : 2009. 5. 18

심사완료 : 2009. 5. 24

#### 2. 실험

기관으로 사용된 다결정 실리콘 박막의 형성을 위하여 LPCVD (low pressure chemical vapor

deposition)에서 530 °C, 280 mTorr의 조건으로 100 nm 두께의 비정질 실리콘을 증착하였다. 비정질 실리콘 박막의 증착에 앞서 P형의 (100) 실리콘 기판 상에 200 nm의 열산화막을 성장시켜 P형 실리콘 기판과 비정질 실리콘 박막을 전기적으로 분리되도록 하였다. 비정질 실리콘 박막의 결정화를 위하여 ELA (excimer laser annealing) 결정화 또는 고상결정화(SPC; solid-phase crystallization) 방법을 이용하였다. SPC는 furnace 안에서 N<sub>2</sub> 분위기로 600 °C, 24 시간 열처리하여 다결정 실리콘 박막을 결정화 하였고, ELA 결정화는 300 mTorr의 진공 챔버 내에서 KrF (248 nm) excimer laser를 에너지 밀도 400 mJ/cm<sup>2</sup>, Puls duration은 25 ns, beam size는 1.1×55 mm<sup>2</sup>로 조사하여 결정화를 진행하였다. 조사된 레이저 에너지 밀도는 400 mJ/cm<sup>2</sup>로 최적화 하였다. SB-TFT의 소자 제작은 ELA 결정화와 SPC 방법을 이용하여 결정화된 다결정 실리콘 박막을 Photo-lithography와 식각공정을 통하여 소자형성영역을 형성한 후, furnace에서 880 °C에서 10분간 열처리하여 게이트 절연막(SiO<sub>2</sub>)을 5 nm 성장시켰다. 게이트 전극은 LPCVD를 이용하여 100 nm 두께의 poly-Si를 증착하였다. 소스/드레인인 Pt를 증착 후, furnace 안에서 300 °C에서 30분간 열처리 후, RTA(rapid thermal annealing)를 이용하여 500 °C에서 1분간 급속 열처리하여 Pt-silicide를 형성하였다. 그 후 실리콘과 반응하지 않은 Pt를 왕수 (HNO<sub>3</sub> : HCL : DI = 1 : 3 : 4)를 사용하여 제거하였다. 또한 소스/드레인 형성 전 게이트 측벽절연막 (sidewall spacer)를 형성하여 소스/드레인과 게이트 간을 전기적으로 절연하였다. 마지막으로 소자의 전기적 특성을 개선하기 위하여 후속 열처리 공정 FGA (forming gas annealing)을 2 %H<sub>2</sub>/N<sub>2</sub> 분위기에서 30분간 실행하였다.

### 3. 결과 및 고찰

그림 1은 SPC와 ELA 방법에 의해 결정화된 다결정 실리콘 박막의 결정 경계면을 세코(secco) 식각 후 전자 현미경(SEM; Scanning Electron Microscopy)을 이용하여 분석한 결과이다. SEM 관찰결과 Si-grain의 평균 크기는 ELA 방법이 55 nm, SPC 방법이 34 nm 정도로, ELA 방법으로 결정화된 다결정 실리콘 박막이 SPC 방법에 의해 결정화된 다결정 실리콘 박막보다 결정립이 크고,

균일하게 형성된 것을 확인 할 수 있다. 비정질 실리콘 박막이 결정화되기 위해서는 핵생성(nucleation)과 결정 성장(grain growth)의 단계를 걸쳐야 하는데, 고품질의 결정 및 큰 결정립을 얻기 위해서는 핵생성을 억제하고 결정성장을 촉진시켜야 한다. 실리콘의 경우에는 결정의 핵생성에 필요한 활성화 에너지(5.9 eV)가 결정 성장의 활성화 에너지(2.8 eV) 보다 크기 때문에 결정화 공정온도의 의존성이 크다. 따라서 SPC와 같이 높은 온도에서 결정화가 진행되는 공정에서는 많은 결정핵이 형성되기 때문에 결과적으로 결정립의 크기가 작아진다. 한편, ELA의 경우에는 excimer laser의 에너지 밀도가 비정질 실리콘 막을 충분히 용해시킨 후 결정을 성장시킬 수 있고, 핵생성물이 SPC에 비하여 작기 때문에 크고 균일한 결정립을 형성할 수 있다[4,5].

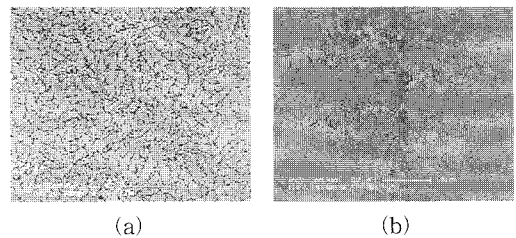


그림 1. 결정 경계의 Secco 식각 후의 다결정 실리콘 박막의 SEM 사진; (a) SPC, (b) ELA.

Fig. 1. SEM images of poly-Si films after Secco etching of grain boundary; (a) SPC, (b) ELA.

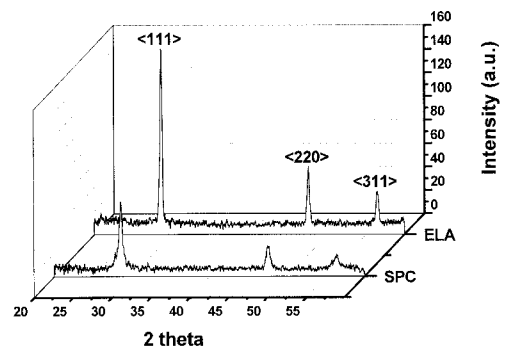


그림 2. 다결정 실리콘 박막의 XRD 분석.  
Fig. 2. XRD pattern of poly-Si films.

그림 2는 비정질 실리콘을 SPC와 ELA 방법으로 결정화한 다결정 실리콘 박막의 시료로부터 얻은 X-선 회절 (XRD; X-ray diffraction) 분석 결과를 나타낸다. 결정화 방법에 무관하게 다결정 실리콘 박막은 (111), (220), (311)의 우선적인 면방향을 가지고 있고, 특히 (111) 결정면에서 강한 회절이 일어나는 것을 확인 할 수 있다. 또한 ELA 결정화로 결정화한 시료가 SPC에 의한 시료보다 강한 회절 피크가 일어나는 것을 확인 할 수 있다. 이는 ELA 결정화가 SPC에 비해 좋은 결정성 가지고 있음을 의미한다. 또한 앞에서의 SEM 분석 결과와 동일한 결과를 X-선 회절 분석으로부터 확인 할 수 있다.

그림 3은 SPC 방법과 ELA 방법으로 각각 결정화한 다결정 실리콘 박막을 사용하여 제작한 SB-TFT 소자의 FGA 처리 전과 후의 전기적 특성을 보여준다. 제작된 소자의 채널의 폭(W)과 길이(L)는 각각 20, 20  $\mu\text{m}$ 이며, 전형적인 MOSFET의 동작 특성을 보이는 것을 확인하였다. 또한 다결정 실리콘 박막의 결정화 방법과 상관없이  $10^5$  이상의 높은 on/off current ratio와 낮은 누설 전류 특성을 확인 할 수 있다. SB-TFT의 on/off current는 게이트에 인가된 전압에 따라 변하는 급속 전위장벽에 의하여 제어가 된다. 문턱전압( $V_{th}$ ) 이상의 전압이 인가되었을 경우에는 채널과 소스 사이의 급속 전위 장벽이 낮아져서 전자가 전위장벽을 터널링하여 드레인으로 흘러가 높은 on current가 얻어진다. 한편, 문턱치 이하의 전압이 인가되었을 경우에는 높은 급속 전위 장벽으로 인하여 누설전류를 최소화 할 수 있다. 또한 Off current는 thermionic current에 의존성을 가지며 장벽 높이에 의하여 영향을 받지만, on current는 tunneling current에 의존성을 가지기 때문에 장벽의 두께에 영향을 받는다. 결정화방법에 따른 전기적 특성을 비교하여 보면 ELA 방법에 의해 결정화된 소자가 SPC 방법에 의한 소자에 보다 좀 더 우수한 전기적 특성을 가지고 있는 것을 확인 할 수 있다. 이는 ELA 방법에 의해 결정화된 다결정 실리콘 박막이 SPC 방법보다 큰 결정립과 우수한 결정성을 가지고 있기 때문이다. 이는 SEM과 XRD 결과를 통해서 확인 할 수 있다. 또한 2%  $\text{H}_2/\text{N}_2$  분위기에서 450  $^\circ\text{C}$ , 30분간의 후속 열처리 공정인 FGA 후에 poly-Si SB-TFT 소자의 전기적 특성이 상당히 개선된 것을 확인 할 수 있다. 이러한 특성은 다결정 실리콘 박막의 결정 경계면에 존재하는 포획준위 및 채널과 게이트 산화막 사이의 계면에 존재하는 포획준위가  $\text{H}_2$ 를 사용하는 FGA 공정에 의하여 감소하였기 때문이다[6]. 표 1은 SB-TFT의 FGA 공정 전과 후의 전기적 특성의

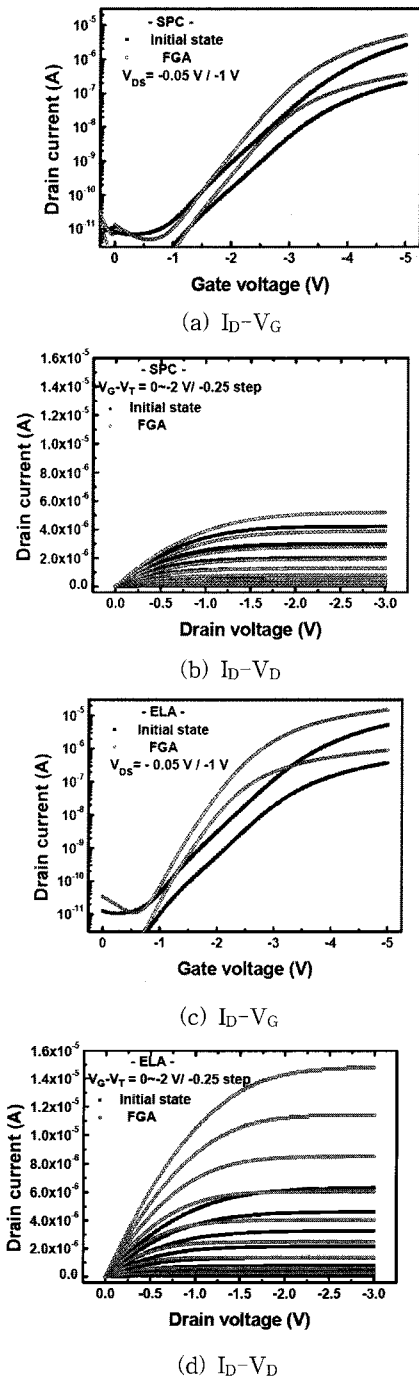


그림 3. SB-TFT의 FGA 공정 전과 후의 I-V 특성; SPC : (a)와 (b), ELA : (c)와 (d).  
 Fig. 3. I-V Characteristics of SB-TFT before and after FGA; SPC : (a) and (b), ELA : (c) and (d).

개선을 문턱전압과 subthreshold swing (SS)의 수치를 통하여 보여준다.

**표 1.** SB-TFT의 전기적 특성.

**Table 1.** Electrical characteristics of SB-TFT.

	SB-PTFT (ELA)		SB-PTFT (SPC)	
	Initial	FGA	Initial	FGA
$V_{th}(V)$	-2.96	-2.3	-3.24	-2.63
SS (mV/dec)	590	304	659	416

#### 4. 결론

본 실험에서는 poly-Si 박막을 이용하여 500 °C 이하의 저온에서 SB-TFT 소자를 제작하고 전기적 특성을 평가하였다. Pt-silicide를 이용하여 제작한 P-type의 SB-TFT는 작은 누설전류와  $10^5$  이상의 높은 On/Off current ratio를 갖는 것을 확인할 수 있었다. 또한, 후속 열처리 공정인 FGA를 처리 후에 소자의 내에 존재하는 포획 준위를 감소로 인하여 SB-TFT의 전기적 특성이 크게 향상된 것을 확인할 수 있었다. 본 실험 결과 SB-TFT는 디스플레이 및 메모리 소자가 직접화된 SOG에 매우 유망한 소자라는 것을 확인할 수 있었다.

#### 감사의 글

이 논문은 2008년도 정부재원(교육인적자원부 학술연구조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음(KRF-2007-331-D00253).

#### 참고 문헌

- [1] J. M. Larson and J. P. Snyder, "Overview and status of metal S/D schottky-barrier MOSFET technology", IEEE Electron Device Lett., Vol. 53, p. 1048, 2006.
- [2] L. E. Calvet, H. Luebben, M. A. Reed, C. Wang, and J. P. Snyder, "Suppression of leakage current in Schottky barrier metal - oxide - semiconductor field-effect transistors", J. Appl. Phys., Vol. 91, p. 757, 2002.
- [3] S. Y. Oh, C. G. Ahn, J. H. Yang, W. J. Cho, W. H. Lee, H. M. Koo, and S. J. Lee, "Three-dimensionally stacked poly-Si TFT CMOS inverter with high quality laser crystallized channel on Si substrate", Solid-State Electron., Vol. 52, p. 372, 2008.
- [4] K. Zellama, P. Germain, S. Squerard, J. C. Bourgeois, and P. A. Thomas, "Crystallization in amorphous silicon", J. Appl. Phys., Vol. 50, p. 6995, 1979.
- [5] V. Subramanian, P. Dankoski, L. Degertekin, B. T. Khuri-Yakub, and K. C. Saraswat, "Controlled two-step solid-phase crystallization for high-performance polysilicon TFT's", IEEE Electron Device Lett., Vol. 18, p. 378, 1997.
- [6] J. Y. Lee, C. H. Han, and C. K. Kim, "High performance low temperature polysilicon thin film transistor using ECR plasma thermal oxide as gate insulator", IEEE Electron. Device Lett., Vol. 15, p. 301, 1994.