

## 고성능 PMOSFET을 위한 Ni-silicide와 p+ Source/drain 사이의 Barrier Height 감소

### Reduction of Barrier Height between Ni-silicide and p+ Source/drain for High Performance PMOSFET

공선규<sup>1</sup>, 장잉잉<sup>1</sup>, 박기영<sup>1</sup>, 이세광<sup>1</sup>, 정순연<sup>1</sup>, 신흥식<sup>1</sup>, 이가원<sup>1</sup>, 왕진석<sup>1</sup>, 이희덕<sup>1,a</sup>  
(Sun-Kyu Kong<sup>1</sup>, Ying-Ying Zhang<sup>1</sup>, Kee-Young Park<sup>1</sup>, Shi-Guang Li<sup>1</sup>, Soon-Yen Jung<sup>1</sup>, Hong-Sik Shin<sup>1</sup>,  
Ga-Won Lee<sup>1</sup>, Jin-Suk Wang<sup>1</sup>, and Hi-Deok Lee<sup>1,a</sup>)

#### Abstract

In this paper, barrier height between Ni-silicide and source/drain is reduced utilizing Pd stacked structure (Pd/Ni/TiN) for high performance PMOSFET. It is shown that the barrier height is decreased by Pd incorporation and is dependent on the Pd thickness. Therefore, Ni-silicide using the Pd stacked structure is promising for high performance nano-scale PMOSFET.

**Key Words** : Ni-silicide, Pd stacked structure, Barrier height, High performance PMOSFET

#### 1. 서론

반도체 공정기술이 발전함에 따라 소자의 크기는 나노영역까지 감소되어 왔으며, 이를 통해 고집적화와 고속화를 달성하여 왔다. 그러나 소자의 scale-down으로 인하여 유효채널 길이가 감소함에 따라 Short Channel Effect (SCE)에 의한 누설전류의 증가와 DIBL (Drain Induced Barrier Lowering)에 의한 문턱전압 감소 등 여러 문제가 발생하고 있으며, 이러한 문제점을 개선하기 위하여 ultra shallow junction 기술이 매우 중요하게 되었다[1]. 하지만 Shallow junction이 되면서 소스/드레인 영역의 면저항이 매우 증가하게 되어 이를 감소시키기 위한 실리사이드 기술이 매우 필요하게 되었다. 즉, Salicide (Self-align silicide) 기술은 CMOSFET (Complementary Metal Oxide Semiconductor Field Effect Transistor)의 게이트와 소스/드레인의 면저항을 감소시킴으로써 RC 지

연을 감소시키고 소자의 성능을 개선시키기 위해 사용되는 중요한 기술이다[2,3]. 여러 실리사이드 기술중에서 니켈실리사이드 (NiSi)는 이전의 타이타늄 실리사이드 (TiSi<sub>2</sub>)와 코발트 실리사이드 (CoSi<sub>2</sub>)의 단점을 보완하고 소스/드레인의 기생저항을 줄여줌으로써 소자 성능을 향상시킬 수 있어 많은 주목을 받고 있으며 연구가 활발히 진행 중에 있다[4-7].

최근에는 단순한 실리사이드 적용을 넘어서서 실리사이드의 일함수 (work function)를 조절함으로써 실리사이드와 소스/드레인 영역의 접촉저항을 감소시켜 소자의 성능을 더욱 향상시키려는 연구가 널리 이루어지고 있다[8-11]. 특히 희토류 금속인 Er, Yb와 Pd, Pt 등과 같은 금속들은 Fermi-level이 실리콘의 전도대 (conduction band) 또는 가전자대 (valance band)와 근접해있어 n-type 소자와 p-type 소자 적용 가능성으로 각각 관심을 받고 있다[12-14].

본 논문에서는 기존 Ni/TiN 구조에 Pd를 추가한 stack 구조를 사용하여 실리사이드와 소스/드레인 간의 barrier height를 조절함으로써 고성능 PMOSFETs에 적용 가능한 니켈-실리사이드 구조를 연구하였다. Pd 층의 증착 두께를 조절함으로

1. 충남대학교 전자공학과

(대전시 유성구 궁동 220)

a. Corresponding Author : hdlee@cnu.ac.kr

접수일자 : 2009. 3. 23

1차 심사 : 2009. 5. 19

심사완료 : 2009. 5. 24

써 니켈실리사이드의 barrier height을 조절할 수 있었고 따라서 고성능 PMOSFET에 유용하게 적용 가능함을 확인 하였다.

## 2. 실험

### 2.1 실험장치

Barrier height을 원활하게 추출하기 위해 p-type Si 웨이퍼 (100)를 사용하였고 공정 순서는 그림 1과 같다. 금속 박막을 증착 전에 D-I water로 희석시킨 HF 용액 (HF : D-I water = 1: 100)에서 30초간 자연 산화막을 식각하고 다이오드 제작을 위하여 patterning을 실시하였다. Pd/Ni/TiN (2/10/10 nm, 4/10/10 nm)의 증착은 RF magnetron sputter를 사용하여 기본 진공도 (base pressure) 및 증착 진공도 (working pressure)를 각각  $5 \times 10^{-7}$  및  $3 \times 10^{-3}$  Torr에서 각각 실시하였으며, 제안한 구조와의 특성 비교를 위해 Ni/TiN(10/10nm) 구조도 형성하였다. 안정된 니켈-실리사이드 형성을 위해 급속 열처리 (RTP: Rapid Thermal Process)를 기본 진공도  $3 \times 10^{-2}$  Torr에서 400 ~ 700 °C, 30초간 실시하였으며, 실리사이드 형성 후 반응하지 않은 금속은 H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> (4:1) 용액에서 선택적으로 식각하였다. 마지막으로 기판의 뒷면에 Al을 증착하였다.

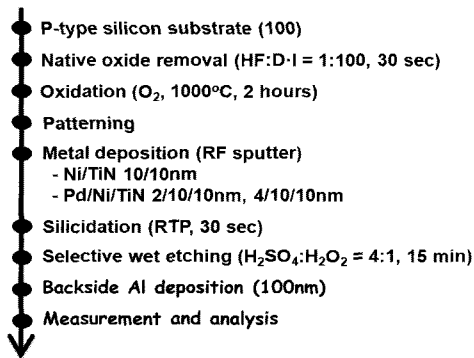


그림 1. 실험의 주요 공정 순서.  
Fig. 1. Key process flow for experiments.

### 2.2 실리사이드 특성 측정 및 분석

제작된 시편의 특성을 측정할 방법과 분석에 대해 설명하면 니켈-실리사이드 형성 후 FPP (Four-Point Probe)를 이용하여 급속 열처리 온도

에 따른 실리사이드의 면저항을 측정하였다. 또한 증착된 금속 박막의 두께와 형성된 실리사이드의 두께 및 계면 특성을 확인하기 위해 FE-SEM (Field Emission Scanning Electron Microscopy, 한국 기초 과학 지원 연구원 전주 분소, 모델명 S-4700)을 이용하였다. Agilent 4155C를 이용하여 I-V 특성을 측정하였고, 이를 이용하여 실리사이드와 기판 간의 barrier height을 추출하였다.

## 3. 결과 및 고찰

각 금속을 증착한 후 인가한 급속 열처리 온도에 따른 실리사이드의 면저항 특성을 그림 2에 나타내었다. Pd를 적용함으로써 실리사이드의 형성 온도가 올라가기 때문에 Ni/TiN 구조에 비해 더 높은 온도 구간에서 안정된 면저항 특성을 갖게 된다. 하지만 Ni/TiN 구조와 Pd/Ni/TiN 구조 모두 안정된 10 ohm/sq. 이하의 면저항을 확보할 수 있었다.

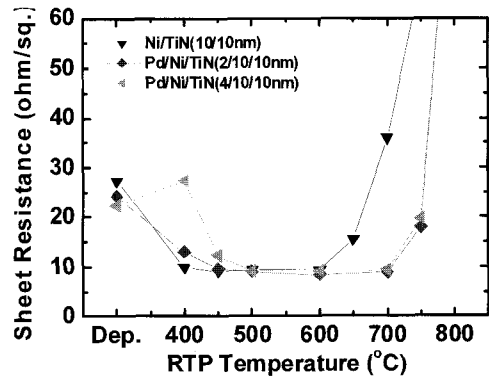


그림 2. RTP온도에 따른 실리사이드의 면저항 특성.  
Fig. 2. Dependence of sheet resistance of Ni silicide as a function of RTP temperature.

면저항 데이터는 실리사이드의 두께 및 profile과 매우 밀접한 관계를 가지고 있는데 단면의 profile이 고르지 못하면 실리사이드의 면저항은 급격히 증가한다. 또한 측정된 실리사이드의 면저항은 두께가 증가함에 따라 낮아지고 반대로 두께가 감소함에 따라 급격히 높아진다. 따라서 형성된 니켈-실리사이드의 단면 특성을 FE-SEM을 통해 그림 3과 같이 분석하였다. 단면 확인 결과 모든 구조에서 균일하고 30 nm 정도의 매우 얇은 두께의 실리사이드가 형성이 된 것을 알 수 있었다.

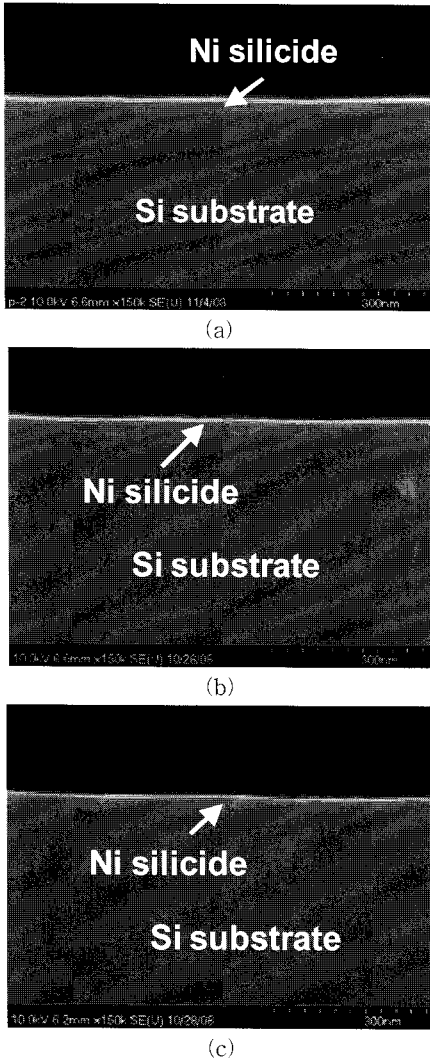


그림 3. RTP(600 °C, 30초) 후 NiSi의 단면 FE-SEM 사진들. (a) Ni/TiN(10/10 nm), (b) Pd/Ni/TiN(2/10/10 nm), (c) Pd/Ni/TiN(4/10/10 nm).

Fig. 3. Cross-sectional FE-SEM imagew of NiSi with a RTP at 600 °C for 30 s. (a) Ni/TiN(10/10nm), (b) Pd/Ni/TiN(2/10/10 nm), and (c) Pd/Ni/TiN(4/10/10 nm).

그림 4는 세 가지의 니켈-실리사이드가 각각 적용된 Schottky 다이오드의 전류-전압 (I-V) 특성을 나타내고 있으며, 순방향 바이어스에서 Schottky 다이오드 전류는 Thermionic Emission (TE) 이론을 사용하여 식 (1)과 같이 나타낼 수 있다[14].

$$I_F = AA * T^2 \exp\left(-\frac{e\phi_{Bp}}{nkT}\right) \left[ \exp\left(-\frac{eV_F}{nkT}\right) - 1 \right]$$

$$= I_S \exp\left(-\frac{eV_F}{nkT}\right) - 1 \quad (1)$$

여기서  $\phi$  는 장벽 크기 (barrier height),  $k$ 는 볼츠만 상수 (Boltzmann constant),  $T$ 는 온도 (temperature),  $e$  는 전하량 (electronic charge),  $A$  는 다이오드의 면적,  $A^*$ 는 리차드슨 상수 (Richardson constant) 이다 ( $A^* = 35 \text{ A/K}^2\text{-cm}^2$  for p-si). 식 (1)과 추출된  $I_S$ 를 이용하여 추출된 ideality factor,  $n$ 은 1.257이며, 이를 이용하여 장벽크기를 그림 5와 같이 구할 수 있다.

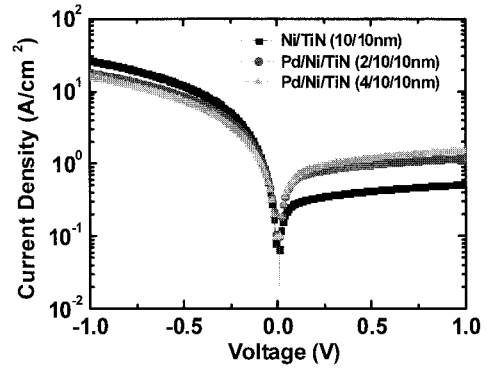


그림 4. 형성된 실리사이드 다이오드의 I-V 특성. Fig. 4. I-V characteristics of Ni-silicided diodes.

그림 4에서 Ni/TiN 구조에서는 높은 hole barrier height 때문에 reverse bias에서 전류가 감소하는 것을 확인 할 수 있다. 하지만 WF이 큰 Pd가 적용이 된 구조에서는 barrier height가 감소하면서 reverse current가 증가 한 것을 알 수 있다. 즉, Schottky diode의 경우 reverse current는 barrier height에 매우 의존하기 때문에 reverse current가 변화하였다는 것은 barrier height 변화 때문이라고 할 수 있다. 추출한 hole barrier height의 결과를 그림 5에 나타내었다. 추출된 결과를 보면 Pd를 적용한 구조에서 순수 Ni의 구조에 비해 약 10 meV 정도 barrier height이 감소한 것을 확인 할 수 있었다. 또한 Pd의 두께에 따라 barrier height을 조절 할 수 있다는 매우 큰 장점을 확인 할 수 있었다. 즉, Pd 두께가 증가함에 따라 barrier height이 크게 증가함을 알 수 있다.

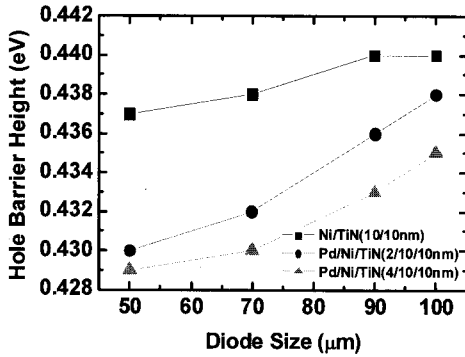


그림 5. Diode size에 따른 Hole Barrier Height.  
 Fig. 5. Dependence of Hole Barrier Height as a function of diode size.

따라서 Pd 적층구조를 갖는 니켈-실리사이드는 먼저항이나 계면, 표면 특성 등을 그대로 유지하면서 낮은 hole barrier height을 갖는 니켈-실리사이드로의 변화가 가능 하다고 할 수 있다. 따라서 본 논문에서 제안한 Pd 적층구조를 갖는 니켈-실리사이드는 고성능 PMOSFET에 적용이 유망하다고 할 수 있다.

#### 4. 결론

본 논문에서는 Pd/Ni stack 구조를 사용하여 니켈-실리사이드와 소스/드레인 간의 Barrier Height의 변화를 살펴보았다. FPP와 FE-SEM 분석을 통하여 Pd stack 구조를 적용하여도 낮은 먼저항을 갖는 얇고 균일한 실리사이드가 안정적으로 형성된다는 것을 확인할 수 있었다. 또한 니켈-실리사이드와 소스/드레인 사이의 barrier height을 Pd 두께에 따라 약 10 meV 까지 변화 시킬 수 있었다. 이와 같은 얇고 균일한 실리사이드와 소스/드레인 간의 barrier height 조절 방법을 통해 고성능 PMOSFET에 적용이 가능함을 확인 하였다.

#### 감사의 글

본 논문은 한국 학술 진흥 재단 목적기초연구(과제:KRF-2007-521-D00288)와 누리(NURI) 사업단의 지원 하에 이루어졌음.

#### 참고 문헌

- [1] S. P. Murarka, "Self-aligned silicides or metals for very large integrated circuit applications", Journal of Vacuum Science and technology, B4, p. 1325, 1986.
- [2] T. Shibata, K. Heida, M. Sato, M. Konaka, R. L. M. Dang, and H. Iizuka, "An optimally designed process for submicron MOSFETs", Tech. Dig. of IEDM, p. 647, 1981.
- [3] K. Goto, T. Yamazaki, A. Fushida, S. Inagaki, and H. Yagi, "Optimization of silicide process for sub 0.1um CMOS device", Symp. on VLSI Tech., p. 119, 1994.
- [4] J. G. Yun, S. Y. Oh, B. F. Huang, H. H. Ji, Y. G. Kim, S. H. Park, H. S. Lee, D. B. Kim, U. S. Kim, H. S. Cha, S. B. Hu, J. G. Lee, S. K. Baek, H. S. Hwang, and H. D. Lee, "Highly thermal robust NiSi for nanoscale MOSFETs utilizing a novel hydrogen plasma immersion ion implantation and Ni-Co-TiN tri-layer", IEEE Electron Device Lett., Vol. 26, No. 2, p. 90, 2005.
- [5] T. Morimoto, H. S. Momose, T. Iinuma, I. Kunishima, K. Suguro, H. Okana, I. Katakabe, H. Nakajime, M. Tsuchiaki, M. Ono, Y. Katsumata, and H. Iwai, "A NiSi silicide technology for advanced logic device", Tech. Dig. of IEDM, p. 653, 1991.
- [6] 황빈봉, 오순영, 윤장근, 김용진, 지희환, 김용구, 왕진석, 이희덕, "Nano-scale CMOS를 위한 Ni-germano Silicide의 열안정성 연구", 전기전자재료학회논문지, 17권, 11호, p. 1149, 2004.
- [7] Z. Zhong, S.-Y. Oh, W.-J. Lee, Y.-Y. Zhang, S.-Y. Jung, S.-G. Li, G.-W. Lee, J.-S. Wang, H.-D. Lee, and Y.-C. Kim, "Study of thermal stability of Ni silicide using Ni-V alloy", Trans. Electr. Electron. Mater., Vol. 9, No. 2, p. 47, 2008.
- [8] J. M. Larson and J. P. Snyder, "Overview and status of metal S/D Schottky-barrier MOSFET technology", IEEE Transactions on Electron Device, Vol. 53, p. 1048, 2006.
- [9] H. S. Wong, L. Chan, G. Samudra, and Y. C. Yeo, "Low schottky barrier height for silicides on n-type Si (100) by interfacial selenium segregation during silicidation", Appl. Phys. Lett., Vol. 93, p. 072103, 2008.

- [10] M. Sinha, E. F. Chor, and Y. C. Yeo, "Tuning the schottky barrier height of nickel silicide on p-silicon by aluminum segregation", *Appl. Phys. Lett.*, Vol. 92, p. 222114, 2008.
- [11] H. S. Wong, L. Chan, G. Samudra, and Y. C. Yeo, "Effective schottky barrier height reduction using Sulfur or Selenium at the NiSi/n-Si(100) interface for low resistance contacts", *IEEE Electron Device Lett.*, Vol. 28, No. 12, p. 1102, 2007.
- [12] K. N. Tu, R. D. Thompson, and B. Y. Tsaur, "Low schottky barrier of rare-earth silicide on n-Si", *Appl. Phys. Lett.*, Vol. 38, No. 8, p. 626, 1981.
- [13] G. P. Lousberg, H. Y. Yu, B. Froment, E. Augendre, A. De Keersgieter, A. Lauwers, M. F. Li, P. Absil, M. Jurczak, and S. Biesemans, "Schottky barrier height lowering by an increase of the substrate doping in PtSi Schottky barrier source/drain FETs", *IEEE Electron Device Lett.*, Vol. 28, No. 2, p. 123, 2007.
- [14] M. Jang, Y. Kim, J. Shin, and S. Lee, "Characterization of erbium-silicided schottky diode junction", *IEEE Electron Device Lett.*, Vol. 26, p. 354, 2005.