

VDL Mode-2에 적용 가능한 버스트 모드 심벌 타이밍 복원기

Burst Mode Symbol Timing Recovery for VDL Mode-2

김종만*, 최승덕*, 은창수**

Jong-Man Gim*, Seung-Duk Choi* and Chang-Soo Eun**

요 약

본 논문에서는 D8PSK 변조 방식을 이용하는 VDL Mode-2 수신기에 적용 가능한 버스트 모드 심벌 타이밍 복원기를 제안하고 성능 분석과 연동실험을 실시하였다. IIR 루프필터를 사용하여 심벌 타이밍 에러를 최소화 하는 방식은 수렴 속도가 늦기 때문에 버스트 모드에 적용하기 곤란하다. 즉 빠른 수렴 특성이 중요시 된다. 본 논문에서 제안한 방식은 프리앰블을 이용하여 초기 동기가 이루어진 후 최대 심벌 전력을 갖는 방향으로 한 샘플 빠르게 또는 한 샘플 느리게 샘플 클럭을 이동하여 최적의 심벌을 취하는 방식이다. 제안된 방식을 적용한 수신기와 호주 ADS사 송신 장비와 연동 시험한 결과 ± 100 ppm 이상에서도 잘 동작함을 확인하였다.

Abstract

In this paper, we proposed a burst mode symbol timing recovery unit that is applicable to the VDL Mode-2 using D8PSK modulation. A method that IIR loop filter is used to minimize symbol timing error is hard to apply to burst mode because its convergence time is long. That is, the fast convergence property is important. In this paper, the proposed method takes one sample which has maximum symbol power after the initial synchronization has been achieved by using preambles. The main principle of operation is that the unit moves one sample clock to advance or retard according to symbol power. We verify that the proposed method is operated well in ± 100 ppm or greater through the test results between Australia ADS Corp. transmitter and the designed receiver.

Keywords : Symbol Timing Recovery, Early-Late, Timing Error, VDL Mode-2, D8PSK

I. 서 론

VHF 디지털 링크 (VDL)는 국제 민간 항공 기구 (ICAO)의 항공 통신 패널 (ACP: Aeronautical Communication Panel)에서 표준화 작업이 진행되어온 차세대 공지간 항공 통신 시스템이다. 현재 VDL은 용도와 변조 방식에 따라 3가지 모드로 국제표준 및 권고

방식 그리고 기술지침이 규정되어 있으며, 각각 모드 -2,3,4로 불린다. 각 모드별 주요 특징을 표 1에 나열하였다.

국제적으로 VHF 대역에서 항공통신을 위한 주파수 대역은 118~137MHz이며, 채널당 대역폭은 25 kHz로 분할되어 있다. 현재 항공통신의 수요 증가에 따라 주파수 자원의 고갈 문제로 기존의 AM 아날로그

* (주)파인텔레콤(PineTelecom. Co. Ltd.)

** 충남대학교(Chungnam National University)

· 제1저자 (First Author) : 김종만

· 투고일자 : 2009년 5월 29일

· 심사(수정)일자 : 2009년 6월 1일 (수정일자 : 2009년 6월 24일)

· 게재일자 : 2009년 6월 30일

그 통신 시스템에서 디지털 방식에서의 전환의 기로에 있다. VDL Mode-2는 변조방식으로 D8PSK를 사용하며 접속방식은 CSMA 그리고 심벌 레이트는 10,500sps이다[1,2,3,4].

표 1. 모드 별 주요 특징

Table 1. Keynote of VDL Mode-x.

-	Mode 2	Mode 3	Mode 4
변조방식	D8PSK	D8PSK	GFSK
전송속도	31.5kbps	31.5kbps	19.2kbps
접속방식	CSMA	TDMA	STDMA
용도	데이터	음성/데이터	감시

본 논문에서는 상기 3개의 모드 중 Mode-2에 초점을 맞추고 있고, D8PSK 수신기 개발 관점에서 VDL Mode-2 수신기에 적용 가능한 버스트 모드 심벌 타이밍 복원기를 제안하고 성능분석과 연동실험을 실시하였다. 버스트 모드에서는 심벌타이밍 에러를 길게 누적하여 갱신하기 곤란하다. 즉 빠른 수렴 특성이 중요시 된다. 루프필터로 IIR 형태를 사용하는 방식은 수렴시간이 비교적 길어 버스트 모드 보다는 연속모드에 적용하기 적합하다. 본 논문에서 제안한 방식은 프리앰블을 이용하여 초기 동기가 이루어진 후 최대 심벌 전력을 갖는 방향으로 한 샘플 빠르게 또는 한 샘플 느리게 샘플 클럭을 이동하여 최적의 심벌을 취하는 방식이다. 여기에 적용된 루프 필터는 곱셈기가 없는 I&D (Integrate and Dump) 필터이고 루프 대역폭은 간단히 I&D 포인트 수만 변경하면 된다.

II장 1절에서는 일반 얼리-레이트 심벌 타이밍 추정기를 살펴보고 2절에서 디지털 하향 변환기의 구조를 보이고 3절에서 상관기를 이용한 초기 심벌 타이밍 동기 획득에 대해 설명한다. 4절에서는 ADS 송신기와 초기 심벌 동기만 가능한 수신기와 연동 시험한 결과와 문제점에 대한 원인 분석을 위한 모의실험을 수행하였다. 그리고 5절에서 제안한 심벌 타이밍 복원기 구조를 설명하고 모의실험 결과를 6절에서 제시한다. 7절에서는 제안 방식을 적용하여 구현한 결과를 보였다. III장에서 결론을 맺는다.

II. 본 론

2-1. 일반 얼리-레이트 심벌 타이밍 추정기

일반 얼리-레이트 심벌 타이밍에러 추정기는 한 샘플 구간 차이의 3 샘플을 이용하여 구한 타이밍 에러를 IIR 형태의 루프 필터를 이용하여 타이밍 에러가 최소가 되는 방향으로 샘플 클럭을 조절한다 [7,8]. 아래 그림 1은 일반 얼리-레이트 심벌 타이밍 추정기 구조이며 그림 2는 SNR에 따른 S 곡선이다. SNR 4dB에서도 정상 동작함을 확인할 수 있다. 그러나 그림 1의 구조를 버스트 모드에 적용하기에는 수렴속도가 느려 문제가 될 수 있다. 또한 AGC 동작이 완벽하지 못할 경우 수신 신호의 진폭 변화에 따라 타이밍 루프 대역폭이 변화되기 쉽다. 즉 수신신호의 진폭이 작을 경우 실제 타이밍 에러가 커도 작은 값을 출력하여 루프 대역폭이 작아지고, 역으로 수신신호가 크면 타이밍 에러가 작아도 루프 대역폭이 커진다. 이것은 수신신호의 진폭 변화가 타이밍 루프의 동작속도를 변경 하므로 버스트 모드에 일반 방식을 적용하기는 곤란하다.

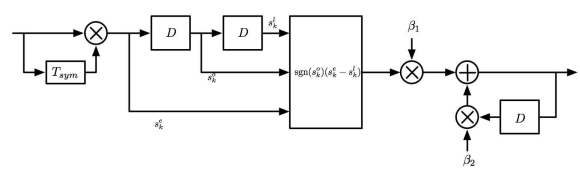


그림 1. 얼리-레이트 심벌타이밍 추정기
Fig. 1. Early-Late Symbol Timing Estimator

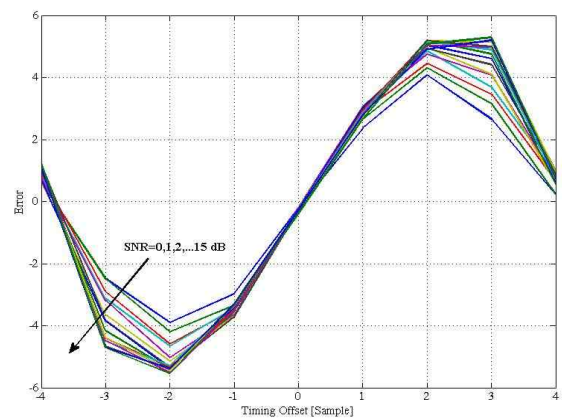


그림 2. SNR에 따른 S 곡선 비교
Fig. 2. Comparison of S-Curve with SNR

2-2. 디지털 하향 변환기

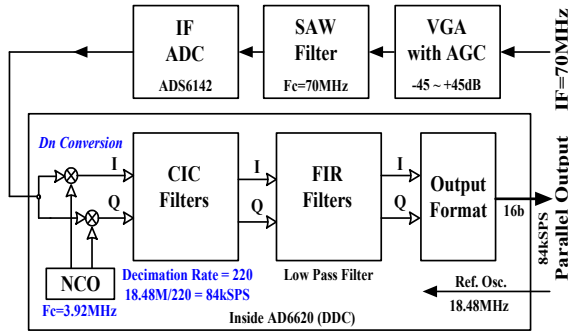


그림 3. 디지털 다운 컨버터 구조
Fig. 3. Digital Down Converter.

그림 3은 디지털 하향 변환기의 구조이다[6]. IF는 70MHz이고 AD 변환율은 18.48Msps이다. 본 연구에서는 디지털 다운 컨버터(DDC)의 출력 샘플(84ksps)을 2배 보간 필터링(168ksps)하여 심벌 레이트의 16배로 차동복호기에 입력되어 수신에 필요한 모든 처리를 수행한다.

2-3. 초기 심벌동기 획득

초기 심벌 동기를 위해 그림 4와 같은 차동 복호된 후 프리앰블 검출을 위한 상관기를 이용하여 상관값이 임계값(T) 보다 크고 최대가 되는 시점이 초기 심벌 동기가 된다. 또한 이 상관값을 이용하여 주파수 오프셋도 추정할 수 있다. 초기 심벌 동기가 이루어지면 나머지 데이터 영역에서도 심벌 동기가 유지되어야 한다. 본 연구에서 탭 사이의 레지스터 수는 16이다.

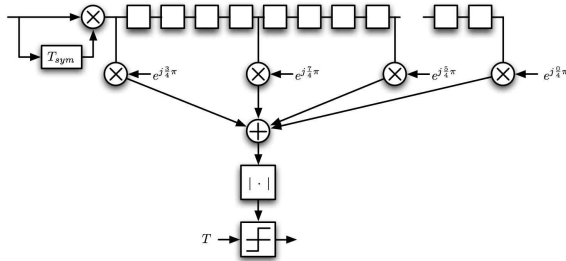


그림 4. 초기 심벌동기 검출용 상관기 구조
Fig. 4. Correlator for Initial Timing Detection

2-4. 연동실험 및 재현 모의실험

본 절에서는 ADS사 송신기와 초기 심벌 동기만 가능한 수신기와 연동 시험한 결과와 문제점에 대한 원인 분석을 위한 모의실험을 수행하였다. 아래 그림 5의 상(上)은 최종 결정 심벌의 위상이고 하(下)는 그 심벌의 크기를 나타낸다. 그림 5의 위상 부분 중에 흐트러진 부분이 심벌 동기가 최적의 심벌위치에서 많이 벗어난 부분이고 심벌의 크기 또한 작다. 9개의 줄무늬가 있는 부분이 최적의 심벌위치에 있는 경우이고 반복되는 것을 확인할 수 있다.

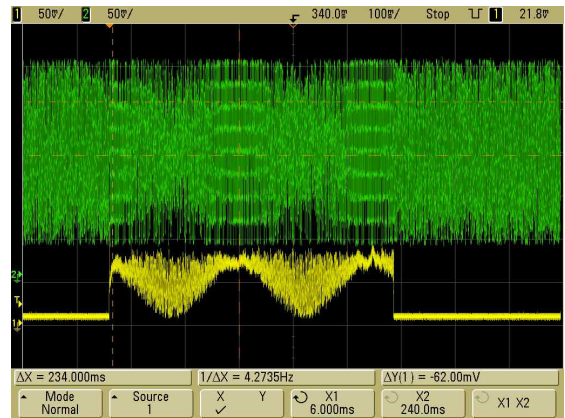


그림 5. ADS사 송신기와 연동실험 결과
Fig. 5. Test Result (ADS Corp. Transmitter)

주기가 234ms이므로 주파수로 환산하면 4.2735 Hz(407ppm)가 된다. 이는 이상적인 심벌위치에서 한 심벌을 초당 4.2735번 완전히 벗어나는 것과 같고 ADS 사 송신기의 순시 주파수 변화가 100ppm을 넘는다는 것을 의미한다. VDL Mode-2는 패킷 길이가 가변적이며 최대 전송 패킷 길이는 2^17 비트이고 시간으로 환산하면 4.16초가 약간 넘는다. 그림 6은 송신기[5]와 수신기의 Ref. Osc.로 ±1ppm을 사용하여 테스트 한 결과이다. 이 경우에는 초기 심벌 동기만으로도 데이터 복조가 가능함을 알 수 있다.

그림 7은 그림 5와 같은 결과의 원인을 유추하기 위해 심벌 클럭의 시간에 대한 주파수의 변화를 묘사한 것이다. 모의실험을 위해 수신기 심벌 클럭을 이상적으로 간주하고 송신 클럭을 평균 주파수는 수신기와 같지만 순시 주파수를 달리하여 마치 주파수 변조된 것처럼 시뮬레이터에 입력하여 그림 8과 같은

결과를 얻었다. 그림 5와 그림 8을 비교하면 매우 흡사한 결과를 볼 수 있다.

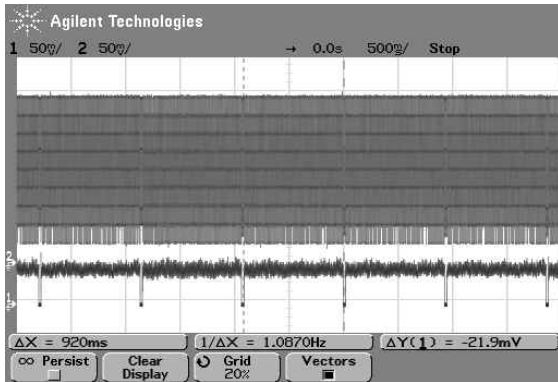


그림 6. 연동실험 결과 ($\pm 1\text{ppm}$ Osc. 사용)
Fig. 6. Test Result ($\pm 1\text{ppm}$ Osc.).

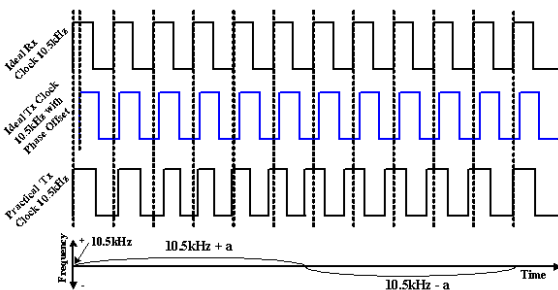


그림 7. 심벌 클럭 변화 묘사
Fig. 7. Symbol Clock Drift

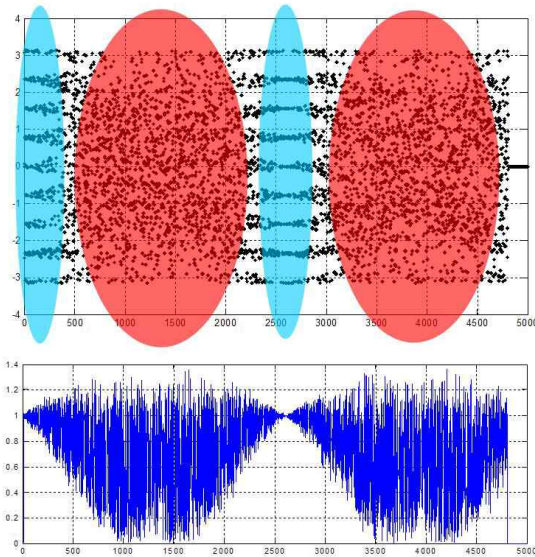


그림 8. 심벌 클럭 변화 모의실험 결과
Fig. 8. Effect of Symbol Clock Drift

2-5. 제안 심벌 타이밍 복원기 구조

그림 9와 그림 10은 본 논문에서 제안하는 심벌 타이밍 복원기의 구조이다. 일반 얼리-레이트 방식에서 루프필터는 IIR 형태이기 때문에 수렴시간이 비교적 길어 버스트 모드 보다는 연속모드에 적용하기 적합하다. 제안한 심벌 타이밍 복원기의 구조는 버스트 검출용 상관기와 신호 전력이 가장 큰 샘플을 찾기 위한 비교기 및 심벌 클럭을 생성하는 카운터 등으로 비교적 쉽게 구현 가능한 구조를 갖는다. 동작은 프리앰블을 이용하여 초기 동기가 이루어진 후 심벌의 절대값이 최대가 되는 방향 (얼리-와 레이트 샘플의 차가 최소가 되는 방향이 아님)으로 한 샘플 빠르게 또는 한 샘플 느리게 샘플 클럭을 이동하여 최적의 심벌을 취하는 방식이고 여기에 적용된 루프 필터는 곱셈기가 없는 간단한 I&D (Integrate and Dump) 필터이다. 루프 필터로 MA (Moving Average) 필터를 적용할 수 있으나 대역폭 조절이 어렵고 I&D 필터보다 성능이 오히려 좋지 못하다. 16진 카운터와 I&D 필터는 프리앰블 검출 시점에서 영으로 리셋되고 카운터 값이 8일 때 인덱스 값(+1, 0, -1)을 더하고 카운터 값이 영일 때 마다 심벌 클럭을 생성한다. 여기서 OnTime과 Early 또는 Late 사이는 1/16 심벌 구간이며 I&D 포인트 수마다 한 샘플 앞으로 또는 한 샘플 뒤로 심벌 클럭이 이동하거나 제자리에 있는 방식으로 최적의 샘플을 취하게 된다.

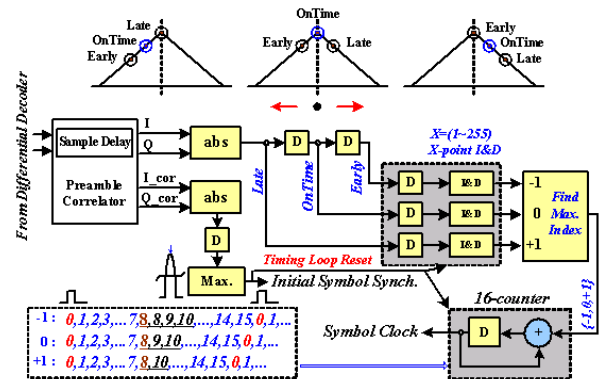


그림 9. 제안 심벌 타이밍 복원기 구조-A
Fig. 9. Proposed Structure of STR-A.

그림 10은 그림 9와 구조는 거의 동일하나 타이밍 에러를 계산하는 부분이 그림 9와 다르다. 즉 그림 9

는 최대의 심벌 전력을 갖는 샘플을 찾아가는 방법이고 그림 10은 얼리와 레이트의 차가 작아지는 방향으로 샘플 클럭을 이동하는 방법이다.

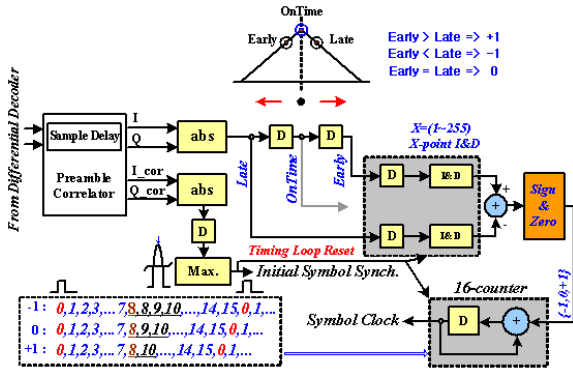


그림 10. 제안 심벌 타이밍 복원기 구조-B
Fig. 10. Proposed Structure of STR-B.

2-6. 제안한 방식을 적용한 모의실험

본 절에서는 제안한 두 구조의 심벌타이밍 복원기의 성능을 모의실험을 통해 비교하였다.

그림 11은 샘플링 주파수 오프셋 5Hz에서 I&D 수에 따른 결정된 심벌의 크기에 대한 표준편차를 나타낸다.

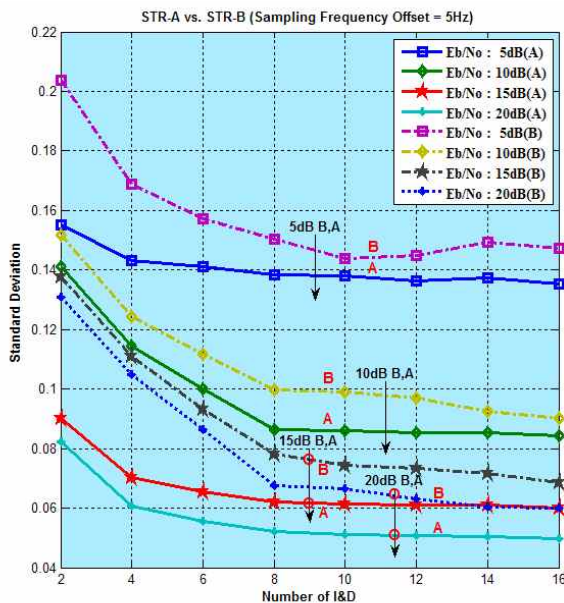


그림 11. 구조별 I&D 수에 따른 표준편차 비교
Fig. 11. Comparison of Standard Deviation with No. of I&D.

STR-A와 STR-B중 STR-A가 5dB 정도 성능이 더 우수한 것을 확인 할 수 있다. I&D 수에 따른 성능은 I&D 수 2에서 표준편차가 가장 크고 8에서 16까지 거의 비슷한 결과를 보인다. 본 모의실험에서 잡음과 샘플링 주파수 오프셋이 없는 경우 결정 심벌 크기의 표준편차는 0.0437이다. SNR이 낮을 경우 편차가 커지는 것은 잡음 분산이 커졌기 때문이고 심벌 타이밍 추정 에러가 커진 것은 아니다.

그림 12는 Eb/No 15dB에서 샘플링 주파수 오프셋의 크기에 따른 결정 심벌크기의 표준편차를 나타낸다. STR-A는 I&D 수가 16일 때 6Hz까지 최소의 표준편차를 보인다. 반면에 STR-B는 약 3Hz부터 편차가 커지기 시작함을 확인할 수 있다. STR-B 구조에서 얼리와 레이트의 샘플 크기가 같은 경우는 얼리가 크거나 레이트가 큰 경우 보다 발생 빈도수가 훨씬 적어 샘플 클럭이 프리러닝(free running)하기보다는 대부분 한 샘플 빠르게 또는 느리게 이동하기 때문에 STR-A 구조 보다 편차가 크다. 그림 13은 샘플링 주파수 오프셋이 5Hz이고 Eb/No 15dB에서 STR-A로 모의 실험한 결과이다. 주파수 오프셋이 상당히 커도 결정 심벌의 위상(9개의 가로 줄무늬)이 분명하게 보인다.

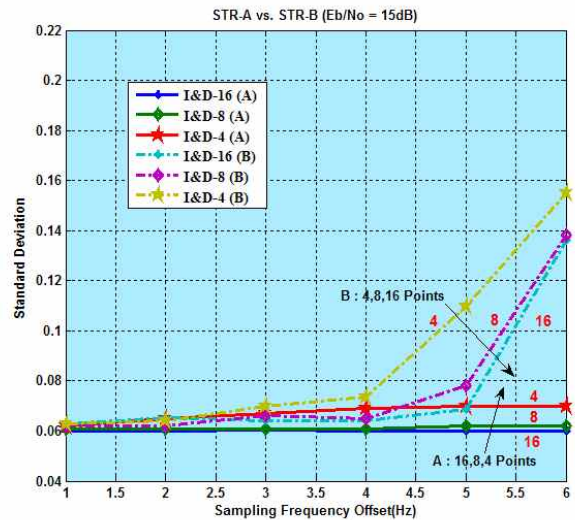


그림 12. 샘플링 주파수 오프셋에 따른 표준편차 비교
Fig. 12. Comparison of Standard Deviation with F_s offset.

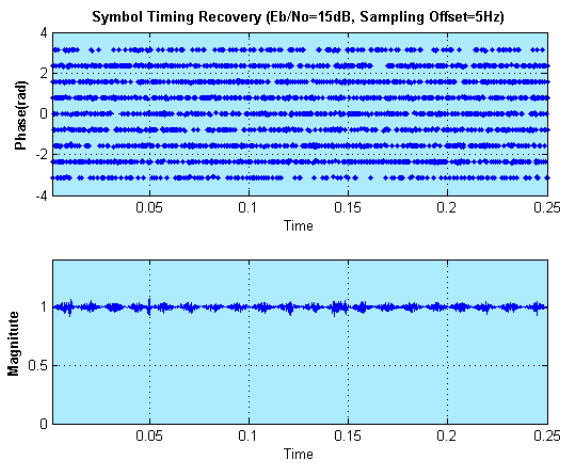


그림 13. 주파수 오프셋 5Hz에서 모의실험 결과
Fig. 13. Simulation Result in 5Hz Fs_offset.

2-7. 제안한 방식을 적용한 연동실험

본 절에서는 5절에서 제안한 STR-A 구조를 적용하여 ADS사 송신기와 연동실험을 실시하였다. 그림 13은 I&D 포인트 수를 0으로 한 경우이며 그림 5와 동일한 결과를 보인다. 그림 14는 I&D 포인트 수가 16인 경우로 심벌 타이밍 추적이 잘되는 것을 볼 수 있다. 여기에 제시하지 않았지만 2~50 포인트까지 거의 유사한 결과를 보였다. 본 실험에서 샘플링 주파수 오프셋은 약 4Hz 정도로 상당히 큰 편이다. 그림 15와 그림 16은 각각 180, 250인 경우로 심벌 타이밍 추적을 하지 못하는 것을 알 수 있다.

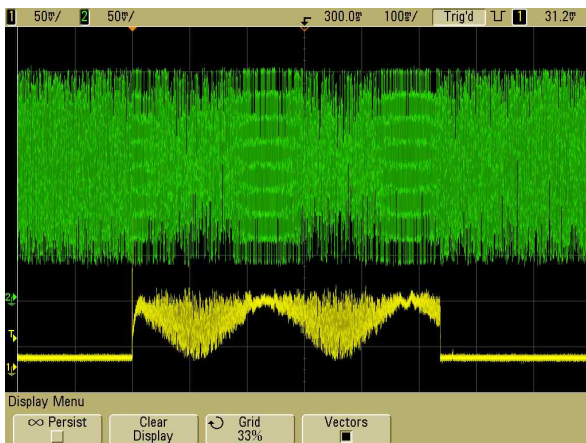


그림 14. I&D-16 포인트 일 때 연동실험 결과
Fig. 14. Test Result in I&D 16 Points.

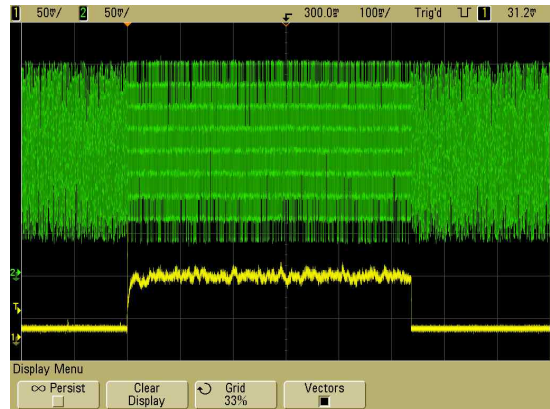


그림 15. I&D-180 포인트 일 때 연동실험 결과
Fig. 15. Test Result in I&D 180 Points.

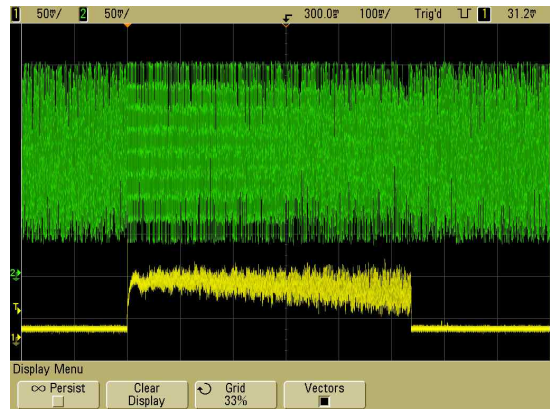


그림 16. I&D-250 포인트 일 때 연동실험 결과
Fig. 16. Test Result in I&D 250 Points.

Ⅲ. 결 론

본 논문에서 제안한 버스트 모드 심벌 타이밍 복

원 방식은 프리앰블을 이용하여 초기 동기가 이루어진 후 최대 심벌 전력을 갖는 방향으로 한 샘플 빠르게 또는 한 샘플 느리게 샘플 클럭을 이동하여 최적의 심벌을 취하는 방식이고 여기에 적용된 루프 필터는 I&D (Integrate and Dump) 필터이다. 제안된 방식은 수렴속도가 빠르고 AGC의 불안정한 동작으로 인한 진폭 변화에 대해서 루프 대역폭이 변하지 않는 장점이 있다. 모의실험을 통하여 성능을 분석하였고 제안된 STR-A 구조를 적용한 수신기와 호주 ADS사 송신 장비와 연동 시험한 결과 ± 100 ppm 이상에서도 잘 동작함을 확인하였다. 본 방식은 VDL Mode-2 뿐만 아니라 Mode-3에도 적용가능하고 대역확산(DSSS) 수신기의 코드 추적 루프(code tracking loop)에도 응용이 가능하다고 사료된다.

감사의 글

본 논문은 지식경제부 “국가교통핵심기술개발사업”의 일환으로 수행되었음.

참 고 문 헌

[1] ICAO, "VHF air-ground digital link (VDL)", *International Standards and Recommended Practices*, Annex 10, Volume III, Part I, Chap. 6, 2000.

[2] Honeywell, "VHF Digital Link (VDL) Primer", http://www.honeywellcommnav.com/documents/technical/vhf_primer.pdf.

[3] IATA, "VHF Digital Link Mode 2", http://www.iata.org/NR/rdonlyres/4F42598A-951F-4FC3-A419-E160E0FD961F/0/VLD_Modes2.pdf.

[4] RTCA, "Signal-in-space minimum aviation system performance standards for advanced VHF digital data communications including compatibility with digital voice techniques", *RTCA D0-244A*, Chap 3.0, 2000.

[5] 김종만 외, “VDL Mode-2 송·수신기 성능분석 및 협대역 디지털 변조신호 생성”, *한국항공학회 논문지* 11권 1호, pp. 9~16. 2007

[6] Product Specification, "AD6620, 67 MSPS Digital

Receive Signal Processor", *Analog Devices*, 2001.

[7] F.M.Gardner, "A BPSK/QPSK timing-error detector for sampled receivers," *IEEE Trans. Commun.*, vol. COM-34, pp. 423-429, May 1986.

[8] W.G. Cowley and L.P. Sabel, "The performance of two symbol timing recovery algorithms for PSK demodulators," *IEEE Trans. Commun.*, vol. 42, pp. 2345-2355, June 1994.

김 종 만 (金鍾萬)



2001년 2월 : 원광대학교 전자공학과 (공학사)
 2003년 2월 : 전북대학교 정보통신공학과(공학석사)
 2003년 3월~현재 : (주)파인텔레콤 선임연구원

2008년 8월 : 충남대학교 정보통신학과 (박사수료)
 관심분야 : 모뎀 설계, 디지털 신호처리, RF 회로설계

최 승 덕 (崔丞德)



2007년 8월 : 충북대학교 정보통신공학과(학사)
 2007년 8월~현재 : 충북대학교 전파공학(석사과정)
 2008년 3월~현재 : (주)파인텔레콤 연구원
 관심분야 : 모뎀, 디지털 신호처리

은 창 수 (殷彰穗)



1985년 2월 : 서울대학교 전자공학과(공학사)
 1987년 2월 : 서울대학교 전자공학과(공학석사)
 1995년 8월 : The University of Texas at Austin (박사)
 1997년 9월~현재 : 충남대학교 정보통신 공학부 교수

관심분야 : RF 및 마이크로파 회로, 통신 신호 처리