

AC PDP의 오방전 개선을 위한 어드레스 방전 특성 연구

논문

58-6-15

Study on the Address Discharge Characteristics for the Improvement of the Mis-firing Problem in AC PDP

전 원 재* · 김 동 훈* · 이 석 현†

(Won-Jae Jeon · Dong-Hun Kim · Seok-Hyun Lee)

Abstract - Unstable sustain discharges can occur at the bottom cells of the panel at high temperature. To solve this problem, the wall charge variation during an address period was investigated. A test panel of 7.5 inch XGA level was used and one green cell was measured. In order to realize operating condition equal to that of the bottom cells of 50 inch panel, the addressing stress pulses are applied. It seems that the resultant wall charge loss during address period increased with increase of stress time, temperature, pressure and Xe %. Wall charge loss increases with potential difference between scan electrode and address electrode, therefore wall charge loss can be minimized by the increase of scan voltage during address period.

Key Words : PDP, Address discharge, Wall charge, Misfiring

1. 서 론

현대의 정보화 사회에서 디스플레이는 인간이 정보를 보다 쉽게 접할 수 있게 하는 매우 중요한 역할을 하고 있다. 이러한 디스플레이 소자로는 CRT(Cathode Ray Tube), LCD(Liquid Crystal Display), FED(Field Emission Display), PDP(Plasma Display Panel), OLED(Organic Light Emitting Diodes) 등 여러 가지가 사용되고 있고 디스플레이의 이용이 확대되면서 점차 초경량, 박형, 대형, 고화질의 디스플레이가 요구되고 있다. 현재 PDP는 대표적인 평면 디스플레이 소자로서 대형화가 용이하고, 256계조 이상의 full color화가 가능하고 넓은 시야각을 가지며 자기(磁氣)의 영향을 받지 않는 등의 장점이 있어 평판 디스플레이로서 시장 점유율이 빠르게 성장하고 있다. 그러나 PDP는 높은 제조 단가, 명암비 개선, 화질개선, 고효율, 저가격화 등의 중요한 과제가 남아 있다.[1], [2] PDP는 화상을 표현하기 위해 가스 방전을 이용하는데 가스 방전의 특성상 온도의 영향을 많이 받게 되고, 고온에서 불안정한 서스테인 방전이 발생하는 문제가 나타난다. 그리고 패널이 대형화될수록 패널의 하단부에서 서스테인 오방전 발생이 증가하는데 현재 디스플레이 디바이스가 점점 대형화 되는 추세이므로 이에 대한 연구는 매우 중요하다. 이에 따라 본 논문은 스캔타입 증가와 서스테인 펄스 수 증가에 따라 오방전

발생 빈도가 증가하는 원인을 분석 하였고, 온도와 패널의 압력 그리고 Ne-Xe의 혼합비에 따른 어드레스 방전 특성 변화를 비교하였다. 그리고 스캔전압의 조절을 통해 온도 증가에 따른 불안정한 어드레스 방전을 줄일 수 있다는 사실을 확인하였다.

2. 본 론

2.1 실험 장치

그림 1은 실험에 사용된 장치의 개략도이다. 실험에는 가스 혼합비와 압력이 각각 Ne-Xe(10%)-400Torr, Ne-Xe(10%)-450Torr, Ne-Xe(15%)-400Torr인 7.5인치 XGA급 패널을 사용하였다. VDS로 제어되는 AWG(FTLab, HVA800)를 이용하여 구동파형을 설계하였고, Temperature Controller(A CETECT)를 사용하여 패널 전체의 온도를 조절하였다. 방전 현상을 관찰하기 위해 디지털 오실로 스코프(Tektronix, TDS3054)와 Photo Detector(Hamamatsu, C6386-01)를 이용하여 기체 방전 시 발생하는 IR광을 측정하였다.

2.2 실험 방법

현재 대부분의 AC-PDP에 적용되고 있는 ADS(Address Display Separated) 구동 방식은 전 스캔 라인에 걸쳐 순차적으로 어드레스를 실시한 후 서스테인 구간에서 유지 방전의 횟수를 차등 적용하여 256계조를 표현한다. ADS 구동

† 교신저자, 정회원 : 인하대 IT공대 전기공학과 교수
E-mail : plasma@inha.ac.kr

* 준 회원 : 인하대 IT공대 전기공학과 석사과정
접수일자 : 2008년 11월 25일
최종완료 : 2009년 5월 11일

방식으로 full-white 이미지 표현 시 XGA급(1024x768) 패널의 경우 각각의 셀에는 약 800 여개의 어드레스 펄스가 인가된다. 패널의 하단부에 위치한 셀일수록 해당 셀의 방전까지 인가되는 어드레스 펄스의 수가 증가하게 되고 방전과 상관없는 펄스로 인해 지속적으로 자극을 받게 된다.

본 실험에서는 방전과 상관없이 인가되는 어드레스 펄스가 방전에 미치는 영향을 알아보기 위하여 방전 지연 시간과 최소 어드레스 방전 전압의 변화를 하나의 그린 셀에서 측정하였다. 대형 패널의 상, 중, 하단부에서와 같은 방전 조건을 만들기 위하여 그림 2와 같은 구동 파형을 실험 패널에 적용하였고, 패널의 압력과 Xe 분압 그리고 패널의 온도 변화에 따른 방전 특성을 비교하였다. 그림 2의 (i)는 어드레스 구간동안 어드레스 펄스를 하나만 인가하여 측정 셀에 스트레스를 주지 않은 경우이고 그림 2의 (ii), (iii), (iv)는 full-white 이미지 표현 시 패널의 상, 중, 하단부의 셀에 인가되는 어드레스 파형으로 해당 시간만큼 어드레스 펄스로 인한 스트레스를 받는 경우이다.[3]

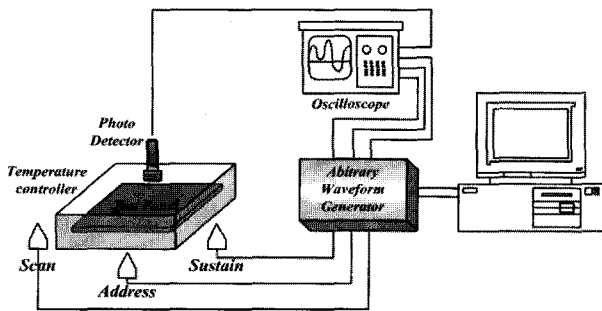


그림 1 실험 장치의 개략도
Fig. 1 Schematic diagram of experiment systems

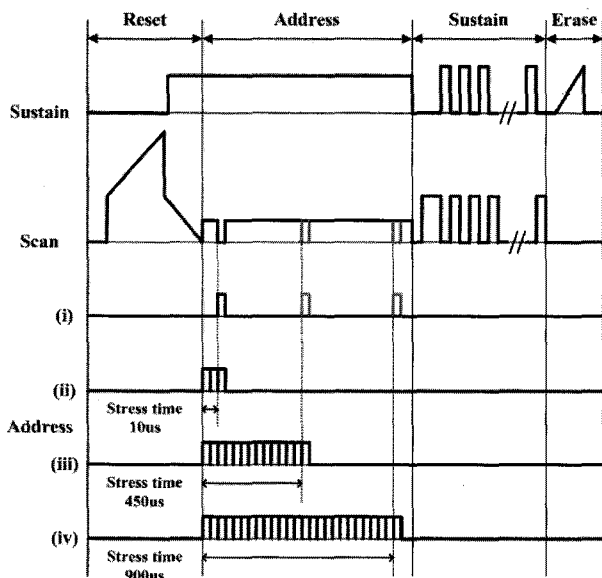


그림 2 실험에 사용된 구동파형의 개략도
Fig. 2 Driving waveform employed in the experiments

2.3 실험 결과

패널 압력 400Torr, Ne-Xe 혼합비 10%인 패널에 그림 2의 구동 파형을 인가하여 각각의 방전 조건에 따른 방전광을 Photo Detector로 측정하여 어드레스 방전 지연시간을 비교하였다. 그림 3의 (a)는 어드레스 펄스가 하나만 인가되었을 경우에 나타나는 방전 지연시간을 나타낸 것이다. 리셋 구간동안 생성된 프라이밍 입자의 영향으로 어드레스 초기구간에서 방전 지연시간은 큰 폭으로 감소하며 스캔 타임이 증가함에 따라 프라이밍 입자의 소멸 등으로 점차 증가하다 일정한 상태를 유지하게 된다. 그러나 그림 2의 (ii), (iii), (iv) 파형 인가 시 그림 3의 (b)에서와 같이 방전 지연시간은 계속적으로 증가하며, 펄스 수가 증가할수록 지연시간의 증가폭이 커지는 것을 알 수 있다.

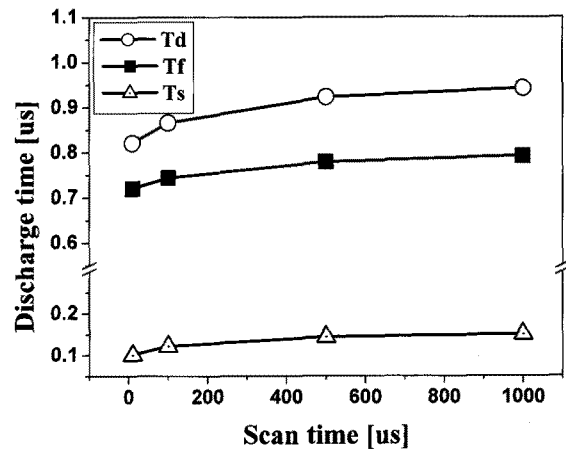


그림 3 (a) Non-stress 조건에서의 scan time에 따른 어드레스 방전 지연시간
Fig. 3 (a) Address discharge time lag with scan time under non-stress condition

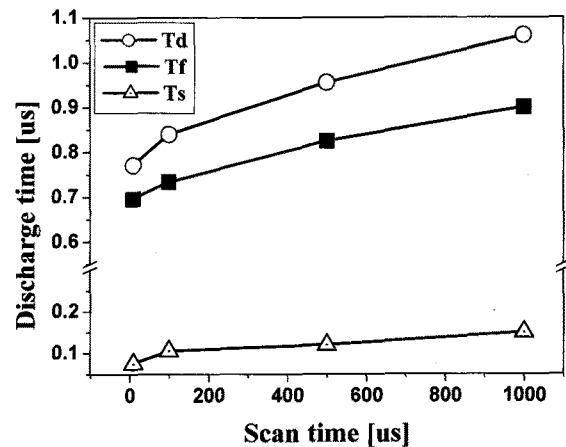


그림 3 (b) Stress 조건에서 어드레스 방전 지연시간
Fig. 3 (b) Address discharge time lag under stress condition

방전 지연시간(Discharge time lag: Td)은 방전 형성 지연시간(Formative time lag: Tf)과 통계적 지연시간(Statistical time lag: Ts)으로 구분된다. 어드레스 펄스 인가 후 최초 어드레스 방전까지의 시간으로 정의되는 Tf는 외부 인가

전압과 셀 내의 벽전압에 영향을 받고 최초 어드레스 방전과 최후 어드레스 방전 사이의 시간차로 정의되는 Ts는 패널의 온도와 프라이밍 입자에 영향을 받는다.[4] 그림 3의 (b)에서 방전 지연시간의 변화는 Tf의 증가로 인한 것으로 어드레스 펄스가 리셋구동안 형성된 벽전하 상태에 영향을 준다는 것을 예상할 수 있다.

어드레스 펄스의 인가 시간에 따른 벽전하의 상태 변화를 알아보기 위하여 각각의 조건에서 최소 어드레스 전압을 측정하였다. 어드레스 펄스를 하나만 인가하였을 경우 최소 어드레스 전압은 거의 일정하였으나 연속적으로 어드레스 펄스가 인가될 경우 그 수에 비례하여 최소 어드레스 전압이 상승하는 것을 그림 4에서 볼 수 있다. 이는 어드레스 펄스가 인가되면 스캔 전극과 어드레스 전극 간의 전위차가 증가하여 벽전하 상태에 영향을 주기 때문이다.

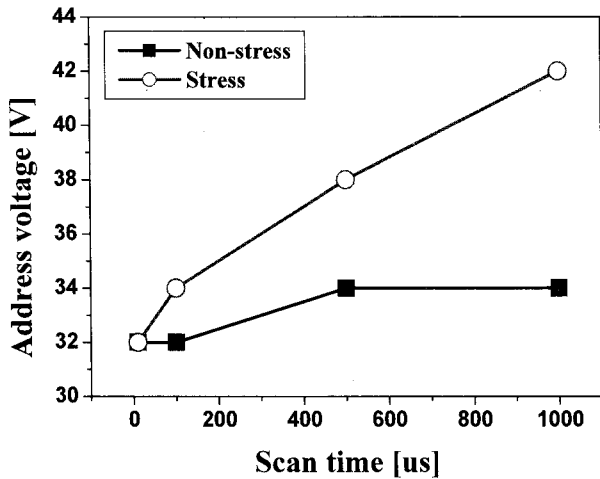


그림 4 스트레스 시간에 따른 최소 어드레스 전압
Fig. 4 Minimum address voltage with stress time

어드레스 펄스에 의한 스트레스가 패널의 압력과 Xe 분압 그리고 패널의 온도변화에 따라 어드레스 방전에 미치는 영향을 알아보기 위하여 400torr, Ne-Xe 10% 패널의 어드레스 방전 전압 특성을 기준으로, 450torr, Ne-Xe 10%(고압력 패널) 패널과 400torr, Ne-Xe 15%(High Xe 패널) 패널에서 각각의 방전 특성을 비교하였다. 패널 전체의 온도를 저온(-10℃), 실온(26℃), 고온(65℃)으로 변화시키면서 스캔 타임 900us에서 최소 어드레스 전압을 측정하였다.

그림 5는 조건이 다른 패널에서 스트레스 인가 시 온도에 따른 최소 어드레스 전압의 변화(上)와 스트레스 인가 유무에 따른 최소 어드레스 전압의 차(下)를 나타낸 것이다. 저온의 경우 모든 패널에서 어드레스 전압은 스트레스의 유무와 관계없이 거의 일정하였다. 즉, 패널의 온도가 낮을 경우 스트레스의 영향을 거의 받지 않는다는 것을 알 수 있다. 하지만, 패널의 온도가 상승하면 스트레스로 인한 벽전하 감소로 최소 어드레스 전압은 증가하게 되며 고온일수록 뚜렷한 변화를 나타내었다. 패널의 종류에 따른 최소 어드레스 전압의 변화를 살펴보면 Ne-Xe(10%)-400Torr인 패널의 경우 실온과 고온에서 각각 6V, 14V, Ne-Xe(15%)-400Torr인

패널의 경우 실온과 고온에서 각각 10V, 18V, Ne-Xe(10%)-450Torr인 패널의 경우 실온과 고온에서 각각 8V, 20V의 전압 차이를 나타내었다. 즉, 어드레스 펄스로 인한 스트레스는 패널의 온도가 높을수록 Xe 분압과 패널의 압력이 증가할수록 그 영향력이 커지는 것을 알 수 있다.

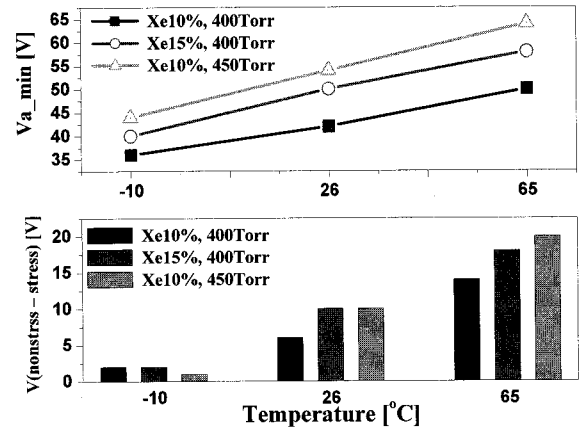


그림 5 온도에 따른 최소 어드레스 전압
Fig. 5 Minimum address voltage with temperature

스캔전극과 어드레스 전극 사이의 전위차에 따른 최소 어드레스 전압 변화를 알아보기 위하여 그림 6의 (a)와 같은 파형을 이용하였다. 대형 패널에서 full white 화면 구현 시, 패널 하단부의 셀에는 방전과 상관없는 어드레스 펄스가 계속 인가되어 결론적으로 패널 하단부의 셀에는 그림 6의 (a)와 같은 구동 파형이 인가되게 된다. 패널 하단부의 셀에서는 (+) 벽전하가 쌓여있는 어드레스 전극에 방전과 상관없는 전압 펄스들이 인가되어 (-) 벽전하가 쌓여있는 스캔 전극과의 전계 차이가 커지게 된다. 쌓여있던 벽전하들은 전극간의 전계차이가 커짐으로 인해 영향을 받아 소실되게 되는 것이다. 어드레스 전극과 스캔 전극 사이에 인가되는 전계차이에 의해 나타나는 벽전하 소실 정도를 알아보기 위하여 방전과 상관없는 어드레스 스트레스 전압의 크기를 0~110V 까지 변화시켰고, 이때 패널의 온도에 따라 다르게 나타나는 최소 어드레스 전압의 변화를 그림 6의 (b)에서 비교하여 보여주고 있다.

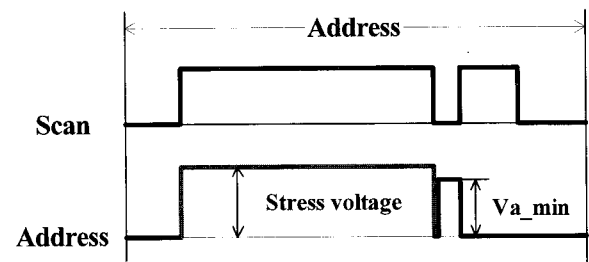


그림 6 (a) 스트레스 전압에 따른 어드레스 전압 측정 파형
Fig. 6 (a) Measurement waveform for measuring address voltage with stress voltage

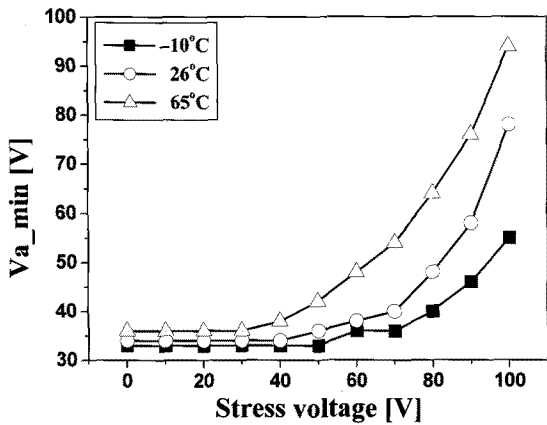


그림 6 (b) 스트레스 전압에 따른 최소 어드레스 전압
Fig. 6 (b) Minimum address voltage with stress voltage

Ne-Xe(10%)-400Torr인 패널에서 최소 어드레스 전압의 변화를 살펴보면 고온에서는 어드레스 스트레스에 의한 벽전하 소실이 증가하여 스트레스 전압 40V 이상에서 최소 어드레스 전압의 증가가 발생하였고, 실온에서는 스트레스 전압 50V 이상 그리고 저온에서는 스트레스 전압 60V 이상에서 최소 어드레스 전압의 증가를 보였다. 이를 통해 패널의 온도가 높을수록 스트레스로 인한 벽전하 소실이 증가한다는 것을 재차 확인할 수 있었다. 스트레스의 영향을 최소화하기 위해서는 스캔 전극과 어드레스 전극사이의 전위차를 줄여야하며 어드레스 전압을 낮추거나 어드레스 구간동안 스캔 전극에 인가되는 바이어스 전압(V_y)을 증가시킴으로써 스캔 전극과 어드레스 전극 사이의 전위차를 줄여줄 수 있다.

스캔 전압의 변화에 따른 어드레스 방전 특성을 알아보기 위하여 그림 7의 (a)처럼 스캔 전압 V_y 를 70V부터 140V까지 변화시켜 방전 지연시간과 최소 어드레스 전압의 변화를 측정하였다. 스캔 전압 V_y 가 증가함에 따라 그림 7의 (b)처럼 방전 지연시간이 감소하는 것을 볼 수 있는데 V_y 100V 이상에서는 방전 지연시간의 감소가 더 이상 발생하지 않는다. V_y 에 따른 최소 어드레스 전압 역시 그림 7의 (c)에서 보이는 것처럼 V_y 100V까지 급격히 감소하여 non-stress 조건의 최소 어드레스 방전 전압과 비슷해지는 것으로 보아 V_y 전압의 증가로 인해 어드레싱에 의한 스트레스를 줄여 줄 수 있다는 것을 알 수 있다.

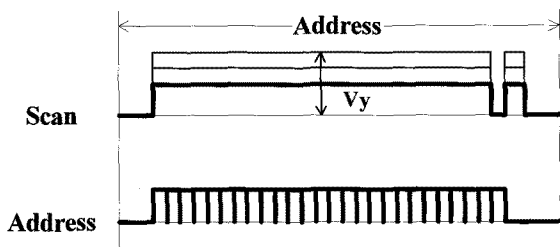


그림 7 (a) V_y 전압에 따른 방전 특성 분석
Fig. 7 (a) Driving waveform with various V_y

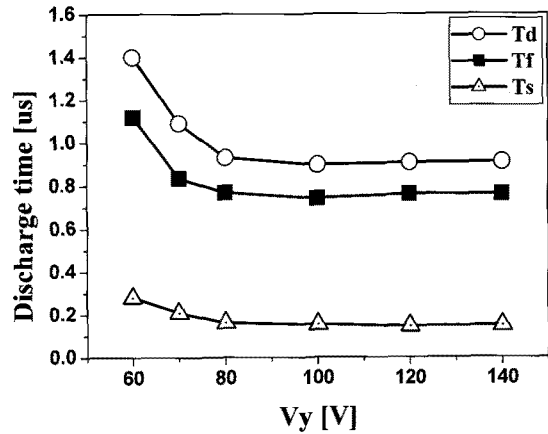


그림 7 (b) 스캔 전압에 따른 어드레스 방전 지연시간
Fig. 7 (b) Address discharge time lag with V_y

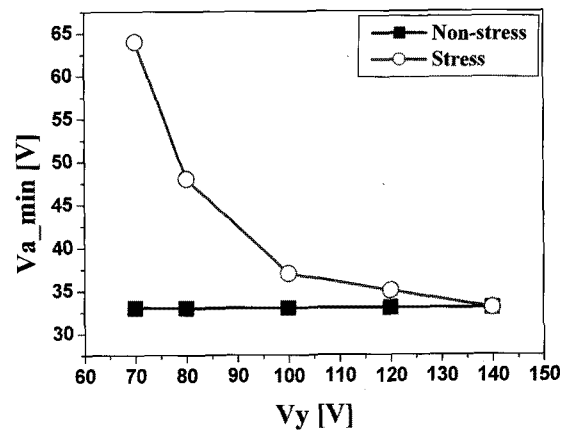


그림 7 (c) 스캔 전압에 따른 최소 어드레스 전압
Fig. 7 (c) Minimum address voltage with V_y

스캔타임 증가뿐만 아니라 서스테인 펄스 수 증가에 따라 오방전 발생 빈도가 증가하는 원인을 분석하기 위해 그림 8의 (a) 같이 방전이 발생하지 않는 서스테인 파형을 인가한 후 따라오는 어드레스 방전에서 나타나는 방전 지연시간을 측정하였다.

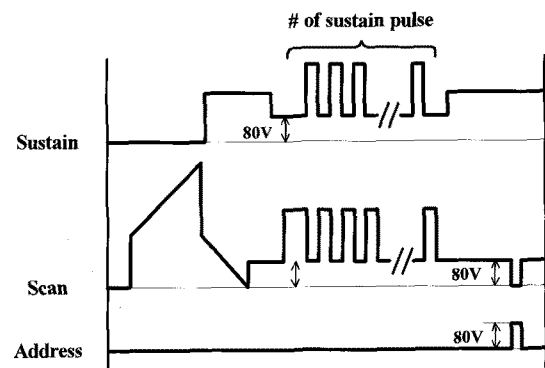


그림 8 (a) 서스테인 펄스 스트레스 측정을 위한 구동 파형
Fig. 8 (a) Driving waveform measuring sustain pulse stress

선택적 소거 방식을 이용하여 PDP 구동 시 on셀의 경우 서스테인 구간에서 이루어지는 유지방전으로 전극간의 벽전압이 재구성되어 뒤따르는 셀렉티브 리셋 구간동안 벽전압의 초기화가 이루어진다. 이에 반해 off셀에서는 유지방전 없이 서스테인 펄스만이 인가되고 벽전압의 초기화 역시 이루어지지 않는다. 이때 방전과 상관없이 인가된 서스테인 펄스로 인해 벽전하가 영향을 받게 되어 그림 8의 (b)처럼 어드레스의 방전 지연시간이 증가하게 된다. 이때 방전 지연시간의 증가는 주로 T_s 의 증가에 기인함을 알 수 있다.

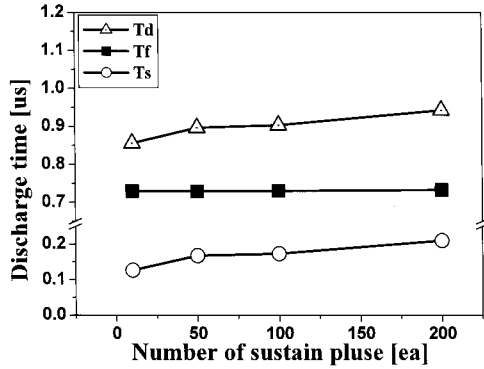


그림 8 (b) 서스테인 펄스 수에 따른 방전 지연시간
 Fig. 8 (b) Address discharge time lag vs. the number of sustain pulse

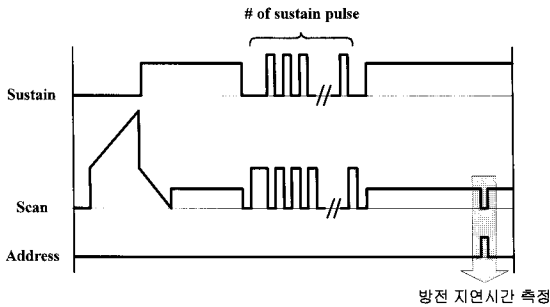


그림 9 (a) 어드레싱 스트레스와 서스테인 스트레스가 동시에 인가되는 구동파형
 Fig. 9 (a) Driving waveform for address and sustain stress measurement

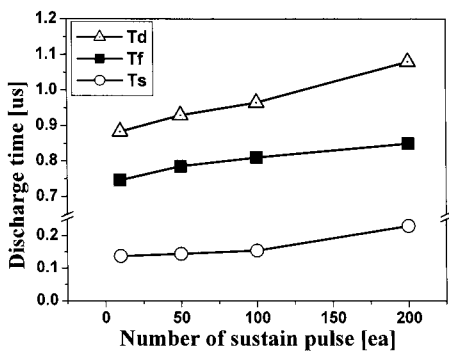


그림 9 (b) 어드레스 스트레스와 서스테인 스트레스에 의한 방전 지연시간
 Fig. 9 (b) Address discharge time lag with address and sustain stress

그림 9의 (a)는 어드레싱에 의한 스트레스와 서스테인에 의한 스트레스를 동시에 받은 경우에 대한 구동파형으로 서스테인 구간 동안 스캔 전극과 어드레스 전극사이 그리고 스캔 전극과 서스테인 전극사이에 동시에 전압 스트레스가 인가된다. 이 경우에는 그림 9의 (b)처럼 T_f 와 T_s 가 함께 증가하는 현상이 나타나게 된다.

3. 고찰

PDP의 오방전 개선을 위하여 그동안 많은 연구가 이루어져 왔다. 하지만, 대부분의 연구가 PDP상관의 유전체와 MgO층 그리고 하판의 형광체 등의 온도에 따른 물성변화와 서스테인 구간동안 발생하는 다수의 서스테인 방전으로 인한 열화등과 같은 PDP의 재료 측면에서 문제를 해결하려고 하였다.

본 논문에서는 ADS구동방식의 특성상 어드레스구간과 서스테인구간에서 발생하게 되는 전극 간 전위차를 오방전 현상의 원인으로 고려하였다. 현재 대부분의 PDP에 적용되고 있는 ADS구동방식은 address구간과 sustain구간이 시간적으로 분리되어 있고 어드레스 구간동안 패널의 모든 셀에 대해 어드레싱이 이루어진 후 서스테인 구간동안 펄스의 수를 차등화를 통해 계조를 표현하게 된다. 따라서 full-white 이미지 구현 시 어드레스구간 동안 패널 하단부의 셀에는 방전과 상관없는 수많은 어드레스 펄스가 인가된다. 이로 인하여 스캔 전극과 어드레스 전극 간에 형성되는 전위차는 리셋 구간동안 생성된 벽전하의 상태에 영향을 끼쳐 어드레스 방전 지연시간을 증가시키는 원인이 된다는 것을 실험을 통하여 확인하였다. 또한 선택적 소거 방식을 사용할 경우 off 셀에 인가되는 서스테인 펄스 또한 어드레스 펄스와 마찬가지로 벽전하 상태에 영향을 주며 다음 서브필드의 어드레스 방전에 영향을 준다는 것을 확인하였다.

4. 결론

본 연구에서는 온도의 증가와 서스테인 펄스 수 증가에 따른 오방전 발생빈도 증가 원인이 어드레스 구간에서 방전과 상관없이 셀에 인가되는 어드레스 펄스로 인한 스트레스 때문임을 확인하였다. 어드레싱에 의한 스트레스가 발생하지 않은 셀에 비해 어드레싱 스트레스가 인가된 셀의 최소 어드레스 전압과 방전 지연시간이 더 크게 나타났고, 온도가 상승할수록 그 경향성이 뚜렷하게 나타나는 것을 볼 수 있었다. 그리고 패널 내부의 압력과 Ne-Xe 혼합비가 증가할수록 최소 어드레스 전압의 증가는 더 크게 나타나게 된다. 어드레스 펄스가 인가되는 동안 스캔 전극과 어드레스 전극사이에 전위차가 커지게 되는데 이로 인해 벽전하가 영향을 받아 소실된다. 이러한 벽전하 소실은 고온에서 더욱 뚜렷하게 나타나고 패널의 압력과 Xe 분압의 증가에 따라서도 더 높은 최소 어드레스 전압을 가져오게 된다. 결과적으로 어드레스 스트레스로 인한 최소 어드레스 전압과 방전 지연시간의 증가는 불안정한 어드레스 방전을 야기하여 오방전의 발생 빈도를 증가시킨다.

어드레스 펄스로 인한 스트레스는 스캔과 어드레스의 두 전극 사이의 전위차 증가로 인한 것으로 어드레스 구간동안

스캔 전극에 인가되는 V_y 전압을 상승시킴으로서 스트레스의 영향을 최소화시킬 수 있었다. 스캔 전극과 어드레스 전극사이의 전위차를 감소시킴으로서 고온에서 최소 어드레스 전압과 방전 지연시간이 감소되는 것을 확인하였다. 선택적 소거방식을 이용한 구동에서 유지 방전이 일어나지 않은 셀에 인가되는 서스테인 펄스 역시 벽전하를 자극하여 뒤따르는 서브필드에서 어드레스 방전 지연시간을 증가시키는 것을 확인하였다. 이 경우에는 주로 T_s 가 증가하고 어드레스 스트레스와 서스테인 스트레스가 동시에 인가될 경우에는 T_f 와 T_s 가 모두 증가하였다.

감사의 글

본 연구는 LG 전자의 지원으로 수행되었습니다.

참 고 문 헌

- [1] H. Uchike, T. Hirakawa, "Color Plasma Displays", Proceedings of the IEEE, vol. 90, No. 4, April 2002
- [2] Larry F. Weber, "The Promise of Plasma Display for HD-TV.", Society for Information Display(SID), vol. 16, no. 12, pp 16-20, 2000
- [3] Byung-Tae Choi, Hyung Dal Park, Jae Kwang Lim, and Heung-Sik Tae "Analysis of Wall Voltage Variation During Address Period Using $V(t)$ Closed Curves" SID'07 Digest, pp. 565-568, 2007
- [4] Ji-Yong Kim, Dong-Hun Kim, Tae-Yong Song, Sun Kim, Seok-Hyun Lee, Joon-Yub Kim* "A Study on the Improvement of Address Discharge Time Lag in AC PDP at Low Temperature" ASID, WP 1.02, pp. 369-372 October, 2006

저 자 소 개



전 원 재 (全元宰)

1978년 10월 3일생. 2006년 2월 인하대 공대 전자공학과 졸업. 2008년 8월 인하대 대학원 졸업(공학석사)
E-mail : wonjae1003@naver.com



김 동 훈 (金東勳)

1980년 10월 3일생. 2006년 2월 인하대공대 전기공학과 졸업. 2008년 2월 인하대 대학원 졸업(공학석사)
E-mail : skqnsdkdl@nate.com



이 석 현 (李 哲 賢)

1963년 2월 3일생. 1985년 2월 서울대학교 전기공학과 졸업. 1987년 2월 동대학원 전기공학과 졸업(공학석사). 1993년 동 대학원 전기공학과 졸업(공학박사). 1993~1995 현대전자 반도체연구소 선임 연구원, 1995~현재 인하대학교 전기공학부 교수.
E-mail : plasma@inha.ac.kr