

Dynamic Link Library 기법을 이용한 과전류 계전기 모델링

논 문

58-6-2

The Modeling of OverCurrent Relay using Dynamic Link Library

성 노 규* · 서 훈 철** · 여 상 민*** · 김 철 환†

(No-Kyu Seong · Hun-Chul Seo · Sang-Min Yeo · Chul-Hwan Kim)

Abstract - This paper presents the new technique of modeling using Dynamic Link Library(DLL) in ElectroMagnetic Transients Program - Restructured Version(EMTP-RV) in which we have simplified the procedures of OverCurrent Relay(OCR) modeling. The DLL function is designed to allow EMTP-RV users to develop advanced program model modules and interface them directly and intimately with the EMTP-RV engine. The modeled OCR is verified by simulating the various fault cases in the distribution system. Also, the performance for the modeling of OCR using DLL is compared with that of the method using the control components of EMTP-RV and using EMTP/MODELS. The results show the validity of modeled OCR and the effectiveness of the method using DLL function.

Keyword : Control Device, DLL, EMTP-RV, OCR

1. 서 론

전력계통의 안정도 및 신뢰도를 분석함에 있어서 계통의 과도현상을 해석하는 것은 중요하다. 과도현상을 해석하는 프로그램 중 하나인 EMTP는 계산의 정확도는 우수하지만 사용법이 어려워 사용자가 프로그램을 따로 공부해야 하는 단점이 있다. 이러한 단점을 해결하고자 개발된 EMTP의 상업용 버전인 EMTP-RV는 EMTP가 갖고 있는 계산의 우수성뿐만 아니라 사용자 인터페이스 환경도 개선하여 사용자가 전력계통의 다양한 현상들을 분석함에 있어 보다 용이하다. 최근 EMTP -RV를 이용하여 발전기 모델링, 초전도 한류기 및 차단기 아크 모델링, 변압기 여자돌입전류 현상 등 많은 연구가 진행되고 있다[1-5].

EMTP-RV를 이용한 대부분의 연구들은 EMTP/TACS(Transient Analysis Control System)와 같은 EMTP-RV 내의 컨트롤 소자들과 모델링한 소자들의 효과적인 이용을 돕는 Mask Script 기능을 활용한 것이 대부분이다. 하지만, 컨트롤 소자와 Mask Script를 이용한 방법은 세밀한 계통 소자를 모델링함에 있어 불편할 뿐만 아니라, 전력계통의 다양한 현상들을 모의함에 있어 한계점이 노출된다. 예를 들어, 비선형 함수와 같은 컨트롤 소자를 사용할 경우 계산의 오류를 막기 위하여 Δt 만큼의 스텝 지연이 발생하는 단점이 있다[6-7]. 위와 같은 문제점들에 대한 해결책으로 EMTP

-RV에서는 DLL 기능을 제공하고 있다.

본 논문에서는 EMTP-RV의 DLL 기능을 활용하여 과전류 계전기를 구현하였으며, 한국전력공사 실 배전 계통 모델을 이용하여 구현한 계전기의 동작을 검증하였다. 또한, DLL 모델링 방법의 효율성을 검증하기 위하여 컨트롤 소자를 이용한 방법, EMTP/MODELS를 이용한 방법과 장단점을 비교분석하였다.

2. DLL과 EMTP-RV

2.1 동적 링크 라이브러리(Dynamic Link Library; DLL)

동적 링크 라이브러리는 정적 링크 라이브러리와 달리 어떤 기능이 실행 파일에 직접 덧붙여지지 않고, DLL 파일에 독립적으로 존재하다가 프로그램이 실행될 때 동적으로 링크되어 사용되는 것이다. DLL의 장점으로는 프로그램의 실행속도가 빨라질 수 있으며, 프로그램의 모듈화가 가능하다는 것이다[8].

2.2 EMTP-RV와 DLL 상호 동작

DLL파일은 그림 1에서 제시된 설계도에 따라 EMTP-RV Core Code와 상호 동작한다[6]. Core Code는 구성된 전력 계통에 대한 해를 구하기 위하여, 매 Timestep마다 모듈화된 DLL 파일에게 참가(participation)에 대한 요청(request)을 하며, 요청을 받은 DLL은 필요에 따라 Core Code에 참가하게 된다.

† 교신저자, 펠로우회원 : 성균관대 정보통신공학부 교수
E-mail : hmwkim@daum.net

* 준 회원 : 성균관대 정보통신공학부 석사과정

** 정 회원 : 기초전력연구원 전력시스템연구실 연구원

*** 정 회원 : 성균관대 정보통신공학부 박사과정

접수일자 : 2009년 2월 16일

최종완료 : 2009년 4월 15일

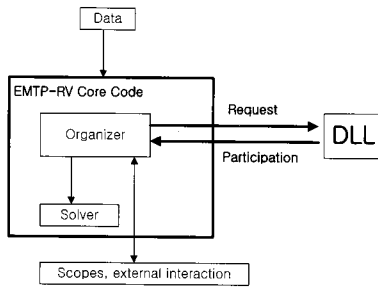


그림 1 EMTP-RV의 요청-참가 설계도
Fig. 1 The Request-Participation Design of EMTP-RV

2.3 EMTP-RV의 DLL 기능

EMTP-RV는 EMTP-RV Core Code와는 완전히 독립적이며 사용자정의(User-Defined)가 가능한 DLL 기능을 제공하고 있다. EMTP-RV에서의 DLL의 특징은 다음과 같다.

- EMTP-RV 내의 플러그인 표준방식을 따름으로써 DLL과 EMTP-RV Core Code 간의 링크 문제를 해결할 수 있다.
- DLL을 이용하여 EMTP-RV Core Code 계산 알고리즘과 상호 동작하는 소자들을 구현할 수 있다.

생성된 DLL 파일은 EMTP-RV가 제시하는 표준 링크 방식에 따라 EMTP-RV의 Core Code와 동적으로 링크되어 사용되며, 별도의 언어로 구현해야만 하는 EMTP/MODELS와는 달리 DLL 파일 생성을 위하여 C++, JAVA, Fortran과 같이 다양한 프로그래밍언어가 사용될 수 있다. 본 논문에서는 Compaq Visual Fortran을 사용하여 DLL 파일을 생성하였다.

그림 2는 포트란으로 구현된 DLL 소스 파일의 일반적인 구조이다[6].

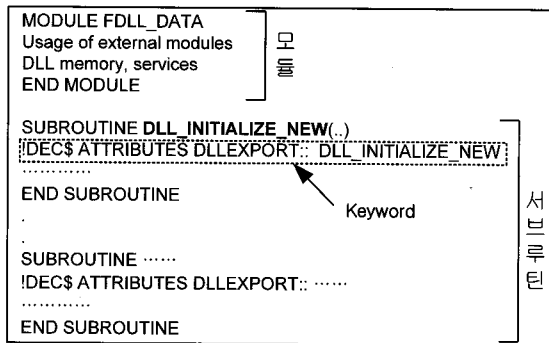


그림 2 DLL 소스 파일의 구조
Fig. 2 The Structure of DLL Source File

그림 2와 같이 DLL 소스 파일은 하나의 모듈과 다수의 서브루틴들로 구성된다. 모듈 영역에서는 사용할 데이터나 정보를 저장할 변수들을 선언하며, 다수의 서브루틴들은 각각의 해당기능에 따라 Core Code와 상호 동작한다.

EMTP-RV Core Code가 생성한 DLL 파일과 상호 동작하기 위해서는 아래에 제시된 서브루틴들이 DLL 소스 파일에 반드시 포함되어야 한다.

- DLL_INITIALIZE_NEW
- 초기화 설정 부분
- DLL_POST_INITIALIZE_NEW
- 메모리 설정과 같은 준비 단계 부분
- DLL_PUT_IN_IAUG
- 제어 시스템의 해석 부분

또한, DLL 소스 파일 내의 각각의 서브루틴들은 EMTP-RV의 요청에 응답할 수 있는 키워드를 포함해야 하는데, 예로 DLL_INITIALIZE_NEW 서브루틴의 키워드는 다음과 같다.

```
!DEC$ ATTRIBUTES DLLEXPORT:: DLL_INITIALIZE_NEW
```

상기와 같은 특정 및 구조를 가진 DLL을 활용하여 EMTP-RV 개발자와 동일하게 소자들을 모델링하고 이용할 수 있으며, 새로운 문제 해결 기법과 매우 큰 실제 계통을 EMTP-RV 내에 구현하여 새로운 설비들을 모델링하고 결과를 검증할 수 있다.

3. DLL 기법을 이용한 과전류 계전기

3.1 과전류 계전기

DLL로 구현한 과전류 계전기는 한국전력공사 과전류 계전기 표준규격에 따라 모델링되었다[9]. 구현한 과전류 계전기의 동작특성은 크게 순시 특성과 한시 특성으로 구분되며, 순시 특성의 경우 3 cycles 내에, 한시 특성의 경우 식 (1)에 의해 계산된 시간 후에 동작한다. 또한, 사용자의 선택에 따라 세부적으로 강반한시 특성과 반한시 특성으로 구분되어 사용되도록 구현하였다. 식 (1)은 한시 특성에서의 계전기 동작 시간을 나타낸다[9-10].

$$t = \left[\frac{k}{\left(\frac{G}{G_b}\right)^a - 1} + C \right] \frac{tp}{10} \tag{1}$$

여기서,

- G : 고장전류
- G_b : 정정치
- tp : 시간 정정치
- a : 특성곡선지수
- k, C : 계전기 특성값

▶ 강반한시의 경우 : k = 39.85, a = 1.95, C = 1.084

▶ 반한시의 경우 : k = 0.11, a = 0.02, C = 0.42

구현한 과전류 계전기는 그림 3과 같은 알고리즘에 따라 동작한다. 과전류 계전기는 계통으로부터 순시 전류를 입력 받은 후, 순시 전류를 실효치로 변환한다. 계산된 실효치와 순시 정정치를 비교하여 순시 정정치보다 값이 큰 경우 계전기는 트립 신호를 생성한다. 반면 순시 정정치보다 값이 작을 경우 두 번째로 한시 정정치와 값을 비교한다. 한시 정정치보다 값이 큰 경우 첫 번째 검출인 것을 확인 후 첫

번째 검출이 맞을 경우, 현재의 고장 시간을 저장하고 식 (1)에 따라 트립 시간을 계산한다. 이후 트립 시간과 고장 시간을 합한 시간만큼 모의 시간이 경과하면 계전기는 트립 신호를 생성한다.

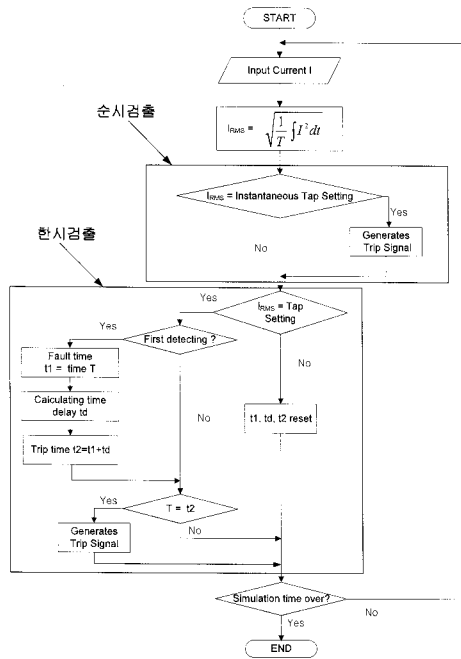


그림 3 과전류 계전기 동작 흐름도
Fig. 3 The Operation Flowchart of OCR

3.2 DLL을 이용한 과전류 계전기 모델링

본 논문에서 DLL을 이용하여 구현한 과전류 계전기의 동작을 검증하기 위하여 EMTP-RV에서 모델링한 계통모델과

DLL을 이용하여 모델링된 계전기의 화면은 그림 4와 같다.

구현한 과전류 계전기는 그림 4에서 보는 바와 같이 각상 전류(a,b,c)와 중성선 전류(n)를 입력 받고, 'out' 단자를 통하여 차단기로 트립 신호를 보낸다.

과전류 계전기를 구현하기 위해 사용된 DLL의 서브루틴과 각각의 역할은 표 1과 같다

표 1 DLL의 서브루틴과 용도

Table 1 The Subroutine and Each Use in DLL

	DLL_INITIALIZE_NEW
①	순시 정정치 및 한시 정정치, 시간정정치 등을 Model Data 영역에서 입력받음
②	DLL_POST_INITIALIZE_NEW
	사용될 전력 노드들의 메모리를 할당
③	DLL_INDEX_CONTROLLABLES
	계통으로부터 전류값을 입력받음
④	DLL_LOAD_OBSERVABLES_T0
	계전기의 초기 출력값을 지정
⑤	DLL_LOAD_OBSERVABLES
	계전기의 입력값에 따라 계전기의 출력값을 결정 후 트립 신호를 생성
⑥	DLL_PUT_IN_IAUG
	계전기를 구현함에 있어서 사용도는 없지만, 에러 발생을 피하기 위해 소스 파일에 포함

표 1의 ①에서는 계전기가 필요한 정정치 정보들을 구현한 과전류 계전기의 ModelData 영역에서 입력 받는다. 그림 5는 ModelData의 입력 화면을 나타낸다.

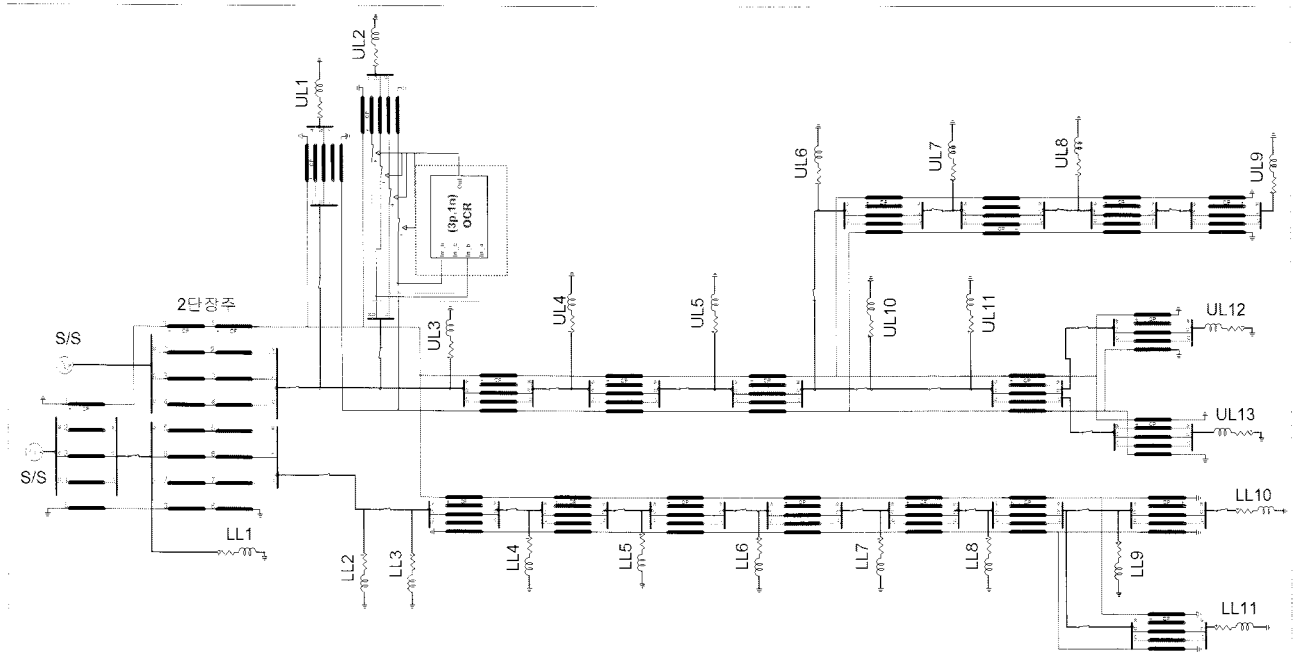


그림 4 모델 계통과 과전류 계전기의 EMTP-RV 화면
Fig. 4 The Model System and OCR in EMTP-RV

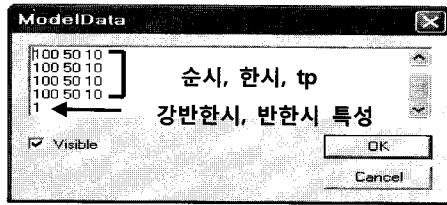


그림 5 ModelData 입력 화면
Fig. 5 The Input Screen of ModelData

③~⑤에서 사용된 서브루틴의 매개변수인 control_valindex, returned_obs_array를 사용하여 계전기의 입·출력 신호를 설정하였다. 그림 6은 Compaq Visual Fortran을 이용해서 구현한 과전류 계전기의 DLL 소스 파일의 일부분을 나타낸 것이다.

```

MODULE Protective_Relay
USE SIZELIMITS
USE DEFAULT_PRECISION
USE SIMULATION_DATA
USE VARIABLE
TYPE, PUBLIC :: data_holder
CHARACTER(LEN=max_len_comp_id) :: myname
INTEGER, POINTER, DIMENSION(:) :: control_valindex
REAL :: tap_setting_instant_a
REAL :: tap_setting_time_a
REAL :: time_tp_a
REAL :: tap_setting_instant_b
REAL :: tap_setting_time_b
REAL :: time_tp_b
REAL :: tap_setting_instant_c
REAL :: tap_setting_time_c
REAL :: time_tp_c
REAL :: tap_setting_instant_n
REAL :: tap_setting_time_n
REAL :: time_tp_n
INTEGER :: time_choose_1 : ver; inverse 2 : inverse
END TYPE
TYPE(data_holder), POINTER :: ocr->null()
TYPE(data_holder), POINTER, PUBLIC :: ocr_first->null()
LOGICAL, PUBLIC :: EXISTENCE_OCR_A = .FALSE.
INTEGER, PUBLIC :: Total_number_of_devices=0
END MODULE

SUBROUTINE DLL_INITIALIZE_NEW(myname, idev, Data_Section, DLL_NAME)
USE Protective_Relay
USE ATTRIBUTES_DLLEXPORT :: DLL_INITIALIZE_NEW
CHARACTER(LEN=*) , INTENT(IN) :: myname
INTEGER, INTENT(IN) :: idev
CHARACTER(LEN=*) , INTENT(IN) :: Data_Section
CHARACTER(LEN=*) , INTENT(IN) :: DLL_NAME
IF (EXISTENCE) THEN
ALLOCATE(OCR(next)):
OCR(next)->OCR(first):
ELSE
ALLOCATE(OCR):
OCR(first)->OCR:
EXISTENCE=.TRUE.
ENDIF
    
```

그림 6 DLL 소스 파일의 일부
Fig. 6 The Source File of DLL

4. 과전류 계전기 동작 검증

4.1 모델 계통 및 모의 조건

구현된 과전류 계전기의 동작 검증을 위하여 참고문헌 [10]의 실 배전계통을 이용하였고 표 2에서 제시된 선로 고장을 모의하였다. 고저항 고장을 모의하기 위하여 Case 5, 6에서는 고장저항 100[Ω]을 적용하였다.

표 2 고장 종류

Table 2 The Fault Cases

Case	고장 종류	공동 모의 조건
Case 1	A상 1선지락 고장	고장저항 0.001[Ω]
Case 2	AB상 2선지락 고장	
Case 3	AB상 선간단락 고장	
Case 4	3상 고장	
Case 5	A상 1선지락고장 (강반한시)	고장저항 100 [Ω]
Case 6	A상 1선지락고장 (반한시)	
고장발생시간 : 0.15[s]		
차단기 동작 시간 : 3 Cycle		

4.2 모의 결과

그림 7은 Case 1의 계전기 투입 전 전류 파형과 계전기 투입 후 전류 파형을 나타낸다. 계전기가 투입된 경우 계전기가 고장을 인지하여 트립 신호를 생성하고 차단기 동작시간을 고려한 약 3 cycle 후에 고장이 제거 되는 것을 알 수 있다.

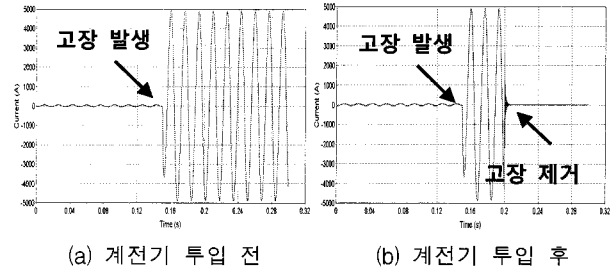


그림 7 고장 전류 파형 (Case 1)
Fig. 7 The Waveform of Fault Current (Case 1)

그림 8은 모의 조건에 대한 결과파형을 나타낸다.

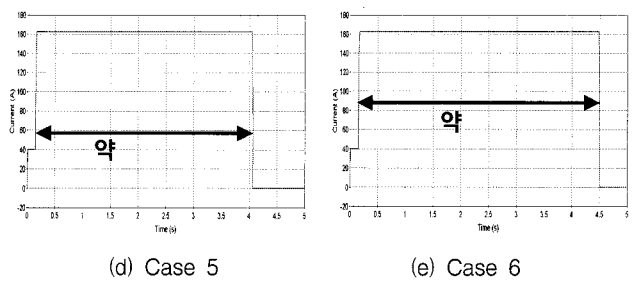
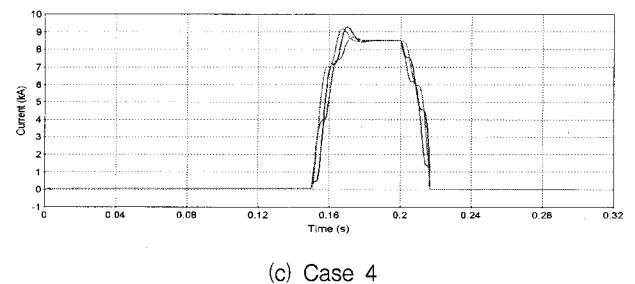
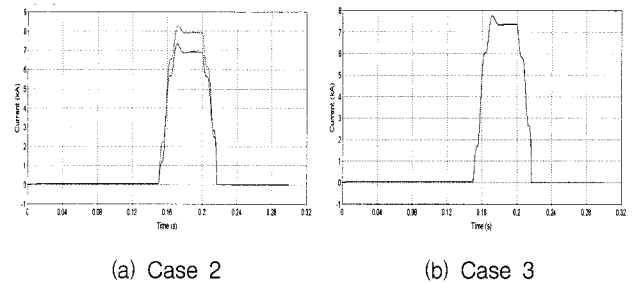


그림 8 각 Case에 대한 고장 전류 파형
Fig. 8 The Waveform of Fault Current in Each Case

그림 8에서 보인 같이 DLL로 구현한 계전기는 표 2에 나타난 순시 특성(Case1~4) 뿐만 아니라 한시 특성(Case5~6)에 대해서도 식 (1)의 계산식에 따라 정상 동작함을 알 수 있다.

5. 성능 비교

DLL을 이용한 구현방법의 성능 평가를 위하여, 기존의 EMTP-RV 내의 컨트롤 소자를 이용한 방법, EMTP/MODELS를 이용한 방법과 성능을 비교하였다.

5.1 EMTP-RV의 컨트롤 소자를 이용한 모델링

Layer 1과 Layer 2로 구성된 컨트롤 소자를 이용하여 모델링한 계전기는 그림 9와 같다. Layer 1에서는 전체적인 동작 알고리즘에 대한 회로도도를 포함하고 있으며, Layer 2에서는 Layer 1의 한시 트립 시간 계산을 위한 계산식이 포함되어 있다.

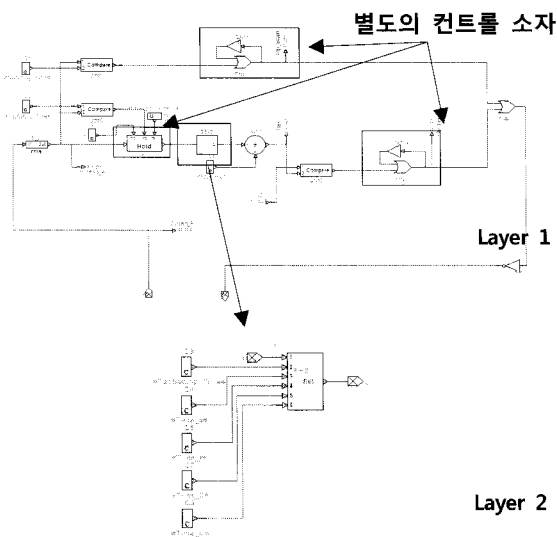


그림 9 컨트롤 소자를 이용한 과전류 계전기 모델링
Fig. 9 The Modeling of OCR using Control Device

그림 9와 같이 모델링된 과전류계전기 동작은 표 2에 나타난 고장의 경우에 대하여 모의함으로써 검증하였으며, 모든 사례에서 적절하게 동작하였다. 하지만, 컨트롤 소자를 이용하여 모델링한 경우 고장전류의 실효값과 계전기 정정치를 비교함에 있어 선로가 차단된 후, 실효치 값이 줄어들어 계전기에 연결된 차단기가 다시 투입됨으로써 의도하지 않은 재폐로 동작으로 인하여 차단기의 On/Off 현상이 주기적으로 반복되는 현상이 발생하게 된다. 이 현상을 제거하기 위해 계전기 동작 알고리즘과는 별도로 컨트롤 소자를 추가로 삽입하여야 한다. 또한 한시 트립 시간을 계산할 때 NaN(Not a Number)에 빠지지 않도록 이를 방지하는 컨트롤 소자를 추가 사용해야하는 단점이 있다.

5.2 EMTP/MODELS를 이용한 모델링

EMTP 내의 MODELS를 이용하여 과전류계전기를 모델링하였다. 모델링 방법 및 동작 검증은 참고문헌 [10]에 나타나있다

5.3 각 모델링 방법과의 성능 비교

DLL을 이용한 방법, EMTP-RV의 컨트롤 소자를 이용한 방법, EMTP/MODELS를 이용한 방법에 대한 각각의 장단점을 'Core Code 접근성', '신소자 생성여부', '모델링 용이성', '프로그램 언어 가용성', '디버깅여부', '모의시간' 등에 대하여 각 항목별로 비교하였다. 표 3은 표 2의 Case 6에 대하여 모의시간을 비교하였다.

표 3 Case 6 모의에 걸리는 시간 비교

Table 3 The Comparison of Time to Simulate in Case 6

	DLL	Control & Mask Script
총 모의시간	512 [s]	610 [s]

컨트롤 소자를 이용한 경우 동작 알고리즘에 상관없이 매 Timestep마다 모든 컨트롤 소자를 인식해야 할 뿐만 아니라, 계전기 구현을 위하여 추가로 컨트롤 소자를 사용해야 하기 때문에 DLL로 구현하여 모델링한 것보다 모의 시간이 오래 걸릴 수 있다. EMTP/MODELS의 경우 동일한 프로그램 내에서 모의 하는 것이 아니기 때문에 비교 대상에서 제외 하였다. 표 4는 항목별로 각각의 장단점을 정리한 것이다. DLL을 이용한 방법의 우수성을 확인할 수 있다.

표 4 각 모델링 방법에 대한 성능 비교

Table 4 The Performance Comparison of Each Modeling Method

	DLL	Control	EMTP MODELS
Core Code 접근성	O	X	X
신소자 생성여부	O	△	O
모델링 용이성	△	O	△
프로그램 언어 가용성	O	X	X
디버깅 가능성	O	X	X

6. 결론

본 논문에서는 EMTP/MODELS와 같은 사용자 정의가 가능한 EMTP-RV 내의 DLL에 대한 소개 및 DLL로 과전류 계전기를 구현하였으며, 동작의 적절성을 각 고장 종류에 대해 검증하였다. 또한 구현한 계전기를 기존의 다른 방법으로 모델링된 계전기와 비교함으로써 DLL을 이용한 모델링 방법의 효율성을 보였다.

향후 본 연구를 기반으로 다양한 전력계통의 소자 및 현상 등을 모의함에 있어 그 활용도가 예상된다.

감사의 글

본 연구는 지식경제부의 지원에 의하여 기초전력연구원(R-2007-2-055) 주관으로 수행된 과제임.

참 고 문 헌

- [1] 정태영, 백영식, "마이크로그리드 적용을 위한 마이크로 터빈 기반 마이크로소스의 ETMP 모델링과 동특성 시뮬레이션", Trans. KIEE. Vol. 58, No. 1, pp.42-47, Jan. 2009.
- [2] H.C. Seo, C.H. Kim, "The Analysis of Power Quality Effects from the Transformer Inrush Current: A Case Study of the Jeju Power System, Korea", IEEE Power and Energy Society General Meeting, July 2008.
- [3] S.H. Park, S.B. Rhee, C.H. Kim, H.C. Seo, J.C. Kim, O.B. Hyun, "Inrush Current Reduction Using Superconducting Fault Current Limiter in Distribution Systems", International Conference on Electrical Engineering(ICEE), July 2008.
- [4] J.A. Martinez, D. Durbak, "Parameter Determination for Modeling System Transients, Part V: Surge Arresters", IEEE Transactions on Power Delivery, Vol. 20, No. 3, pp.2073-2078, July 2005.
- [5] J.A. Martinez, D. Durbak, B. Gustavsen, B. Johnson, J. Mahseredjian, B. Mork, R. Walling, "Parameter Determination for Modeling System Transients, Part VI: Circuit Breakers", IEEE Transactions on Power Delivery, Vol. 20, No. 3, pp.2079-2085, July 2005.
- [6] DCG-EMTP(Development coordination group of EMTP) Version EMTP-RV, Electromagnetic Transients Program. [Online]. Available : <http://www.emtp.com>
- [7] Jean Mahseredjian, Laurent Dube, Ming Zou, Sebastien Dennetiere, Geza Joos, "Simultaneous Solution of Control System Equations in EMTP", IEEE Trans. on Power System, Vol. 21, No. 1, pp. 117-124, February 2006.
- [8] 김용성, "Visual C++ 6 완벽가이드", 영진출판사, 2000
- [9] 한국전력공사 표준규격 ES 155-007.
- [10] N.K. Seong, Y.J. Lee, S.M. Yeo, C.H. Kim, M.H. Lee, "A Study of the Effect of Harmonics on the Misoperation of a Protective Relay", International Conference on Electrical Engineering(ICEE), July 2008.

저 자 소 개



성 노 규 (成魯珪)

1982년 11월 13일생. 2007년 성균관대 정보통신 공학부 졸업. 2007~현재 동 대학원 정보통신공학부 석사과정
Tel : 031-290-7166
Fax : 031-290-7955
E-mail : nokyu@skku.edu



서 훈 철 (徐薰徹)

1982년 1월 19일생. 2004년 성균관대 정보통신공학부 졸업. 2006년 동 대학원 박사과정 입학. 현재 기초전력연구원 전력시스템연구실 연구원
Tel : 02-880-7587
Fax : 02-883-0827
E-mail : hunchul12@snu.ac.kr



여 상 민 (呂相敏)

1976년 7월 21일생. 1999년 성균관대 전기공학과 졸업. 2001년 동 대학원 전기전자 및 컴퓨터공학부 졸업(공학). 2001년~현재 동 대학원 정보통신공학부 박사과정
Tel : 031-290-7166
Fax : 031-290-7955
E-mail : harc@chollian.net



김 철 환 (金喆煥)

1961년 1월 10일생. 1982년 성균관대 전기공학과 졸업. 1990년 동 대학원 전기공학과 졸업(공학). 현재 성균관대 정보통신공학부 교수, 전력IT인력양성센터 센터장
Tel : 031-290-7124
Fax : 031-290-7179
E-mail : hmwkim@daum.net