

논문 2009-46SC-3-5

# 중간주파수 조절이 가능한 새로운 구조의 4차 SC Bandpass $\Sigma$ - $\Delta$ Modulator

( A 4th order SC Bandpass  $\Sigma$ - $\Delta$  Modulator of Novel Architecture  
with Control of the Intermediate Frequency )

김 재 봉\*, 김 강 직\*\*, 조 성 익\*\*\*

( Jae-Bung Kim, Kang-Jik Kim, and Seong-Ik Cho )

## 요 약

본 논문에서는 무선통신에서 데이터 변환을 위하여 2개의 계수 값에 의하여 중간 주파수를 조절할 수 있는 개선된 구조를 가지는 4차 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터 구조를 제안한다. 제안한 구조는 4차 형태의 잡음 전달함수를 원하는 형태로 변경할 수 있고, 또한 기존구조는 중간주파수 조절을 위한 다른 8개의 클럭과 가변이 가능한 4개의 계수 값이 필요하지만 제안한 구조는 가변이 가능한 2개의 계수 값과 기본 클럭만으로 중간주파수를 조절할 수 있다.

## Abstract

In this paper, tunable 4th order SC(switched capacitor) bandpass  $\Sigma$ - $\Delta$ (Sigma-Delta) modulator with advanced architecture that can adjust the IF by two coefficient values is proposed for data conversion in the wireless communication. Its architecture can optionally adjust all the 4th order noise transfer function in comparison with the conventional architecture. In order to adjust the IF, the conventional architecture needs the four variable coefficients values, basic clocks and eight clocks. On the other hand, the proposed architecture can adjust the IF by two variable coefficient values and basic clocks only.

**Keywords :** Bandpass  $\Sigma\Delta$  Modulator, Tunable

## I. 서 론

SC  $\Sigma$ - $\Delta$  데이터 변환기는 저대역 시스템에서 널리 사용되는 변화기로 공정 기술의 발전에 따라 현재는 다양한 분야에 응용되고 있다. 특히, 수십 MHz의 신호 대역폭과 12비트 이상의 해상도가 요구되어지는 무선통신 시스템에서 여러 채널의 데이터를 변환할 수 있는 SC Bandpass  $\Sigma$ - $\Delta$  데이터 변환기에 관심이 모아지고 있다.<sup>[1]</sup>

SC Bandpass  $\Sigma$ - $\Delta$  데이터 변환기는 아날로그 부분

과 디지털 부분으로 나누어지며 대부분의 특성은 아날로그 부분인 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터에 결정되기에 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터를 설계함에 있어 주의를 요한다.

기본 구조의 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터는 IF 대역에서 데이터변환을 위한 중간주파수(Intermediate Frequency)가 샘플링 주파수의 1/4로 고정되어 조절할 수 없고, 중간주파수를 조절할 수 있는 구조는 중간주파수 조절을 위한 클럭이 필요하고 회로구성이 매우 복잡하다는 단점을 갖는다.<sup>[2~3]</sup>

본 논문에서는 2개의 계수 값과 기본 구조의 모듈레이터에 사용되는 기본 클럭에 의해 중간주파수를 조절할 수 있는 개선된 4차 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터

\* 학생회원, \*\* 정회원, 전북대학교 전자정보공학부  
(Division of Electronics and Information  
Engineering, Chonbuk University)

접수일자: 2008년11월21일, 수정완료일: 2009년5월12일

구조를 제안한다. 제안한 구조는 기존구조에<sup>[2~3]</sup> 비하여 4차 형태의 잡음 전달함수를 임의로 변경할 수 있고, 주파수 조절을 위하여 가변이 가능한 4개의 계수 값, 기본 클록의 주파수 조절을 위한 8개 클록이 필요한 반면 가변이 가능한 2개의 계수 값과 기본 클록만으로 주파수를 조절 할 수 있다.

제안한 구조를 적용하면 설계회로의 단순성, 주파수 조절의 용이성 등의 장점으로 인하여 GSM, DECT 등 각종 채널의 중간주파수에 맞게 조절할 수 있어 효율적으로 데이터 변환을 할 수 있다. 본 논문에서는 중간주파수 조절을 확인하기 위하여 60MHz 샘플링 주파수와 200KHz 대역폭을 가질 때, 중간주파수를 각각 10MHz, 15MHz, 20MHz로 설정하여 제안된 4차 SC Bandpass  $\Sigma-\Delta$  모듈레이터를 0.18 $\mu$ m 1P6M CMOS 공정 파라미터를 이용하여 설계하였다

II. 새로운 구조의  $\Sigma-\Delta$  모듈레이터

그림 1의 구조는 4차 SC Bandpass  $\Sigma-\Delta$  모듈레이터 블록도로 중간주파수는 샘플링 주파수의 1/4 이고 중간주파수를 변경할 수 없는 구조이다.<sup>[4]</sup> 이러한 단점을 극복하고자 중간주파수를 조절할 수 있는 구조가<sup>[2]</sup> 제안되었고 그림 2는 중간주파수를 조절할 수 있는 4차 Bandpass  $\Sigma-\Delta$  모듈레이터 블록도이다. 그림2 구조의 알고리즘은 식(1), 식(2)와 같다.

$$z^{-1} \rightarrow \frac{z^{-2} - \alpha z^{-1}}{\alpha z^{-1} - 1} \text{ and } \alpha = \frac{\cos(\omega_c)}{\cos(B/2)} \quad (1)$$

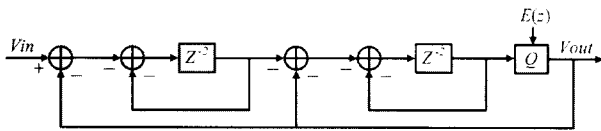


그림 1. 4차 SC Bandpass  $\Sigma-\Delta$  모듈레이터 블록도  
Fig. 1. Block diagram of the 4th order SC bandpass  $\Sigma-\Delta$  modulator.

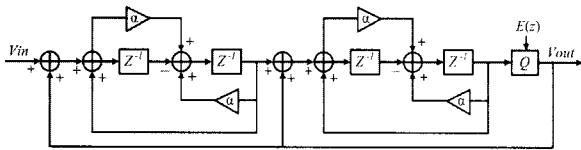


그림 2. 중간주파수 조절 가능한 4차 SC Bandpass  $\Sigma-\Delta$  모듈레이터 블록도  
Fig. 2. Block diagram of the 4th order SC bandpass  $\Sigma-\Delta$  modulator that can adjust the IF.

$$\frac{z^{-1}}{1-z^{-1}} \rightarrow \frac{\alpha z^{-1} - z^{-2}}{1 - 2\alpha z^{-1} + z^{-2}} \quad f_c = \frac{f_s}{2\pi} \alpha \gamma \cos(\alpha) \quad (2)$$

식(1)에서  $\omega_c$ 는 Bandpass  $\Sigma-\Delta$  모듈레이터의 중간주파수이고 B는 Bandpass  $\Sigma-\Delta$  모듈레이터의 대역폭이다.

그림 2의 구조를 더블 샘플링 방식을 이용하여 SC 회로로 구현하면 비중첩 클록 10개와 4차 공진기 (Resonator) 구현을 위한 2개의 Opamp가 요구되어진다.<sup>[3]</sup> 이와 같이 구현된 SC Bandpass  $\Sigma-\Delta$  모듈레이터는 중간주파수 조절이 가능하지만 기본 클록 외에 중간주파수 조절을 위한 8개의 클록이 필요하며 회로구조가 복잡하다는 단점을 갖는다.

그림2의 구조를 개선한 구조가 그림 3의 구조이다.<sup>[5]</sup> 그림 3의 구조는 2차 Bandpass  $\Sigma-\Delta$  모듈레이터로 1개의 계수 값을 변경함으로써 중간주파수를 조절할 수 있다는 장점을 가지지만 회로 구현시 3개의 Opamp가 필요하다는 단점을 가진다.

본 논문에서는 중간주파수를 조절할 수 있는 그림 4와 같은 구조를 가지는 4차 Bandpass  $\Sigma-\Delta$  모듈레이터를 제안한다. 이 구조는 그림 2와 그림 3의 구조가 가지는 단점을 개선한 구조로 중간주파수 조절을 위한 클록이 필요 없고 2개의 계수 값만을 변경함으로써 중간주파수를 조절할 수 있다는 장점을 갖는다.

식(3)은 제안한 구조의 잡음전달함수(NTF)이다. 식

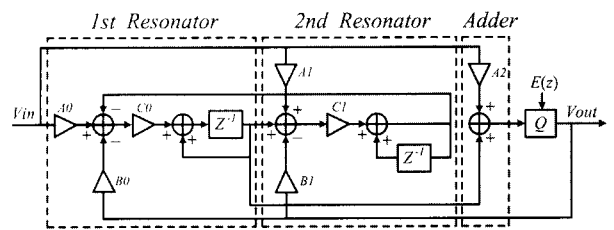


그림 3. 중간주파수 조절이 가능한 2차 SC Bandpass  $\Sigma-\Delta$  모듈레이터 블록도  
Fig. 3. Block diagram of the 4th order SC bandpass  $\Sigma-\Delta$  modulator that can adjust the IF.

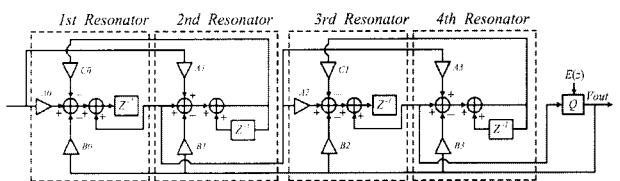


그림 4. 제안한 4차 Bandpass  $\Sigma-\Delta$  모듈레이터 블록도  
Fig. 4. Block diagram of the proposed 4th order bandpass  $\Sigma-\Delta$  modulator.

표 1. 기존 구조와 제안한 구조의 회로 구현에 따른 비교

Table 1. Comparison according to circuit implementation of the existing architecture and the proposed architecture.

	기존구조 <sup>[3]</sup>	제안한 구조
중간주파수 조절에 관계된 계수의 수	4	2
필요한 클록 수	10	2
필요한 Opamp의 수	2	4
중간주파수 조절에 관계된 커패시터의 수	16	4

(3)에서 잡음전달함수 영점 4개는 C0과 C1의 계수 값에 의해 결정이 된다. 즉 C0과 C1의 계수 값에 따라 대역저지 주파수가 결정이 되므로 C0과 C1의 계수 값을 변경함에 따라 Bandpass  $\Sigma$ - $\Delta$  모듈레이터의 중간주파수가 조절된다.

그림 2의 구조와 그림 4의 제안한 구조를 이용한 4차 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터를 회로로 구현함에 있어 차이점을 표 1에 비교 정리하였다.

$$NTF = \frac{(z^2 + (C_0 - 2)z + 1)(z^2 + (C_1 - 2)z + 1)}{D_{P1}z^4 + D_{P2}z^3 + D_{P3}z^2 + D_{P4}z + D_{P5}}$$

$$D_{P1} = 1$$

$$D_{P2} = B_2 - B_3C_1 - 4 + C_1 + C_0$$

$$D_{P3} = A_2B_0 - A_3B_0C_1 - A_2B_1C_0 + A_3B_1C_0C_1 - 3B_2 + 2B_3C_1 + 6 - 2C_1 + B_2C_0 - B_3C_0C_1 - 2C_0 + C_0C_1 \quad (3)$$

$$D_{P4} = A_3B_0C_1 - 2A_2B_0 + A_2B_1 + 3B_2 - B_3C_1 - 4 + C_1 - 2B_2C_0 + C_0$$

$$D_{P5} = A_2B_0 - B_2 + 1$$

표 1에서 회로 구현 시 제안한 구조는 기존 구조에 비해 Opamp를 2개 더 사용하지만 기존 구조에 비해 필요한 클록이 8개가 적고 중간주파수 조절과 관련된 커패시터의 수가 12개 적다. 기존 구조는 중간주파수 조절을 위해서는 16개의 커패시터 값을 변경해야 하지만 제안한 구조는 4개의 커패시터 값을 변경하면 되므로 기존 구조에 비해 제안한 구조가 중간주파수 조절이 더 용이함을 알 수 있다.

본 논문에서 제안한 구조를 적용하여 설계한 4차 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터의 샘플링 주파수는 60MHz, 대역폭은 200KHz로 설정하고 중간주파수가 10MHz, 12.5MHz, 15MHz, 17.5MHz, 20MHz 일때 계수값을 정리하면 표 2와 같다.

표 2. 제안된 4차 SC Bandpass  $\Sigma$ - $\Delta$  Modulator의 계수 값

Table 2. Coefficient values of the proposed 4th order SC bandpass  $\Sigma$ - $\Delta$  modulator.

	10MHz	12.5MHz	15MHz	17.5MHz	20MHz
A0	0.33	0.33	0.33	0.33	0.33
A1	0.17	0.17	0.17	0.17	0.17
A2	0.68	0.68	0.68	0.68	0.68
A3	0.34	0.34	0.34	0.34	0.34
B0	0.33	0.33	0.33	0.33	0.33
B1	0.17	0.17	0.17	0.17	0.17
B2	0.48	0.48	0.48	0.48	0.48
B3	0.24	0.24	0.24	0.24	0.24
C0	1	1.48	2	2.52	3
C1	1	1.48	2	2.52	3

### III. 회로 설계

본 논문에서 설계된 4차 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터는 4개의 공진기(Resonator), 1bit 비교기로 구성되고 그림 4의 블록도를 구현한 회로가 그림 6이며, 그림 5은 그림 6의 회로에 사용된 클록이다.

그림 4의 2번째, 4번째 공진기 1bit 비교기는 Clk1에 동작을 하지만 그림 5의 1번째와 3번째 공진기는 Clk2에 동작한다. 그림 4와 그림 6의 클록 타이밍이 다른 것은 그림 4의 타이밍으로 설계를 하면 타이밍의 여유가 없고 회로가 복잡해지기에 그림 6과 같이 타이밍을 다르게 해서 설계를 용이하게 하였다.

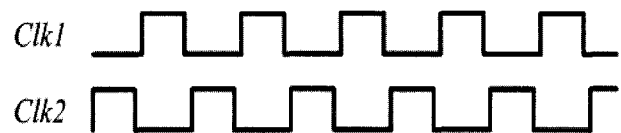


그림 5. 회로에 사용된 클록  
Fig. 5. Used clocks in the circuit.

### IV. 모의실험 결과

설계된 그림 6의 회로는 표 3의 성능을 가지는 Rail to Rail Folded Cascode Opamp와 표 2의 계수 값을 이용하여 4차 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터를 0.18 $\mu$ m

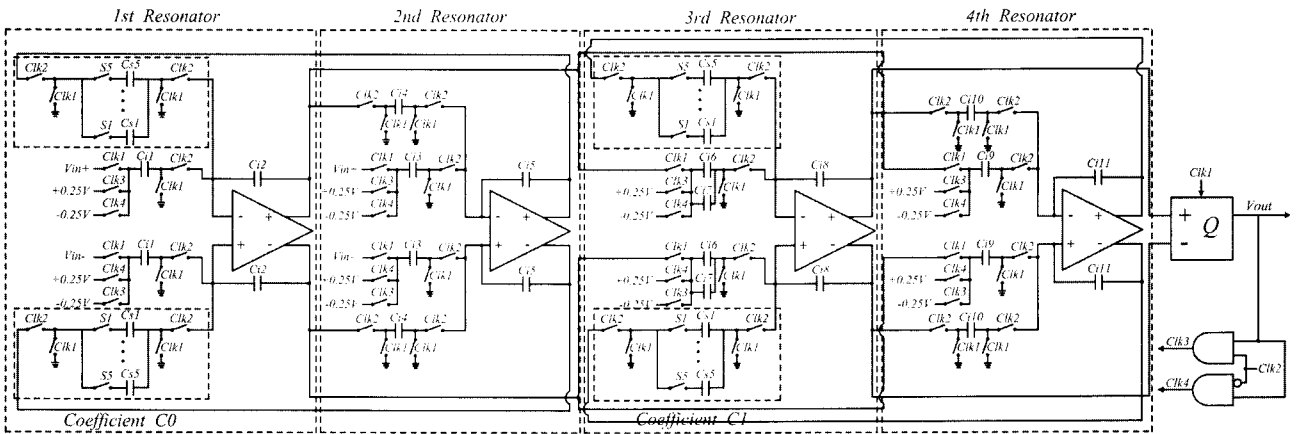


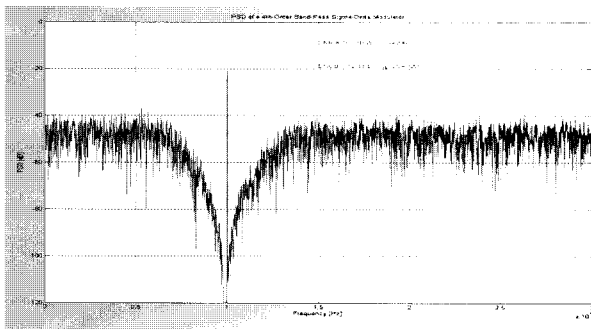
그림 6. 제안한 구조를 구현한 회로  
 Fig. 6. Implemented circuit with the proposed architecture.

표 3. Opamp의 특성  
 Table 3. Summary of the Opamp performance.

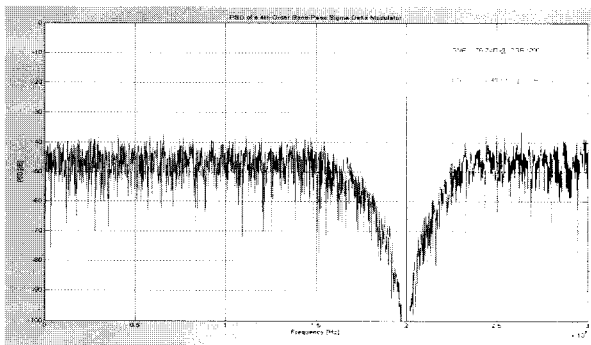
DC Gain	80dB
Unity Gain Frequency	300MHz
Phase Margin	60°
Slew Rate	286V/ $\mu$ s
Load Capacitance	2.5pF
Power Consumption	4.77mW

표 4. 제안된 4차 SC Bandpass  $\Sigma-\Delta$  모듈레이터의 동작특성  
 Table 4. Performance of the proposed 4th order SC bandpass  $\Sigma-\Delta$  modulator.

Intermediate Frequency	10MHz	20MHz
Sampling Rate	60MHz	60MHz
Signal Bandwidth	200kHz	200MHz
SNR	76.6dB	76.7dB
Dynamic Range	70.1dB	70.5dB
Resolution	12.43bit	12.45bit
Power Consumption	18.67mW	18.7mW



(a) 중간주파수가 10MHz일 때 PSD



(b) 중간주파수가 20MHz일 때 PSD

그림 7. 제안된 구조의 파워스펙트럼(PSD)  
 Fig. 7. PSD of the proposed architecture.

1P6M CMOS 공정 파라미터를 적용하여 모의실험 하였다.

모듈레이터에 적용된 양자화기의 기준전압은 1.3V와 0.5V이고, 샘플링 주파수는 60MHz, 중간주파수는 10MHz, 12.5MHz, 15MHz, 17.5MHz, 20MHz 그리고 대역폭은 200KHz이다. 이러한 입력조건에서 모의실험된 동작특성은 표 4와 같고, 중간주파수가 10MHz와 20MHz일 때 파워스펙트럼(PSD) 모의실험 결과는 그림 7과 같다. 그림 7(a)와 그림 7(b)의 중간 주파수의 오차가 발생하였는데 이는 계수 값 C1과 C2의 값을 가변하기 위한 스위치와 커패시터의 영향으로 모의실험을 통한 최적화를 수행하면 해결될 수 있다.

#### IV. 결론

본 논문에서는 SC Bandpass  $\Sigma-\Delta$  Modulator의 계수 값 2개를 가변함으로써 중간주파수를 조절할 수 있는

개선된 4차 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터 구조를 제안하였다.

이 방법을 이용하면 기존 구조보다 간단히 중간주파수를 조절할 수 있고, 중간주파수 조절을 위한 8개의 클럭이 요구되지 않으며 설계회로가 단순하다는 장점을 가지지만 계수 값 C0과 C1의 값에 따라 중간주파수가 변하기 때문에 커패시터의 정확한 매칭을 요구한다.

제안된 구조를 이용하여 설계된 4차 SC Bandpass  $\Sigma$ - $\Delta$  모듈레이터의 모의실험 결과 중간주파수 10MHz, 12.5MHz, 15MHz, 17.5MHz, 20MHz에서 오차가 생겼다. 이는 계수 값을 가변하기 위한 스위치와 커패시터의 기생 커패시터의 영향으로 최적화를 통해 해결할 수 있을 것이다.

본 논문에서 제시한 방법을 이용하면 중간주파수 조절이 용이하기에 GSM, DECT 등 각종 채널의 데이터 변환을 효율적으로 할 수 있으리라 사료된다.

### 참 고 문 헌

- [1] Rusu, Delia Rodriguez de Llera Gonzalez, and Mohammed Ismail, "Reconfigurable ADCs Enable Smart Radios for 4G Wireless Connectivity", IEEE Circuits & Devices Magazine, May/June 2006.
- [2] L. Cardelli, L.Fanucci, V. Kempe, F.Mannozi, and D. Strle, "Tunable bandpass sigma delta modulator using one input parameter" Electronics Letters, 23rd, vol. 39, No. 2, January 2003.
- [3] Chien-Hung Kuo, Chang-Hung Chen, Huang-Shin Lin, and Shen-Iuan Liu, "A Tunable Bandpass  $\Delta\Sigma$  Modulator Using Double Sampling" IEEE press, 2005.
- [4] Richard Schreier and Gabor C. Temes, Understanding Delta-Sigma Data Converters, Wiley-Interscience, 2005, pp.149-151.
- [5] 김재봉, 조성익, " 새로운 구조를 가지는 Tunable Bandpass  $\Sigma$ - $\Delta$  Modulator" 전자공학회논문지 SD편, 45권, 2호, pp. 135-139, 2008.

### 저 자 소 개



김 재 봉(정회원)  
2006년 전북대학교 전자정보공학부 학사 졸업  
2009년 전북대학교 전자정보공학부 석사 졸업

<주관심분야 : Low-voltage Low-power analog circuit, ADC/ DAC>



김 강 직(학생회원)  
2005년 전북대학교 전자정보공학부 학사 졸업  
2007년 전북대학교 전자공학과 석사 졸업  
2007년~현재 전북대학교 전자정보공학부 박사 과정

<주관심분야 : 아날로그 회로 설계 및 CMOS 고속 인터페이스 회로 연구>



조 성 익(정회원)-교신저자  
1987년 전북대학교 전기공학과 학사 졸업  
1989년 전북대학교 전기공학과 석사 졸업  
1994년 전북대학교 전기공학과 박사 졸업

1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원

2004년~현재 전북대학교 전자정보공학부 조교수  
<주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL >