

논문 2009-46SD-5-3

저전력 BIST를 위한 패턴 사상(寫像) 기법에 관한 연구

(Pattern Mapping Method for Low Power BIST)

김 유 빈*, 장 재 원*, 손 현 옥*, 강 성 호**

(Youbean Kim, Jaewon Jang, HyunUk Son, and Sungho Kang)

요 약

본 논문은 유사랜덤 방식의 BIST를 기반으로 하여 스캔 shifting시의 transition을 획기적으로 줄여 주었던 transition freezing 기법과 새롭게 제안하는 고장검출율 100%를 위한 pattern mapping 기법을 결합한 효과적인 저전력 BIST구조에 대해 제안한다. Transition freezing 기법으로 생성된 고연관의 저전력 패턴은 패턴 인가 초기에는 많은 수의 고장을 검출해 내지만, 패턴의 수가 점점 늘어날수록 랜덤 저항 고장의 증가로 인해 추가적인 고장 검출에는 한계가 있었다. 이러한 비검출 고장에 대해 ATPG를 통한 테스트 패턴을 생성하여, 고장을 검출하지 못하는 frozen pattern과 mapping을 함으로써 기 생성된 패턴을 재활용하여 인가되는 패턴의 수와 테스트 시간을 줄임으로써 전력 소모량을 줄일 수 있었다.

Abstract

This paper proposes an effective low power BIST architecture using the pattern mapping method for 100% fault coverage and the transition freezing method for making high correlative low power patterns. When frozen patterns are applied to a circuit, it begins to find a great number of faults at first. However, patterns have limitations of achieving 100% fault coverage due to random pattern resistant faults. In this paper, those faults are covered by the pattern mapping method using the patterns generated by an ATPG and the useless patterns among frozen patterns. Throughout the scheme, we have reduced an amount of applied patterns and test time compared with the transition freezing method, which leads to low power dissipation.

Keywords : BIST(Built-in Self Test), Low power BIST, Pseudo-random BIST, Design for Testability

I. 서 론

LFSR (linear feedback shift register)는 BIST (built-in-self-test) 구조에서 테스트 패턴 생성기로 가장 보편적으로 사용되어진다. LFSR을 통해 BIST에서 생성된 패턴은 일반적으로 pseudo-random 방식과 deterministic 방식으로 구분할 수 있는데, 전자의 경우 CUT(Circuit Under Test)가 random pattern resistant fault를 많이 가지고 있을 경우, 높은 고장 검출율을 얻기 위해 많은 수의 pseudo-random 패턴이 필요하게

되는데, 이로 인해 전체 테스트 패턴의 양도 늘어 날 뿐 아니라 테스트 시간도 그 만큼 더 걸리게 된다^[1]. 반면 deterministic의 경우는 특정 고장을 검출하기 위해 ATPG(automated test pattern generator)를 통해 생성된 패턴을 사용하므로 pseudo-random과 비교하여 월등히 적은 패턴을 사용할 수 있지만, 해당 패턴을 생성하기 위해 저장해야할 데이터들이 많고, 또한 seed를 통해 계산된 특정 위치의 specified bit를 제외한 나머지 부분은 모두 랜덤하게 채워짐으로 인해 전체적으로 천이수가 많아 질 수 있다. 앞서 언급한 이러한 패턴의 양, 테스트 시간, 천이 수 등은 모두 전력에 영향을 주는 요소이며, 과도한 전력 소모는 회로가 수용할 수 있는 최대 범위를 넘어 설 경우 시스템의 신뢰성에 심각한 영향을 미칠 수 있는 고장을 일으킬 수 있다는 점에서 테스트 시 인가 되는 패턴에 의한 전력 문제는

* 학생회원, ** 평생회원, 연세대학교 전기전자공학과
(Department of Electrical and Electronic
Engineering, Yonsei University)

※ 본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT연구센터(ITRC) 지원사업의 연구결과로 수행되었음

접수일자: 2008년10월28일, 수정완료일: 2009년4월20일

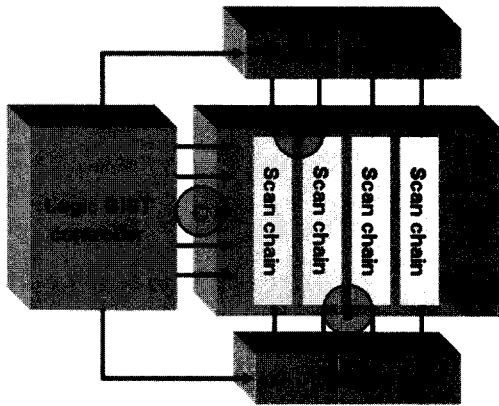


그림 1. 일반적인 BIST 구조에서의 전력 소모
Fig. 1. Power dissipation map of a BIST.

BIST에 있어서 중요하게 다뤄지는 문제 중의 하나이다^[2].

일반적인 BIST의 경우 pattern generator에서 생성된 패턴은 scan을 통해 이동하게 되며 scan chain을 모두 채운 패턴은 scan capture과정을 통해 CUT에 인가된다. 인가된 패턴은 다시 새로운 패턴이 scan chain에 채워지는 동안 MISR(Multiple Input Signature Register)로 빠져나가 고장 유무 분석을 하게 되는데, 이 모든 과정은 BIST controller에 의해 제어된다. 이러한 BIST의 동작 과정은 그림 1과 같이 전력 소모를 기준으로 다시 A, B, C로 구분할 수 있는데, A는 scan chain 내의 패턴의 이동 등에 의해 CUT의 내부 combinational circuit에서 불필요하게 발생하는 천이 등으로 대표할 수 있다. A와 관련하여서는 scan chain 과 CUT의 사이에 blocking circuit을 삽입하여 완전히 패턴이 scan에 채워지기 전까지 CUT 내부로 패턴이 유입되는 것을 원천적으로 혹은 부분적으로 막아 주는 방식이 제안되었지만^[3~4] blocking circuit에 의한 과도한 hardware overhead가 문제가 되어왔다.

B는 패턴이 scan에 인가되면서 scan chain 내부에서 발생하는 천이 및 MISR로 응답이 빠져 나가는 동안의 scan chain 내부에서 발생하는 천이로 볼 수 있다. 이와 관련하여서는 scan-in과 관련하여 생성되는 패턴의 연관성(correlation)을 높여 저전력 패턴을 생성하도록 pattern generator를 개선하는 방식들이 제안되었는데^[5~6], 이러한 방식들 대부분은 pseudo-random 방식의 BIST를 그 기반으로 하기 때문에 저전력 패턴에 의한 고장검출율 감소가 문제가 되었다. MISR로의 scan-out 과 관련하여서는 scan의 물리적 길이를 줄이기 위한

sub scan 구조 등이 제안 되었는데^[7~8], 이러한 방식들은 sub scan 구성을 위해 다소 복잡한 알고리즘들이 사용되기도 한다^[9~10].

마지막으로 scan의 구동을 위한 각종 clock tree와 제어 신호 생성을 위한 구성 회로의 전력 소모가 C에 해당 한다고 볼 수 있다. 이와 관련하여서는 많은 연구가 이루어지진 않았지만, 특히 clock tree와 관련하여서는 앞서 언급한 sub scan 방식과 연동하여 gated clock 등을 사용하여 저전력 효과를 얻고자 하는 연구들이 있었다^[11~12].

위에서 언급한 A, B, C 중에서는 scan에 의한 전력 소모(B)가 가장 높은 비중을 차지한다고 알려져 있으며^[13], 본 논문 역시 pseudo-random방식의 BIST에서 저전력 패턴을 생성하여 scan 동작과 관련하여 저전력 효과를 얻으려한 기존의 저자에 의해 제안된 transition freezing 기법^[14]을 그 기반으로 하여 본 논문을 통해 새로 제안하는 pattern mapping 기법과의 접목을 통해 100%의 고장검출율을 달성하면서 [14]에 비해 더욱 향상된 저전력 효과를 얻을 수 있도록 개선하였다.

II장에서는 [14]의 기법 소개 및 분석을 통해 pattern mapping 기법의 필요성에 대해 언급하며, III장에서는 구체적인 pattern mapping 기법의 알고리즘에 대해 설명하며 IV장에서는 pattern mapping 기법의 구현에 대해 설명한다. V장에서는 ISCAS'89 회로를 이용한 pattern mapping 기법의 실험 결과를 분석하며, 마지막으로 VI장에서는 결과를 정리하고 결론을 맺도록 하겠다.

II. Transition Freezing 기법의 분석 및 Pattern Mapping 기법의 필요성

[14]에서 제안된 transition freezing 기법은 LFSR에서 생성되는 각 state의 내부 천이 수 감시를 통해 그 천이수가 일정 값(freezing value) 이상이 될 경우 바로 직전에 scan에 인가된 값을 feedback 시킴으로써 매우 높은 연관성을 갖는 저전력 패턴을 형성해 주는 방식이다.

그림 2에서 나타낸 바와 같이 transition freezing 방식은 200개 이상의 비교적 많은 수의 scan을 갖는 ISCAS'89의 실험을 통해 평균 61%의 전력 감소 효과를 얻을 수 있었고, 평균 93.6%의 고장검출율을 얻었다. 또한 transition freezing 방식으로 인해 freezing된 패턴

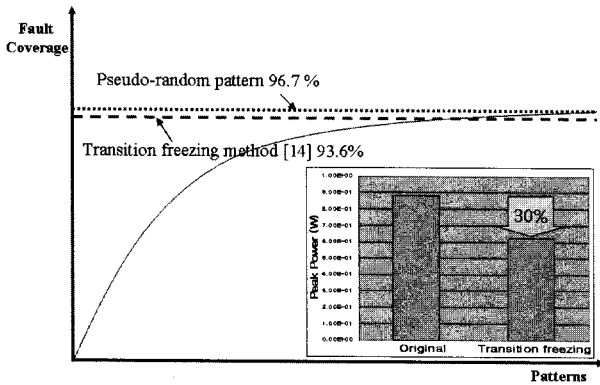


그림 2. Transition freezing 방법의 결과 그래프
Fig. 2. Results of the transition freezing method.

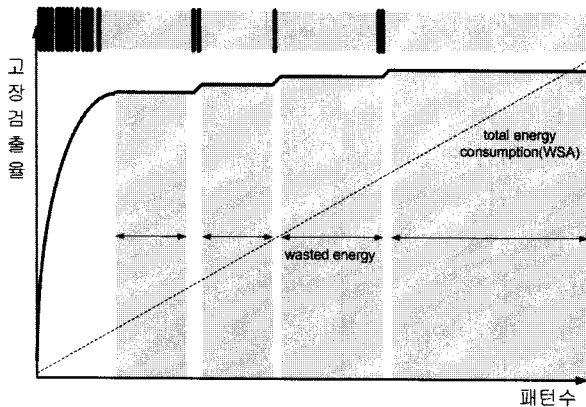


그림 3. 고장검출율에 따른 전력소모량 그래프
Fig. 3. Power dissipation graph according to fault coverage.

은 capture 시에도 CUT 내부에서 일으키는 peak power를 약 30%정도 줄이는 것을 실험을 통해 얻을 수 있었다. 하지만 transition freezing 방식은 freezing으로 인해 생긴 frozen 영역으로 인해 random pattern resistant fault가 일반적인 유사 랜덤 방식에 비해 많이 생기기 때문에 결과 그래프에서 보는 바와 같이 pseudo-random 패턴을 가한 고장검출율에 비해 약 3% 정도 고장검출율이 적게 나오는 것을 알 수 있다.

그림 3은 일반적인 BIST를 사용하는 구조에서 테스트 패턴에 따른 고장 검출율과 그에 따른 전력소모량에 대한 그래프를 보여준다. 그래프에 제시된 예는 ISCAS'85의 c880에 대해 4418개의 테스트 패턴을 사용하여 100%의 stuck-at 고장을 검출하는 실험이며 전력소모량은 WSA^[17]에 의해 측정되었다. 그래프 상단의 검은 실선으로 표시된 부분은 인가된 패턴에 의해 고장이 검출되는 것을 나타낸 것이며, 회색으로 표시된 영역은 패턴이 고장을 검출하지 못하는 경우이다. 그림에

서 보는 바와 같이 패턴이 인가된 초반에는 많은 수의 고장을 검출하기 시작하지만, 인가되는 패턴의 수가 점점 증가함에 따라 고장검출율의 증가폭은 점점 포화상태가 되어 버린다. 즉, 고장을 검출하지 못하는 패턴의 인가량이 늘어나면서 그 만큼 테스트 시간 및 패턴량의 증가로 인해 낭비되는 전력소모량이 많이 지게 되는 것인데, 본 논문에서 제안하는 방식은 transition freezing 패턴 중 고장을 검출하지 못하는 useless pattern을 ATPG에 의해 생성한 random pattern resistant fault 검출을 위한 패턴과 mapping시켜 고장검출율을 100%까지 끌어 올리면서 useless freezing pattern의 재사용을 통한 테스트 시간 절감과 패턴수의 감소를 통한 전력소모량 감소 효과를 거두도록 하는 개선된 저전력 구조를 제안하려한다. 하지만 기존의 frozen pattern의 형태를 거의 그대로 유지시킴을 통해 transition freezing에서 얻었던 저전력 효과를 그대로 얻을 수 있도록 하였다.

III. Pattern Mapping 기법

1. Mapping과 matching

Pattern mapping 기법을 이용한 테스트 방식은 기존의 transition freezing 기법의 적용 단계인 transition freezing session과 그 단계에서 검출하지 못한 고장을 mapping을 통해 검출하게 되는 pattern mapping session으로 구분하여 테스트를 수행하게 된다. 즉, 테스트 초기에는 freezing된 패턴을 이용하여 초기 검출확률이 높은 고장을 검출하게 되며, 어느 정도의 고장검출율에 이르게 되면 그림 3과 같이 불필요패턴의 빈도가 더 높아질 것이므로 pattern mapping session으로 변경하여 테스트를 진행하게 된다.

Pattern mapping 기법은 크게 mapping과 matching으로 구분할 수 있다. 우선 transition freezing session 이후의 불필요패턴세트를 U_{set} 이라고 하고 시뮬레이션 과정에서 검출하지 못한 랜덤 패턴 저항 고장 검출을 위한 결정패턴세트를 T_{set} 으로 정의한다. Mapping 과정은 U_{set} 과 T_{set} 의 비호환도(incompatibility)를 검사하여 가장 mapping성이 좋은 U_{set} 의 불필요패턴을 사상(寫像)하여 주는 과정이다. 이때 비호환도는 패턴간의 specified bit 중 상호 불일치하는 정도를 일컫는 것으로 다음과 같이 정의한다.

$$P_{U_{set}}(x_i) \neq T_{T_{set}}(y_i) \tag{1}$$

$$x_i \in \{x|p_0, \dots, p_n\}, n = P_{length},$$

$$y_i \in \{y|t_0, \dots, t_n\}, n = T_{length}, x, y \in \{0, 1\}$$

즉, U_{set} 에서 선택한 패턴 길이 n 을 갖는 패턴 $P_{U_{set}}$ 과 T_{set} 에서 선택한 패턴 길이 n 을 갖는 패턴 $T_{T_{set}}$ 의 같은 위치 i 의 벡터를 비교하여 불일치 할 경우 비호환도가 증가되는 것이다. 예를 들어 그림 4와 같이 U_{set} 에서 선택한 패턴 P_1 과 T_{set} 에서 선택한 패턴 T_1 은 표시된 부분에서 보는 바와 같이 $P_1(1), T_1(0)$ 에서 불일치하게 되어 비호환도는 2가 된다. 같은 방법으로 T_{set} 에서 선택한 패턴 T_5 와의 비호환도는 1이 된다. 따라서 P_1 과의 mapping을 위해 비호환도가 적은 T_5 를 선택하게 된다.

Mapping 과정을 마치게 되면 식 (1)의 i 위치에 해당하는 비호환 되는 벡터를 호환되게 바꾸어 주게 되는데 이 과정을 matching이라고 한다. Transition freezing block은 feedback 루프를 가지고 있는데 matching은 해당 위치의 벡터가 인가될 때 기존의 frozen 패턴이 아닌 inverting된 패턴이 feedback되도록 하여 matching을 시켜준다.

$$P_{U_{set}}(x_i) \neq T_{T_{set}}(y_i) \Rightarrow P_{U_{set}}(\overline{x_i}) = T_{T_{set}}(y_i) \tag{2}$$

즉, 식 (2)에서 나타낸 바와 같이 x_i 를 $\overline{x_i}$ 로 변경하면 비호환 벡터가 호환 벡터로 matching이 된다. 예를 들어 그림 5와 같이 P_1 은 mapping 과정에서 선택된 T_5 와의 matching을 위해 비호환 되었던 벡터를 inverting

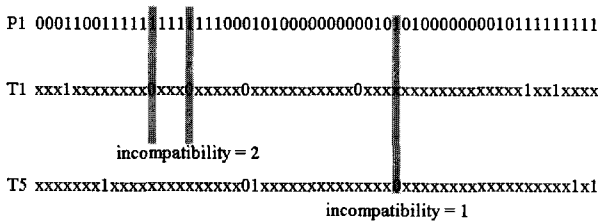


그림 4. Mapping을 위한 비호환도 검사
Fig. 4. Incompatibility calculation for mapping.

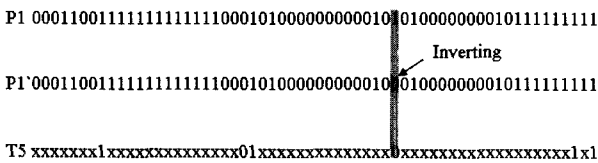


그림 5. Inverting을 통한 matching 과정
Fig. 5. Matching process by inverting.

하여 matching pattern P_1' 을 만들게 된다.

2. Pattern mapping 기법의 알고리즘

Pattern mapping 기법의 전체 과정을 도식화 하여 정리하면 그림 6과 같다. 유사랜덤 BIST 기반의 패턴 생성기를 기반으로 한 transition freezing 기법으로 생성된 패턴으로 우선 transition freezing session을 수행한다. 고장 시뮬레이션을 통해 검출 고장과 비 검출 고장을 분리한 후, 검출하지 못한 랜덤 패턴 저항 고장에 대한 테스트 패턴을 ATPG를 통해 생성한다. 그리고 앞에서 설명한 mapping과 matching을 통해 frozen pattern 중 고장을 검출하지 못했던 불필요 패턴 세트 (U_{set})과 ATPG를 통해 생성된 패턴(T_{set}) 간의 pattern mapping을 실시하고 고장 시뮬레이션을 통해 고장검출을 100% 달성 여부를 확인한다. 마지막으로 U_{set} 에서 선택된 패턴을 matching 하기위해 inverting 위치 정보를 가지고 있는 컨트롤 비트를 생성하여 주는 control bit generator의 합성을 하는 것으로 pattern mapping 기법의 전 과정을 마치게 된다.

그림 7은 pattern mapping 기법의 전 과정을 예시를 통해 설명한 것으로 ISCAS'89 벤치마크 회로 중 s5378 패턴의 일부분이다. 그림 7의 (a)와 같이 transition freezing session을 마치고 검출되지 못한 고장에 대한 ATPG 패턴세트인 T_{set} 이 있다고 가정하자. Pattern mapping 기법의 적용을 위해 우선 T_{set} 패턴들에 대한 sorting이 우선된다. Sorting의 목적은 matching이 되지

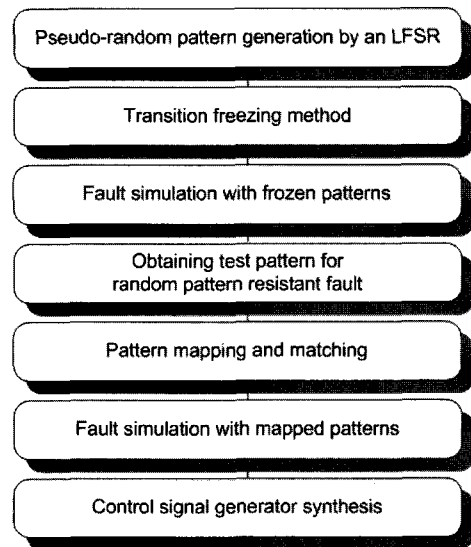


그림 6. Pattern mapping 기법의 전체 흐름도
Fig. 6. The flow of the pattern mapping method.

않은 U_{set} 의 패턴들이 가능한 많을수록 mapping의 효과가 좋기 때문에 mapping성이 가장 좋지 않은 패턴을 우선 U_{set} 과 mapping시켜 낮은 패턴 번호에서의 U_{set} 과 mapping 되는 확률을 높이고자 하는 것이다.

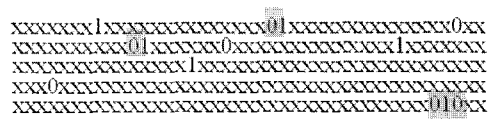
T_{set} 의 sorting은 우선 각 패턴의 01과 10의 개수로 구분하게 되는데, frozen 패턴은 feedback에 의해 동일한 패턴의 반복을 통해 저전력 효과를 얻는 방식이므로, T_{set} 에서의 01 혹은 10은 그만큼 비호환도를 증가시키는 원인이 된다. 예를 들어 아래와 같이 0으로 frozen된 패턴 P_1 은 각각 10, 01을 포함한 T_1, T_2 의 1로 인해 비호환도 증가를 가져오게 되고 이는 mapping 성이 좋지 않음을 의미한다.

P_1	0	0	0	0	0	1	0	1	1	0
T_1	x	1	0	x	x	x	x	x	x	x
T_2	x	0	1	x	x	x	x	x	x	x

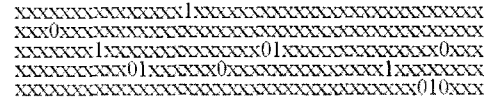
또한 01과 10의 포함 개수가 같은 패턴들에 대해서는 01과 10을 제외한 패턴 상의 벡터 0과 1사이의 최소 거리를 기준으로 sorting을 하게 되는데, 0과 1사이의 최소 거리가 짧다는 것은 그 거리가 긴 패턴과 비교하여 동일 벡터의 반복이 짧다는 의미이므로 mapping성이 좋지 않은 것으로 분류한다. 예를 들어 아래와 같이 0으로 frozen된 패턴 P_1 은 0과 1사이의 거리가 짧은 T_1 으로 인해 비호환도가 증가하게 되고 mapping이 좋지 않게 된다.

P_1	0	0	0	0	0	1	0	1	1	0
T_1	x	0	x	x	1	x	x	x	x	x
T_2	x	0	x	x	x	x	x	1	x	x

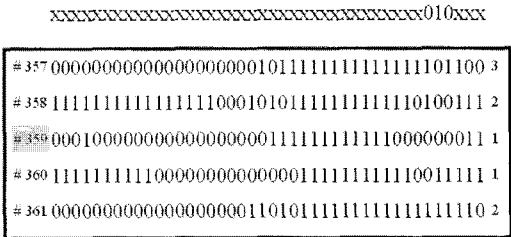
위와 같은 방법으로 T_{set} 을 sorting하게 되면 그림 7의 (b)와 같은 형태로 재구성할 수 있게 된다. 이렇게 분류된 T_{set} 은 mapping성이 좋지 않은 가장 하단의 패턴부터 U_{set} 과 mapping을 시작하게 된다. 앞서 설명한 바와 같이 mapping성이 가장 좋지 않은 패턴을 우선 U_{set} 과 mapping시키는 이유는 낮은 패턴 번호에서의 U_{set} 과 mapping 되는 확률을 높이고자 하는 것이다. 즉, U_{set} 이 많이 남아 있으면 있을수록 mapping성이 좋지 않은 패턴이 낮은 번호의 패턴에서 mapping될 확률이 높기 때문에 결과적으로 적은 수의 U_{set} 을 사용하면서 mapping 단기에 끝낼 수가 있다는 특성을 이용하는 것



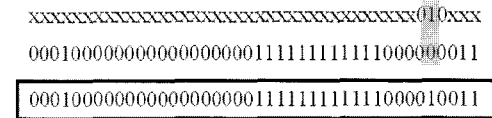
(a) 비 검출 고장에 대한 T_{set}



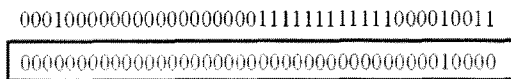
(b) Sorting이 끝난 T_{set}



(c) 비호환도 검사 및 mapping



(d) matching을 위한 inverting



(e) control bit 생성

그림 7. Pattern mapping 기법의 패턴처리 과정의 예시
Fig. 7. Example of the pattern mapping method.

이다. U_{set} 은 패턴 번호가 낮은 패턴부터 mapping을 위해 선택된 T_{set} 의 패턴과 그림 7 (c)의 각 패턴의 우측에 보여진 바와 같이 비호환도를 검사하게 된다. 이렇게 검사된 U_{set} 은 비호환도가 낮으면서 패턴번호가 낮은 U_{set} 의 패턴과 mapping을 하게 되는데, 패턴번호가 낮은 패턴을 mapping 시킴으로써 적은 수의 U_{set} 으로 mapping을 완료하여 테스트 시간 및 고장검출율 100%를 위해 사용되는 전체 패턴의 수도 줄일 수 있고, 비호환도가 낮은 패턴을 mapping 함으로써 matching을 위해 생성해야 하는 컨트롤 비트를 적게 하여 control bit generator의 부담을 줄이도록 할 수 있다. 따라서 제시된 예시에서는 비호환도가 패턴 #358와 #360이 1로서 동일하지만 패턴번호가 낮은 패턴 #359와 mapping을 하게 된다. 이렇게 mapping된 패턴은 matching과정을 통해 비호환 위치의 벡터 값을 inverting하게 되는데,

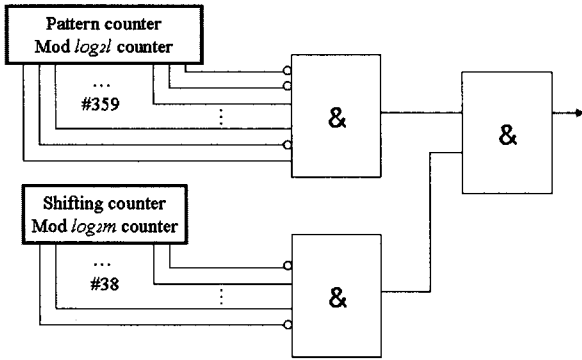


그림 8. control bit 생성을 위한 조합회로 구성
 Fig. 8. The implementation of the control bit generator.

그림 7의 (d)와 같이 패턴 #359은 38번째 벡터의 값을 0에서 1로 inverting한다. Matching이 완료된 패턴은 pattern mapping 블록의 MUX에서 사용하게 될 control bit를 생성하는데 MUX 값이 0일 경우는 기존의 transition freezing 블록에서 패턴이 쉬프트 되고, MUX 1일 때에는 현재의 LFSR에서 생성된 값을 inverting하여 쉬프트 되도록 한다. 따라서 그림 7에서 예시로 든 패턴의 matching을 위해 그림7의 (e)와 같이 최종적인 control bit를 생성하고, control bit generator 합성을 하게 된다.

Control bit generator는 그림 8과 같이 pattern counter와 shifting counter에서 각각의 mapping해야 할 패턴의 패턴 번호 및 inverting해야 할 위치 정보를 AND 게이트를 이용한 조합회로로 구성하여 control 신

호를 생성하게 된다. 즉, 그림 7에서 최종적으로 생성된 control bit 신호를 생성을 위해서는 #359의 pattern counter 신호와 #38의 shifting counter 신호가 필요하게 된다. 이 때 사용되는 pattern counter와 shifting counter는 현재 인가되는 패턴의 수와 capture 신호를 주기 위해 몇 번째 스캔에 인가되는 지를 감지하기 위해 기존의 BIST 블록에 내장되어 있는 회로를 그대로 사용한다. 아래 그림에서 l 은 전체 패턴의 길이, m 은 스캔의 길이를 의미한다.

IV. Pattern Mapping Block

본 장에서는 실제 pattern mapping 방식을 구현하기 위한 블록의 구현에 대해 설명 한다. 그림 9는 transition freezing session의 수행을 위한 transition freezing 블록과 pattern mapping session을 위한 pattern mapping 블록을 통합하여 나타낸 구조이다. 그림에서 보는 바와 같이 pattern counter와 shifting counter를 통해 선택된 inverting 위치는 control bit generator를 통해 컨트롤 신호를 생성하게 되며 해당 신호를 받은 MUX는 matching을 위해 해당 위치의 벡터를 inverting을 시킬 지 기존의 frozen pattern을 그대로 생성할 지의 여부를 결정하게 된다. control bit generator에 붙어 있는 T 플립플롭은 control bit generator 로직의 크기를 줄이기 위해 삽입되어 있는 블록으로, inverting이 필요하지 않은 위치에 대해서는

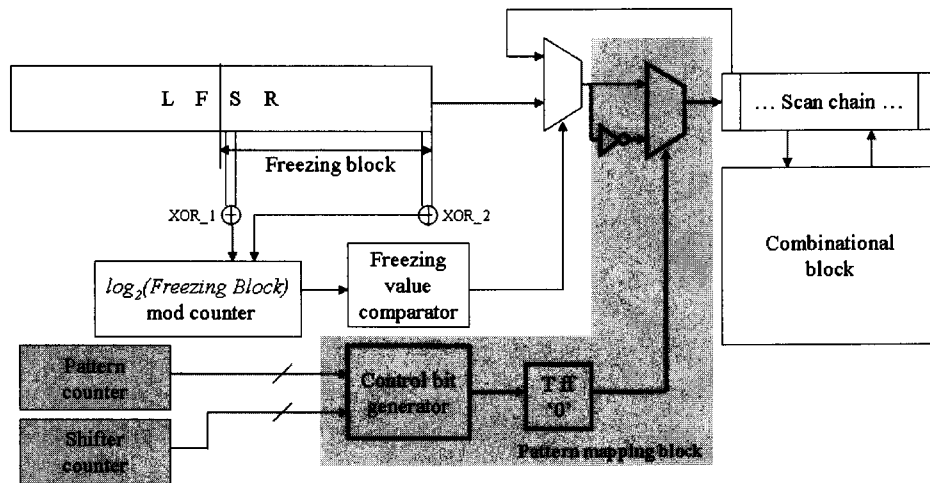


그림 9. Pattern Mapping Logic 블록도
 Fig. 9. The block diagram of the pattern mapping method.

계속 0을 출력하도록 설계한다. T 플립플롭 역시 초기에는 0로 초기화 되어 있어 inverting이 필요하지 않은 위치에서는 0 신호를 계속 만들어 내다가, inverting이 필요한 위치에 control bit generator에서 1 신호가 입력 되면 T 플립플롭도 toggle되어 1로 바뀌면서 inverting 된 값을 scan에 인가하게 된다.

이 때, 만약 U_{set} 에서 선택된 frozen pattern에 연속해서 비호환 비트가 있을 경우 컨트롤 비트는 계속 1을 유지해 줘야 하는데, 이 경우 연속된 1로 인해 control bit generator의 조합회로의 수가 증가하게 된다. 이러한 부분에 대해서는 control bit generator에서 따로 비호환 부분으로 설정하지 않아도 T 플립플롭에 의해 연속적으로 컨트롤 신호 1이 생성되게 된다.

예를 들면 frozen pattern (000001111100001111010)의 경우 transition freezing session에서 검출하지 못한 고장패턴인 (xxxxxxx0001xxxxxxx0xx)과 matching을 위해서는 굵은 표시 부분인 1110이 inverting 되어야 하는데, T 플립플롭으로 인해 실제 control bit generator에서는 (00000001000100000000)을 생성해주면 된다. 이렇게 함으로써 T 플립플롭을 사용하지 않았을 때 생성해야 할 (00000001111000000000)보다 generator에서 생성해야 할 1의 수를 줄여주는 효과를 가지기 때문에 하드웨어적인 부담을 줄어든 1의 수만큼 경감시켜 줄 수 있게 된다.

V. 실험결과

Pattern mapping 기법은 transition freezing 기법에 의해 생성된 frozen pattern으로 고장을 검출하지 못하는 불필요패턴(U_{set})을 낮은 패턴 번호를 갖는 불필요패턴부터 랜덤 패턴 저항 고장의 테스트 패턴(T_{set})과 mapping 시키는 방식으로 기존의 transition freezing 방식에 비해 훨씬 적은 양의 테스트 패턴으로 고장검출을 100%를 조기에 달성할 수 있게 된다. 이는 frozen 영역으로 인해 일정 수준의 고장검출을 확보를 위해 계속적으로 패턴을 가해야 했던 기존의 방식에 비해 월등한 테스트 전력소모 감소 효과를 가져 온다. 또한 mapping 과정에서 랜덤 패턴 저항 고장 검출을 위한 테스트 패턴의 고정 비트가 frozen 영역에 포함되어 버리는 빈도수가 굉장히 많으므로 실제 inverting되는 비트 수를 적게 만들어 matching된 패턴의 경우도 inverting 전의 패턴에 비해 비약적인 천이 증가를 가져

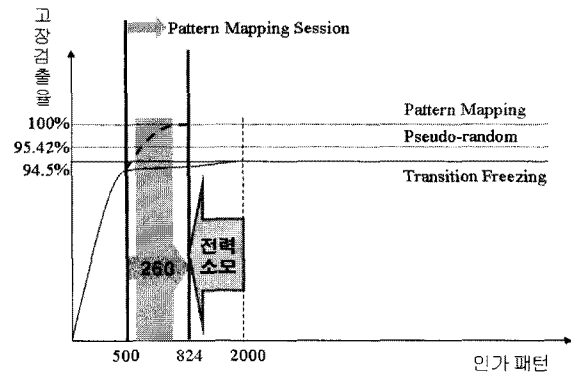


그림 10. s5378을 사용한 실험의 예
Fig. 10. Example of s5378.

오지는 않는다.

그림 10은 ISCAS'89 벤치마크 중 s5378을 사용하여 실험을 진행한 것이다. 실험 환경은 ATALANTA 기반의 ATPG를 사용하여 랜덤 패턴 저항 고장에 대한 패턴을 추출하였다. Transition freezing 패턴의 생성 및 pattern mapping 기법은 C++를 이용하여 구현되었으며, 하드웨어 오버헤드는 Synopsys의 Design Analyzer를 이용하여 측정하였다. 또한 각 회로에 구현된 BIST 블록은 Mentor의 LBIST Architecture를 이용하여 single full scan으로 구현한 것이다. 그림에서 보는 바와 같이 2000개의 패턴을 유사랜덤방식과 transition freezing 기법으로 각각 인가 했을 때의 고장검출율은 95.42%와 94.50%였다. 실제 대부분의 고장은 패턴이 인가되는 전 반부에 검출되는 것을 알 수 있었다. pattern mapping 기법을 사용하기 위해 500번까지의 transition freezing session을 수행하고 이후부터는 pattern mapping session으로 테스트를 진행하였다. pattern mapping session에서 검출해야하는 고장의 수는 총 260개였으며, 3장에서 설명한 mapping 기법을 적용, 1500개의 U_{set} 과 260개의 T_{set} 을 이용하여 824번 패턴에서 mapping을 모두 완료하였다. 즉, pattern mapping 기법을 이용하여 총 824개의 패턴의 인가로 고장검출을 100%를 조기 달성 할 수 있었다. 이 때 사용하지 않게 된 1176개의 U_{set} 은 약 60% 정도의 천이 감소를 가져 온 것이며, 그에 따른 전력소모의 감소효과를 얻을 수 있었다.

본 논문에서 제안하는 pattern mapping 기법은 freezing block의 feedback 구조를 그대로 이용하여 inverting을 하기 때문에 inverting을 위한 별도의 추가적인 하드웨어가 큰 것은 아니지만, control bit generator에 의한 하드웨어적인 부담이 있는 것은 사실

표 1. ISCAS'89 벤치마크 회로를 사용한 pattern mapping 기법의 실험 결과

Table 1. Experiment results of pattern mapping method using ISCAS'89 benchmark circuits.

회로	PI	SI	유사랜덤 고장검출율	transition freezing 기법 고장검출율	pattern mapping 기법					
					pattern mapping session 시작 패턴	U_{set}	T_{set}	최종 mapping 후 총 패턴수	전력소모량 감소	하드웨어 오버헤드
s5378	35	179	95.42%	94.50%	#500	1500	260	824	57.42%	14.7%
s9234	19	228	93.36%	86.40%	#700	3300	458	1231	68.53%	21.4%
s13207	31	669	97.83%	95.31%	#720	3280	290	1125	73.47%	17.3%
s38417	12	1452	98.41%	96.53%	#1300	4700	1551	2974	53.71%	13.8%
s38584	28	1636	98.47%	93.84%	#1200	4800	2441	3781	43.26%	15.2%
평균	-	-	96.70%	93.56%	-	-	-	-	59.28%	16.48%

이다. s5378의 경우 테스트 대상 회로와 BIST 블록을 포함한 전체 회로에 대한 control bit generator의 크기는 약 15% 정도 되는 것으로 나타났다. 하지만, 이는 기본적으로 하드웨어 오버헤드와 pattern mapping 기법의 적용에 따른 전력 감소 효과와의 trade off라고 생각해야 할 것이며, 좀 더 효율적인 테스트를 위해 점차 개선해야 할 부분 중의 하나라고 생각한다.

표 1은 ISCAS'89 벤치마크 회로를 사용하여 진행한 실험을 정리한 표이다. PI와 SI는 실험에 사용된 각 회로의 primary input과 scan input의 개수를 나타내며, 유사랜덤 고장검출율은 유사랜덤 방식으로 생성한 패턴을 이용하여 획득한 고장검출율을 표시한다. Transition freezing 기법 고장검출율은 유사랜덤 방식과 같은 수의 transition freezing 기법으로 생성된 패턴을 인가했을 때 획득할 수 있는 고장검출율을 의미한다. Pattern mapping 기법을 이용한 실험 결과를 나타내는 표에서 pattern mapping session 시작 패턴은 transition freezing session이 끝나는 위치를 말하며, 그에 따른 U_{set} 의 수와 T_{set} 의 수가 나타내어져 있다. 최종 mapping 패턴 수는 mapping 과정이 모두 끝난 후 고장검출율 100%를 획득하는 데 필요한 패턴 수를 의미한다. 이에 따른 전력 소모량 감소와 control bit generator의 하드웨어 오버헤드가 표에 나타내져 있다.

실험 결과에서 볼 수 있듯이 pattern mapping 기법을 이용한 방식에서 transition freezing 기법보다 평균 59.28%의 전력 감소 효과를 얻을 수 있었다. 또한 transition freezing 기법에서는 랜덤 패턴 저항 고장으로 인해 고장검출율이 포화 상태가 되어 일정 패턴이

가해진 이후에 고장검출율 증가에 한계가 있었지만, pattern mapping 기법은 훨씬 적은 수의 패턴을 사용하면서도 고장검출율 100%를 획득할 수 있었다. 하지만, 그에 따라 T_{set} 과의 mapping을 control 하기 위한 control bit generator에 의한 하드웨어의 증가가 있었다. 실험에 사용된 회로의 경우 평균 16.48%의 하드웨어 증가를 가져왔다.

VI. 결 론

본 논문은 유사랜덤 기반의 BIST를 구조에서 저전력 테스트를 가능하게 하는 효율적인 저전력 BIST 구조를 제안한다. 기존에 제안된 유사랜덤 기반에서 약 60% 정도의 전력 감소 효과를 가져 왔었던 transition freezing 기법은 랜덤 패턴 저항 고장으로 인해 일정수의 패턴이 인가 된 후에는 더 이상 고장을 검출할 수 없는 단점이 있었다. 따라서 본 논문에서는 transition freezing 기법의 전력 감소 효과를 거의 그대로 유지하면서 인가되는 테스트 패턴 수의 획기적 감소와 테스트 시간의 감소로 인한 추가적인 전력 감소 효과들도 모한다.

제안하는 pattern mapping 기법은 transition freezing 기법에 의해 생성된 frozen 패턴의 인가로 수행되는 transition freezing session을 먼저 수행하고, 해당 session 뒤 검출하지 못한 랜덤 패턴 저항 고장을 ATPG를 이용하여 생성된 테스트 패턴과 기존의 frozen 패턴 중 고장을 검출하지 못한 패턴들과 mapping 함으로써 transition freezing 기법만 적용했을

때 보다 ISCAS'89 벤치마크 회로에서 평균 59.28%의 추가적인 전력소모량 감소 효과를 얻도록 하였다.

Pattern mapping 기법은 테스트 패턴과의 matching 을 위해 기존 frozen 패턴과 비호환 되는 부분을 inverting 하게 되는데 이를 위해 조합회로로 구성된 control bit generator를 채택하였다. 실험결과에 나타난 바와 같이 ISCAS'89 벤치마크 회로에 BIST 로직을 추가한 하드웨어에 대해 평균 16.48%의 하드웨어 오버헤드 증가를 가져왔다. 기존에 제안되었던 저전력 BIST 기법들 역시 하드웨어 오버헤드와의 trade-off를 중심으로 연구가 되었는데, 가능한 적은 오버헤드로 많은 양의 전력 감소 효과를 얻을 수 있도록 하는 것이 효과적인 구조라 할 것이므로, 본 논문과 관련하여 현재 평균 16.48% 보다 훨씬 적은 양의 오버헤드로 저전력 효과를 얻을 수 있도록 저 하드웨어 pattern mapping method에 대한 연구를 진행 중에 있다.

참 고 문 헌

- [1] S. Wang, "Generation of Low Power Dissipation and High Fault Coverage Patterns for Scan-Based BIST", Proc. IEEE International Test Conference (ITC), 2002, pp. 834-843.
- [2] Xiaodong Zhang and Kaushik Roy, "Peak Power Reduction in Low Power BIST", Proc. of IEEE International Symposium on Quality Electronic Design (ISQED), 2000, pp. 425-432.
- [3] Debjyoti Ghosh, Swarup Bhunia, and Kaushik Roy, "A Techniqueto Reduce Power and Test Application Time in BIST", Proc. IEEE International On-Line Testing Symposium (IOLTS), 2004, pp. 182-183.
- [4] Mohammed ElShoukry, C.P. Ravikumar, and Mohammad Te-hranipoor, "Partial Gating Optimization for Power Reduction During Test Application", Proc. of IEEE Asian Test Symposium (ATS), 2005, pp. 242-247.
- [5] Seongmoon Wang, "A BIST for Low Power Dissipation and High Fault Coverage", IEEE Trans. on VLSI, vol. 15, no. 7, July 2007, pp. 777-789.
- [6] S. Wang and K. Gupta, "LT-RTPG: A New Test-Per-Scan BIST TPG for Low Switching Activity ", IEEE Trans. on CAD, vol. 25, no. 8, Aug. 2006, pp. 1565-1574.
- [7] Ahmad Al-Yamani, Narendra Devta-Prasanna, Erik Chmelar, Mikhail Grinchuk, and Arun Gunda, "Scan Test Cost and Power Reduction Through Systematic Scan Reconfiguration", IEEE Trans. on CAD, vol. 26, no. 5, May 2007, pp.907-918.
- [8] Jayashree Saxena, Kenneth M. Butler, and Lee Whetsel, "An Analysis of Power Reduction Techniques in Scan Testing", Proc. of IEEE International Test Conference (ITC), 2001, pp. 670-677.
- [9] Paul M. Rosinger and Bashir M. Al-Hashimi, "Scan Architecture for Shift and Capture Cycle Power Reduction", Proc. of International Symposium on Defect and Fault Tolerance in VLSI System, 2002, pp. 129-137.
- [10] Dong Xiang, Ming-Jing Chen, Jia-Guang Sun, and Hideo Fujiwara, "Improving Test Effectiveness of Scan-Based BIST by Scan Chain Partitioning", IEEE Trans. on CAD, 2005, pp. 916-927.
- [11] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch, "A Gated Clock Scheme for Low Power Scan Testing of Logic ICs or Embedded Cores", Proc. of IEEE Asian Test Symposium (ATS), 2001, pp. 253-258.
- [12] Swarup Bhunia, Hamid Mahmoodi, DebjyotiGhosh, and Kaushik Roy, "Power Reduction in Test-Per-Scan BIST with Supply Gating and Efficient Scan Partitioning", Proc. of IEEE International Symposium on Quality Electronic Design (ISQED), 2005, pp. 453-458.
- [13] S. Wang, and K. Gupta, "DS-LFSR : A New BIST TPG for Low Heat Dissipation", Proc. IEEE International Test Conference (ITC), 1997, pp. 848-857.
- [14] Youbean Kim, Kicheol Kim, Incheol Kim, HyeonUk Son and Sungho Kang, "A New Scan Power Reduction Scheme Using Transition Freezing for Pseudo-random Logic BIST", IEICE Information and Systems, vol. E01-D, no. 4, April 2008, pp. 1185-1188.
- [15] K.M. Butler, "Minimizing Power Consumption in Scan Testing: Pattern Generation and DFT Technique", Proc. of IEEE International Test Conference (ITC), 2004, pp. 355-364.
- [16] Nadir Z. Basturkmen, Sudhakar M. Reddy, and Irith Pomeranz, "A Low Power Pseudo-Random BIST Technique", Proc. IEEE International On-Line Testing Symposium (IOLTS), 2002, pp. 140-144.
- [17] S. Gupta, J. Rajski, and J. Tyszer, "Arithmetic additive generators of pseudo-exhaustive test

patterns”, IEEE Trans. on Computers, vol. 45, no. 8, Aug. 1996, pp.939-949.

저 자 소 개



김 유 빈(학생회원)
2002년 서강대학교 컴퓨터학과
학사 졸업.
2004년 서강대학교 컴퓨터학과
석사 졸업.
2009년 현재 연세대학교 전기전자
공학과 박사 과정.

<주관심분야 : BIST, DFT, SoC Test>



장 재 원(학생회원)
2005년 서강대학교 컴퓨터학과
학사 졸업.
2007년 서강대학교 컴퓨터학과
석사 졸업.
2009년 현재 연세대학교 전기전자
공학과 박사과정 재학중.

<주관심분야 : SoC 및 아날로그 테스트>



손 현 욱(학생회원)
2007년 연세대학교 전기전자
공학과 학사 졸업.
2009년 현재 연세대학교
전기전자공학과
석박통합과정.

<주관심분야 : SoC 설계 및 테스트>



강 성 호(평생회원)
1986년 서울대학교 제어계측
공학과 학사 졸업.
1988년 The University of Texas,
Austin 전기 및 컴퓨터
공학과 석사 졸업.
1992년 The University of Texas,
Austin 전기 및 컴퓨터
공학과 박사 졸업

1992년 미국 Schlumberger Inc. 연구원
1994년 Motorola Inc. 선임 연구원
현재 연세대학교 전기전자공학과 교수
<주관심분야 : SoC 설계 및 SoC 테스트>