

논문 2009-46SD-5-2

표준 CMOS 게이트 산화막 안티퓨즈를 이용한 새로운 OTP 단위 비트와 ROM 설계

(Design of Novel OTP Unit Bit and ROM Using Standard CMOS Gate Oxide Antifuse)

신 창 회*, 권 오 경**

(Chang-Hee Shin and Oh-Kyong Kwon)

요 약

표준 CMOS 공정을 이용한 CMOS 게이트 산화막 안티퓨즈의 새로운 OTP 단위 비트 구조를 제안하였다. 제안된 OTP 단위 비트는 NMOS 게이트 산화막 안티퓨즈를 포함한 3개의 트랜지스터와 인버터 타입 자체 센스 앰프를 포함하고 있다. 그럼에도 불구하고, 레이아웃 면적은 기존 구조와 비슷한 $22\mu\text{m}^2$ 이다. 또한, 제안된 OTP 단위 비트는 구조적 특성상 고전압 차단 스위치 트랜지스터와 저항과 같은 고전압 차단 요소를 사용하지 않기 때문에, 프로그램 시간은 기존 구조보다 개선된 3.6msec이다. 그리고 제안된 OTP 단위 비트를 포함하는 OTP array는 센스 앰프가 단위 비트마다 집적되어 있기 때문에 기존 OTP array에서 사용된 센스 앰프와 바이어스 생성 회로가 필요 없다.

Abstract

In this paper, we proposed a novel OTP unit bit of CMOS gate oxide antifuse using the standard CMOS process without additional process. The proposed OTP unit bit is composed of 3 transistors including an NMOS gate oxide antifuse and a sense amplifier of inverter type. The layout area of the proposed OTP unit bit is $22\mu\text{m}^2$ similar to a conventional OTP unit bit. The programming time of the proposed OTP unit bit is 3.6msec that is improved than that of the conventional OTP unit bit because it doesn't use high voltage blocking elements such as high voltage blocking switch transistor and resistor. And the OTP array with the proposed OTP unit bit doesn't need sense amplifier and bias generation circuit that are used in a conventional OTP array because sense amplifier of inverter type is included to the proposed OTP unit bit.

Keywords: Non-Volatile Memory, OTP, CMOS Gate Oxide Antifuse

I. 서 론

현재 보편적으로 IC 칩에 집적되고 있는 비휘발성 메모리 (non-volatile memory)에는 전기적 프로그램을 이용하는 MTP (multi-time programmable) 타입의 EEPROM (electrically erasable programmable read only memory), EPROM (electrically programmable

ROM), flash EEPROM 등이 있고^[1~4], 물리적 프로그램을 이용한 OTP (one-time programmable) 타입의 ONO (oxide-nitride-oxide)와 CMOS 게이트 산화막 (gate oxide) 등이 있다^[5~7]. 그러나 전기적 프로그램을 이용한 MTP 타입의 비휘발성 메모리는 추가 공정과 공정의 복잡성 때문에 제조 공정의 비용이 올라가고, 또한 소자의 신뢰성에 대한 문제점을 가지고 있다. 이에 반해, 물리적 프로그램을 이용하는 OTP 타입의 비휘발성 메모리는 MTP 타입에 비해 추가 공정이 없거나, 또는 비교적 간단하기 때문에 추가 공정의 공정비용이 낮고 신뢰성에 대한 문제가 없기 때문에, 비휘발

* 학생회원, ** 정회원, 한양대학교 전자컴퓨터통신공학과
(Department of Electronics Computer Engineering,
Hanyang University)
접수일자: 2008년9월29일, 수정완료일: 2009년4월6일

성 메모리 적용에 대한 연구가 활발히 진행되고 있다.

OTP 타입의 비휘발성 메모리에는 퓨즈 (fuse) 방식과 안티퓨즈 (antifuse) 방식이 있는데, 퓨즈 방식은 특정 층 (layer)의 추가증착 공정과 프로그램에 사용되는 레이저 장비 등에 의해 제조 단가의 상승과 프로그램 때 발생하는 신뢰성 문제에 대한 단점이 있다. 또한, IC 칩의 패키지 (package) 후에는 프로그램을 할 수 없는 불편함도 있다. 그러나 안티퓨즈 방식은 표준 CMOS 공정에 추가공정 없이 이용함으로써 비용 지출이 전혀 없고, IC 칩 자체에서 프로그램을 진행하기 때문에 추가 장비의 지출도 없다. 그리고 신뢰성에 대한 문제도 없다. 그리고 IC 칩의 패키지 후에도 공정 변화 및 칩 ID 변경과 같은 프로그램 변경에 대해 자체 프로그램을 진행할 수 있기 때문에 프로그램의 단계에 대해 자유로울 수 있는 장점이 있다. 특히, CMOS 게이트 산화막 안티퓨즈 방식의 경우는 디자인 룰 (design rule)이 계속해서 줄어들어서 메모리 집적률을 높일 수 있고, 게이트 산화막의 두께가 얇아져서 프로그램을 하기 위한 산화막 파괴 (breaking gate oxide) 전압, 즉 프로그램 전압 (V_{pp}) 또한 감소하게 되어 IC 칩의 집적에 큰 장점이 있다.

본 논문에서는 CMOS 게이트 산화막 안티퓨즈를 이용한 새로운 OTP 단위 비트 구조를 제안하였다. 기존 구조와는 달리 고전압 차단 요소 (high voltage blocking element)를 사용하지 않아 고전계가 인가되는 기간인 프로그램 시간 (T_{BD})과 프로그램 효율 (efficiency)을 개선 시켰다. 또한, OTP 단위 비트 내에 자체 인버터 타입의 센스 앰프 (inverter type sense amplifier)를 집적시켜 기존 구조에서 사용된 센스 앰프, 바이어스 생성 회로 (bias generation circuit) 및 주변회로 (peripheral circuit)가 필요 없는 OTP ROM array를 설계하고 제작하였다.

II. 본 론

1. CMOS Gate Oxide Antifuse

그림 1은 CMOS 게이트 산화막 안티퓨즈에 사용되는 NMOS 안티퓨즈의 단면도이다. NMOS 게이트 산화막 안티퓨즈를 프로그램 (breaking gate oxide)을 하기 위해서는 NMOS의 소스 (source)와 드레인 (drain) 그리고 바디 (body) 단자를 접지 (GND; 0V)시키고, 게이트 (gate) 단자는 프로그램 전압을 인가한다. 게이트 단

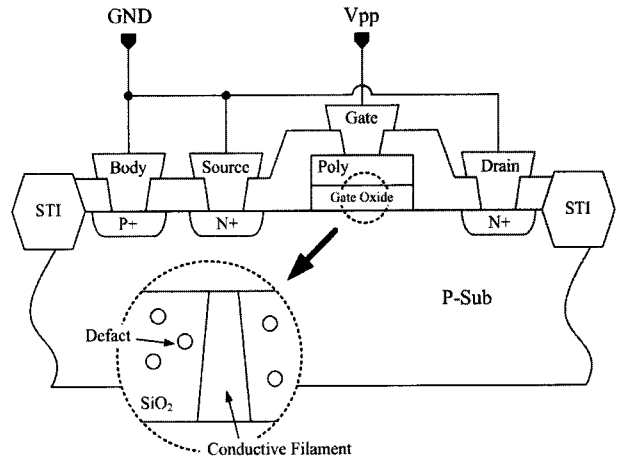
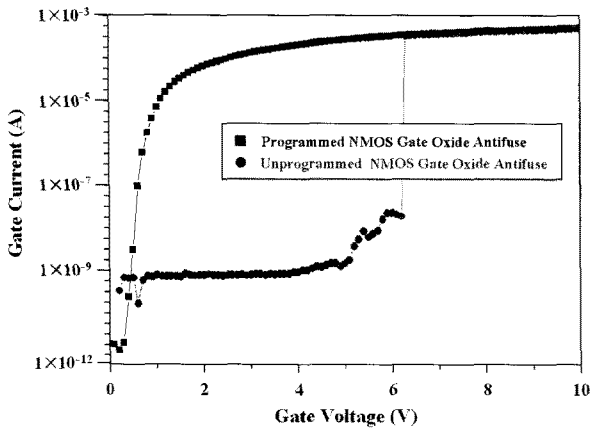


그림 1. NMOS 게이트 산화막 안티퓨즈의 파괴되어진 채널 영역을 보여주는 단면도

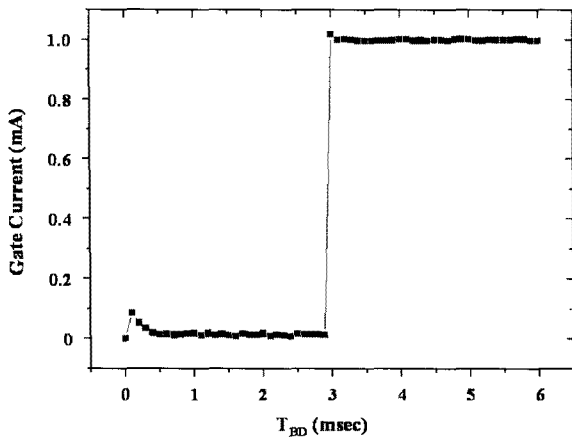
Fig. 1. Cross sectional view showing ruptured channel region for NMOS gate oxide antifuse.

자에 프로그램 전압이 인가되면, 고전계가 NMOS의 게이트 단자에 인가되어 게이트 산화막 내에 핀홀 (pinhole)과 같은 결함 (defect)이 생성되게 된다. 그리고 프로그램 시간이 증가할수록, 게이트 산화막 내의 결함밀도 (defect density)가 점점 증가하게 된다. 따라서 그림 1에서 보는 것과 같이 게이트 산화막 내에 전도 필라멘트 (conductive filament)와 같은 파괴통로 (breakdown path)가 만들어진다.

그림 2(a)는 본 논문에서 사용되는 NMOS 게이트 산화막 안티퓨즈의 게이트 전압 ($V_G=V_{pp}$)에 따른 게이트 전류 (I_G)의 전기적 특성을 보여준다. 프로그램 되지 않은 NMOS 게이트 산화막 안티퓨즈 (unprogrammed NMOS gate oxide antifuse)의 경우, 초기 V_G 에서는 안티퓨즈의 터널링 효과 (tunneling effect)에 의해 $1nA$ 정도의 전류가 흐르게 된다. 그러나 V_G 가 점차 증가할수록 게이트 산화막 내에 결함밀도가 증가되어, V_G 가 6.5V에서는 게이트 전류가 $1mA$ 로 갑자기 증가한다. 즉, NMOS 게이트 산화막 안티퓨즈의 게이트 산화막이 파괴되어 산화막 내에 전도 필라멘트가 생성되는 현상이다. 그리고 프로그램 된 NMOS 게이트 산화막 안티퓨즈 (programmed NMOS gate oxide antifuse)의 경우는 낮은 V_G 에는 접합 다이오드 (junction diode)과 유사한 특성을 보이다가, V_G 가 증가할수록 I_G 는 저항의 특성을 나타낸다. 이 저항특성은 NMOS 게이트 산화막 안티퓨즈의 도핑농도, 열처리조건과 같은 몇몇의 공정 조건에 따라 달라지는데, 그림 2(a)에서 보는 것과 같이 본 논문에서 사용된 programmed NMOS antifuse의 저항 값



(a)



(b)

그림 2. NMOS 게이트 산화막 안티퓨즈의 전기적 특성; (a) I_G - V_G 의 전달특성곡선, (b)게이트 산화막 파괴에 대한 T_{BD} 특성곡선

Fig. 2. Electrical characteristics of NMOS gate oxide antifuse; (a) I_G - V_G characteristics curve and (b) T_{BD} to gate oxide rupture plot.

은 수백 Ω 을 가지게 된다. 그림 2(a)는 전류 컴플라이언스 (compliance)와 프로그램 시간을 각각 1mA와 5msec로 측정하였다. 그림 2(b)는 프로그램 시간에 따른 I_G 의 전기적 특성을 나타낸다. 그림 2(a)의 결과에 따라 V_G 를 7V로 하고, 전류 컴플라이언스는 1mA로 하여 NMOS 게이트 산화막 안티퓨즈를 측정하였다. 그 결과 프로그램 시간이 2.8msec에서 NMOS 게이트 산화막 안티퓨즈가 프로그램 되었다.

2. Novel OTP Unit Bit and Array

그림 3은 NMOS 게이트 산화막 안티퓨즈를 이용한 새로운 OTP 단위 비트를 나타낸 것이다. 그림 3과 같이 OTP 단위 비트는 NMOS 게이트 산화막 안티퓨즈,

선택 트랜지스터 (selection transistor; MP1), 센싱 트랜지스터 (sensing transistor; MP2), MN1과 MP3로 구성된 자체 인버터 타입 센스 앰프로 구성된다. 제안된 OTP 단위 비트는 표준 0.18 μ m CMOS 공정을 이용하였으며, NMOS 게이트 산화막 안티퓨즈의 산화막 두께는 34Å이고, 나머지 트랜지스터의 산화막 두께는 130Å이다. 프로그램 모드에서 OTP 단위 비트의 동작은 프로그램 선택 신호 (program selection signal; sw1)에 의해서 A-node의 프로그램 전압 (7V)이 MP1를 통하여 NMOS 게이트 산화막 안티퓨즈의 게이트 산화막(C-node)에 인가된다. 읽기(Read) 모드에서는 프로그램 선택 신호인 sw1에 의해 MP1은 오프 (OFF)상태가 되고, B-node는 읽기 동작전압 (1.8V)이 인가되며, 읽기 선택 신호 (read selection signal; sw2)에 의해서 MP2는 온 (ON)상태가 된다. 프로그램이 되어 NMOS 게이트 산화막 안티퓨즈의 게이트 산화막이 파괴된 경우, NMOS 게이트 산화막 안티퓨즈는 저항 특성에 의해 C-node는 접지의 전압을 유지하게 된다. 즉, 자체 인버터 타입 센스 앰프의 입력인 C-node의 전압이 접지이므로 센스 앰프 결과 값은 하이 (high)로 출력하게 된다. 이와 반대로, 프로그램 되지 않은 NMOS 게이트 산화막 안티퓨즈의 경우는 NMOS 커패시터 (capacitor)의 동작 특성을 하여 C-node는 읽기 동작전압인 1.8V를 유지하게 된다. 따라서 자체 인버터 타입의 센스 앰프는 C-node의 입력을 받아 센싱 결과 값을 로우 (low)로 출력하게 된다.

본 논문에서 제안한 OTP 단위 비트는 기존 OTP 단위 비트 구조와 달리 프로그램 경로가 간단하다. 즉, 기

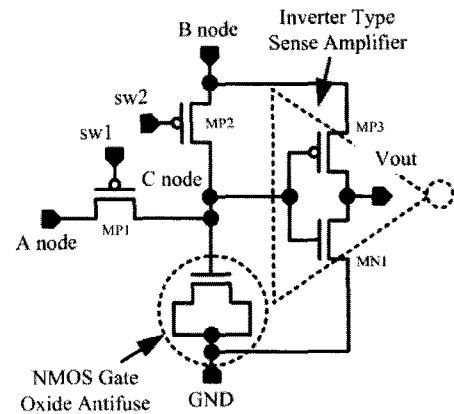


그림 3. NMOS 게이트 산화막 안티퓨즈를 이용한 새로운 OTP 단위 비트 회로도

Fig. 3. A novel OTP unit bit schematic using NMOS gate oxide antifuse.

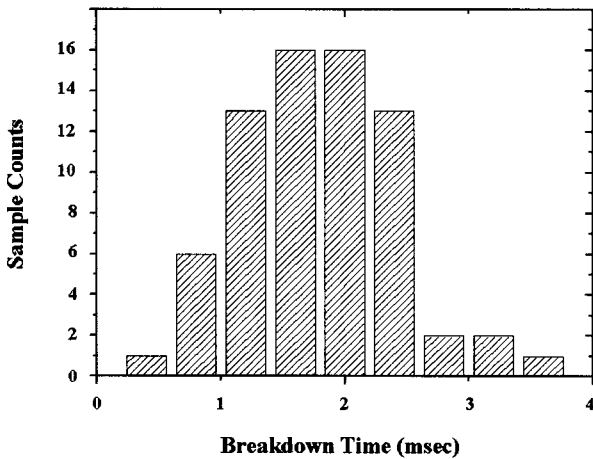
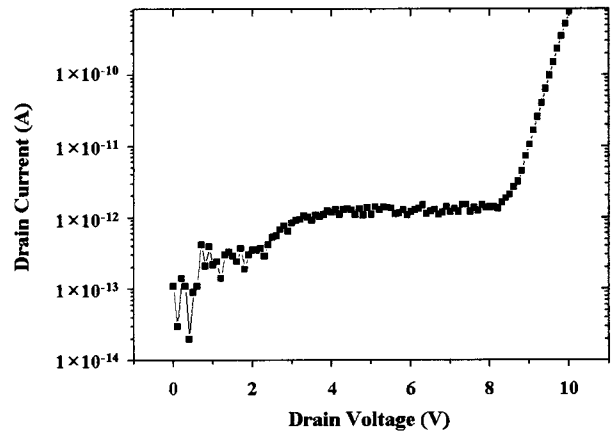


그림 4. 제안된 OTP 단위 비트를 이용한 게이트 산화막 파괴에 대한 T_{BD} 특성

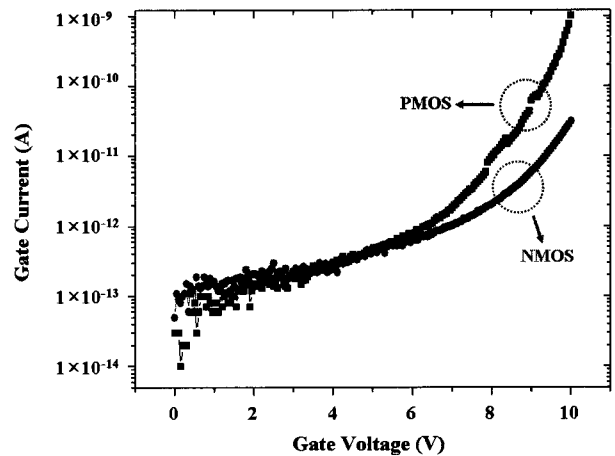
Fig. 4. T_{BD} rature plot of NMOS gate oxide antifuse used using novel OTP unit bit.

존 구조는 OTP 단위 비트에서 프로그램 전압을 제어하기 위한 고전압 차단 소자의 추가로 인해 프로그램 경로가 여러 단을 거치게 된다. 그러나 제안된 OTP 단위 비트는 A-node의 프로그램 전압이 MP1을 통하여 NMOS 게이트 산화막 안티퓨즈의 게이트 산화막에 인가된다. 즉, 제안된 OTP 단위 비트의 간단한 구조적 특징 때문에 기존 구조에 비해 빠른 프로그램 시간을 가진다. 그림 4는 본 논문에서 제안한 OTP 단위 비트를 이용한 NMOS 게이트 산화막 안티퓨즈의 프로그램 시간을 나타낸 것이다. 70개의 샘플 (sample)에 대해 프로그램 전압을 7V로 하고, 전류 컴플라이언스는 1mA로 하였다. 측정 결과, 제안된 OTP 단위 비트는 기존 구조에 비해 96% 개선된 3.6msec에서 모든 샘플이 프로그램 되었음을 알 수 있다. 그리고 제안된 OTP 단위 비트는 기존 구조와는 달리 자체 인버터 타입 센스 앰프를 포함하고 있으나, 고전압 차단 소자를 사용하지 않고 레이아웃을 최적화하여 기존 구조의 단위 비트와 비슷한 $22\mu m^2$ 의 면적을 가진다^[8-9].

또한, 제안된 OTP 단위 비트는 프로그램 효율에 큰 영향을 미치는 누설전류 (leakage current) 문제를 해결하였다. 제안된 OTP 단위 비트 구조 특징상 프로그램 때, MP2의 GIDL (gate induced drain leakage)을 보호하기 위하여 B-node에는 전압이 인가되지 않고, C-node, sw2와 MP2의 바디는 프로그램 전압을 유지할 뿐만 아니라^[10], C-node는 인버터 타입 센스 앰프의 입력단과 연결된다. 따라서 NMOS 게이트 산화막 안티퓨즈를 프로그램 할 때 누설전류가 발생되지 않는다. 즉,



(a)



(b)

그림 5. 제안된 OTP 단위 비트에 사용된 MOS의 전기적 특성; (a) I_D-V_D 의 전달특성곡선, (b) I_G-V_G 의 전달특성곡선

Fig. 5. Electrical characteristics of MOS used in novel OTP unit bit; (a) I_D-V_D characteristics curve and (b) I_G-V_G characteristics curve.

누설전류에 의한 전압 감쇠 없이 프로그램 전압이 NMOS 게이트 산화막 안티퓨즈에 전달되어 프로그램의 효율을 높일 수 있다. 그림 5는 그림 3에서 나타난 MP2의 I_D-V_D 특성 곡선과 인버터 타입 센스 앰프에 사용된 MP3와 MN1의 I_G-V_G 특성 곡선을 나타낸 것이다. 그림 5에서 보듯이, C-node에 V_{pp} (7V) 전압이 인가될 때, MP2와 MP3, MN1은 누설전류가 수 pA 이하임을 알 수 있다.

3. OTP Array with Novel OTP 단위 비트

그림 6은 제안된 OTP 단위 비트를 포함하는 OTP array를 나타낸 것이다. 프로그램을 하기 위한 NMOS 게이트 산화막 안티퓨즈는 워드 라인(word-line, WL)

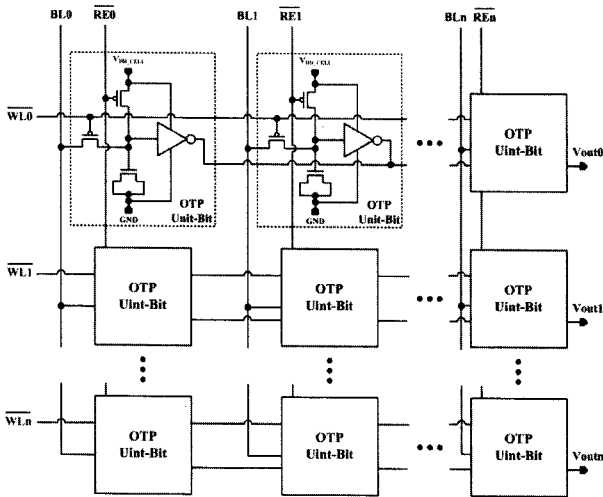


그림 6. 제안된 OTP 단위 비트를 사용한 OTP array 회로도

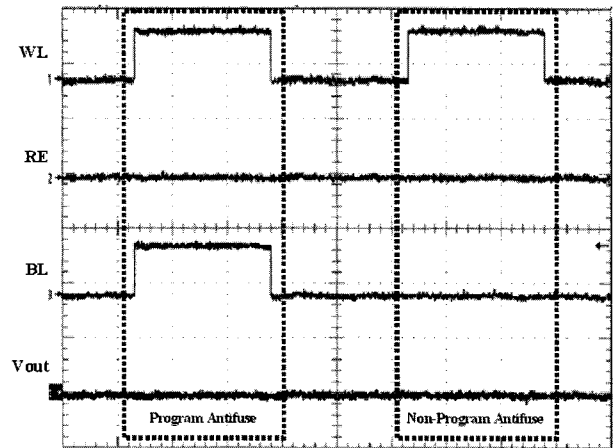
Fig. 6. OTP array schematic using proposed OTP unit bit.

과 비트 라인(bit-line, BL)에 의해 선택된다. OTP array는 OTP 단위 비트에 자체 인버터 타입 센스 앰프를 포함하고 있기 때문에 기존 구조에서 사용되는 센스 앰프인 차동 증폭기(differential amplifier)와 바이어스 생성 회로가 필요 없게 된다. 즉, 그림 6에서 보듯이 읽기 신호(read, RE)에 의해 선택된 OTP 단위 비트는 자체에 포함된 인버터 타입 센스 앰프가 동작하여 결과 값을 출력한다. 따라서 제안된 OTP 단위 비트를 포함하는 OTP array는 기존 구조에서 사용되는 차동증폭기와 바이어스 회로가 필요하지 않기 때문에 소비 전류 및 레이아웃 면적이 필요 없는 장점이 있다.

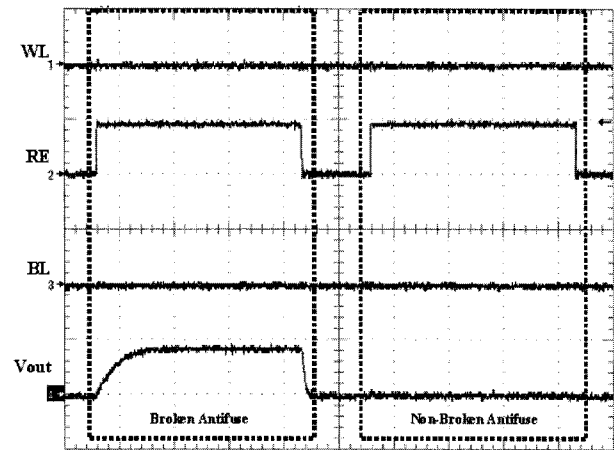
그림 7은 본 논문에서 제안한 OTP 단위 비트를 포함한 OTP array의 측정 파형이다. 프로그램 모드에서 선택된 OTP 단위 비트는 그림 7(a)에서 보듯이 WL과 BL의 하이에 의해 프로그램 되는 것을 보여준다. 그리고 읽기 모드에서는 그림 7(b)에서 보듯이, 프로그램 된 OTP 단위 비트에 대한 출력 값이 하이가 출력되고, 프로그램 되지 않은 OTP 단위 비트는 로우가 출력됨을 보여준다. 즉, 그림 7의 출력파형에서 알 수 있듯이 제안된 OTP 단위 비트가 적용된 OTP array가 올바르게 동작함을 알 수 있다.

III. 결 론

본 논문에서 NMOS 게이트 산화막 안티퓨즈의 전기적 특성을 측정하였고, NMOS 게이트 산화막 안티퓨즈



(a)



(b)

그림 7. OTP array 측정파형; (a)프로그램 모드, (b)읽기 모드

Fig. 7. OTP array measurement waveform; (a)program mode and (b)read mode.

를 이용한 새로운 OTP 단위 비트를 제안하였다. 제안된 OTP 단위 비트는 NMOS 게이트 산화막 안티퓨즈를 포함한 3개의 트랜지스터와 자체 센스 앰프인 인버터를 포함하고 있다. 그림에도 불구하고 레이아웃 면적은 기존 구조와 유사한 $22\mu\text{m}^2$ 이다. 또한, 제안된 OTP 단위 비트의 구조적 특징에 의해 프로그램 효율과 시간에 영향을 미치는 누설 전류에 대한 문제점을 개선하였다. 제안된 OTP 단위 비트의 프로그램 시간은 기존 구조보다 개선된 3.6msec이다. 또한, 본 논문에서 제안한 OTP 단위 비트를 포함하는 OTP array는 기존 OTP array에서 사용되었던 센스 앰프 및 바이어스 생성 회로와 같은 주변회로의 사용이 필요 없는 장점이 있다.

참고 문헌

- [1] S. Atsumi, S. Tanaka, K. Shinada, K. Yoshikawa, K. Makita, Y. Nagakubo and K. Kanzaki, "Fast Programmable 256K Read Only Memory with On-Chip Test Circuits," IEEE Trans. Electron Devices, Vol. ED-32, no. 2, pp. 502-507, Feb. 1985.
- [2] M. W. Rho, K. H. Kim and Y. S. Kim "A New Flash EEPROM Mode for Multi-Level Programming and Low-Voltage Applications," Journal of the Korean Physical Society, Vol. 33, pp. S224-S228, Nov. 1998.
- [3] V. Nileskynett, M. L. Fandrich, J. Anderson, P. Dix, O. Jungroth, R. A. Lodenquai, S. Wells, M. D. Winston and L. Yang, "A 90-ns One-Million Erase/Program Cycle 1-Mbit Flash Memory," IEEE Journal of Solid-State Circuits, Vol. 24, no. 5, pp. 1259-1264, Oct. 1989.
- [4] K. Lee, B. Jeon, B. Min, S. Oh, H. Lee, W. Lim, S. Cho, H. Jeong, C. Chung and K. Kim, "Development of Embedded Non-Volatile FRAMs for High Performance Smart Cards," Journal of Semiconductor Technology and Science, Vol. 4, no. 4, pp. 251-257, Dec. 2004.
- [5] J. Fellner, "A One Time Programming Cell Using More than Two Resistance Levels of a Polyfuse," in Proc Custom Integrated Circuits Conf., pp. 263-266, 2005.
- [6] W. J. Helms, "Fabrication of NMOS Capacitors with a Low-Voltage Coefficient at a Silicon Foundry," Electron Devices Letters, Vol. ELD-6, no. 1, pp. 54-46, Jan. 1985
- [7] H. Ito and T. Namekawa, "Pure CMOS One-Time Programmable Memory using Gate-Oxide Antifuse," in Proc Custom Integrated Circuits Conf., pp. 469-472, 2004.
- [8] J. Kim and K. Lee, "Tress-Transistor One-Time Programmable (OTP) ROM cell Array Using Standard CMOS Gate Oxide Antifuse," Electron Devices Letters, Vol. 24, no. 9, pp. 589-591, Sep. 2003.
- [9] H. Cha, J. Kim and K. Lee, "A High-Density 64k-Bit One-Time Programmable ROM Array with 3-Transistor Cell Standard CMOS Gate-Oxide Antifuse," Journal of Semiconductor Technology and Science, Vol. 4, no. 2, pp. 106-109, Jun. 2004.
- [10] B. Zhang, A. Balasinki and T. P. Ma, "Hot-Carrier Effects on Gate-Induced-Drain-Leakage(GIDL) Current in Thin-Film

SOI/NMOSFET's," Electron Devices Letters, Vol. 15, no. 5, pp. 169-171, May 1994.

— 저 자 소 개 —



신 창 희(학생회원)

1999년 한양대학교 재료공학과
학사 졸업.

2001년 한양대학교 전자공학과
석사 졸업.

2009년 현재 한양대학교 전자컴퓨터
통신공학과 박사과정.

<주관심분야 : 반도체, 디스플레이, 아날로그 및
디지털 혼합 IC 설계>



권 오 경(정회원)

1978년 한양대학교 전자공학과
학사 졸업.

1986년 Stanford University
전자공학과 석사 졸업.

1988년 Stanford University
전자공학과 박사 졸업

2009년 현재 한양대학교 전자컴퓨터통신공학과
교수.

<주관심분야 : 반도체, 집적회로 설계, 디스플레이,
아날로그 및 디지털 혼합 IC 설계, Power
IC>