논문 2009-46SD-10-5

Analog Frond-End 내장형 전력선 통신용 CMOS SoC ASIC

(Full CMOS PLC SoC ASIC with Integrated AFE)

남 철**, 부 영 건*, 박 준 성*, 허 정***, 이 강 윤***

(Chul Nam, Young-Gun Pu, Joon-Sung Park, Jeong Hur, and Kang-Yoon Lee)

요 약

본 논문은 전력선 통신용(PLC) SoC ASIC으로 내장된 Analog Front-end(AFE)를 바탕으로 낮은 소비 전력과 저 가격을 달성할 수 있었으며, CMOS공정으로 구현된 AFE와, 1.8V동작의 Core Logic구동용 LDO, ADC,DAC와 IO pad를 구동하기 위한 LDO로 구성되어 있다. AFE는 Pre-amplifier, Programmable gain Amplifier와 10bit ADC의 수신 단으로 구성되며, 송신 단은 10bit differential DAC, Line Driver로 구성되어 있다. 본 ASIC은 0.18 um 1 Poly 5 Metal CMOS로 구현 되었으며, 동작전압은 3.3 V단일 전원만 사용하였고, 이때 소모 전력은 대기 시에 30mA이며, 동작 시 전력은 300mA으로 에코 디자인 요구를 만족하게 하였다. 본 칩의 Chip size는 3.686 x 2.633 mm^2 이다.

Abstract

This paper presents the single supply power line communication(PLC) SoC ASIC with built-in analog frond-end circuit. To achieve the low power consumption along with low chip cost, this PLC SoC ASIC employs fully CMOS analog front-end(AFE) and several built-in Regulators(LDOs) powering for Core logic, ADC,DAC and IP Pad driver. The AFE includes RX of pre-amplifier, Programmable gain amplifier and 10 bit ADC and TX of 10bit Digital Analog Converter and Line driver. This PLC Soc was implemented with 0.18um 1 Poly 5 Metal CMOS process. The single power supply of 3.3V is required for the internal LDOs. The total power consumption is below 30mA at standby and 300mA at active which meets the eco-design requirement. The chips size is 3.687 x 2.633mm^2.

Keywords : PLC, Full-CMOS, LDO, Analog front-End(AFE),Eco Design

Ⅰ. 서 론

PLC(Power line communication)는 유비쿼터스(Ubiquitous) 환경에서 가용성, 쉬운 설치, 그리고 무엇보다도 저비용 측면에서 큰 장점을 갖고 있어 “No new wire”라고 표현되는 어플리케이션이다. PLC 네트워크(network)에서, 교류 전류 전력선은 데이터 교환과 다수의 PC들과 다른 장치 간에 고속 인터넷 접근을 위하여 이산 주파수 기반 제어(Discrete frequency-based control), 모니터링(Monitoring), 통신 메시지(Communication messages)를 주고받는 매체로써 사용된다.

그러나 가정에서의 전력선은 저전압으로 설계되어 있거나 데이터 통신을 하기 위한 것이 아니었으나, 최근에 초고집적(VLSI)과 디지털 신호 처리(DSP) 분야들이 점차 진보됨으로써 “Smart Home”와 PLC를 기반으로 한 홈 네트워크 구축이라는 아이디어가 현실화되어 실현되고 있다. 고속의 전력선을 기반으로 한 홈 네트워크가 구축이 되면, 홈 구성요소를 먼 거리에서도 제어 할 수 있어, 경비 시스템 구축이나 에너지 관리 등 더욱 더 안락한 삶으로의 전환을 맞이할 수 있다.[1]

* 학생회원 ** 정회원 *** 평생회원,
건국대학교 전자정보통신공학부
(Department of Electronic Engineering, Konkuk University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No.2009-0068457).
접수일자: 2009년5월13일, 수정완료일: 2009년9월11일

전력선을 네트워킹 매체로 사용하기 위해서는 가전 배선의 물리적 형태와 성능, 장치 연결 및 그 자체의 전기적 전류 특성과 같은 여러 가지 결부된 기술적 문제를 극복해야하는 어려움이 있다. 그리고 채널 코딩(Channel coding), 변조(Modulation), 다중화 하는데 있어 물리적(PHY) 계층의 뛰어난 성능이 요구 된다.

저대역 PLC통신에서 95~148.5kHz의 CENELEC B 밴드는 다른 대역에 상당히 큰 노이즈 간섭을 일으키기 때문에[2], 이런 환경에서는 Chirp Modulation[3]을 이용한 ZBus power line 통신 프로토콜을 사용된다. ZBus Power line 통신 프로토콜[4]은 OSI(Open System Interconnection)표준화의 PHY, MAC, NETWORK, APP 에 해당되는 부분으로 구성되어 있다.

현재 중. 고속 PLC통신에서 PLC 모뎀 ASIC은 MAC과 AFE의 두 개 칩으로 구성되는 되며[5], AFE는 BiCMOS 혹은 Bipolar공정으로 설계되어 칩 면적이 크고 전력 소모도 많고 CMOS Logic과 단일 칩 화의 어려움이 있다. 저속에서는 PCB상 단품으로 구성된 방법[6]이 여전히 사용되고 있는 현실이기 때문에 저. 중. 고속 모뎀에서 부품공간을 줄이고, 가격을 줄이기 위해서 단일 칩 SoC 솔루션이 요구되는 상황이다.

본 논문에서 제안한 저속 PLC통신 SoC는 95~125kHz의 캐리어 주파수에 , Chirp modulation, 1.2~7.2 Kbps의 통신 속도의 ZBus Power line 통신을 채택하고, CMOS AFE(Analog Front-End)를 내장하였다. PLC SoC는 0.18um CMOS 공정을 이용하여 구현 되어 있으며, 전체 칩 구동은 LDO(Low-Dropout regulator)를 사용하여 3.3V 단일 전원으로 구동되게 설계하였다. ZBus프로토콜의 Application 층 구현은 CPU(EISC[7])를 탑재하였다. 이로서 PCB상에 구현되는 기존의 방식의 BJT나 다이오드와 같은 외부 소자 및 LDO를 대체하여 실장 공간 절감및 가격 절감을 이득을 얻을 수 있었으며, 특히 본 SoC는 최근 EU에서 요구하는 대기전력 1 W이하의 에코 디자인에도 만족할 수 있게 하였다.

Ⅱ. PLC SoC의 구조

그림 1은 PLC SoC ASIC의 구조로 PLC SoC는 크게 AFE, 로직 블럭, 전원 블럭으로 구성된다. 로직 블럭은 32bit CPU(EISC), Pin MUX, Reset/Clock Controller, 3 Channel timer, 2 Channel UART, TWI, GPIO, Interrupt controller, WDT, I2S with ADPCM,

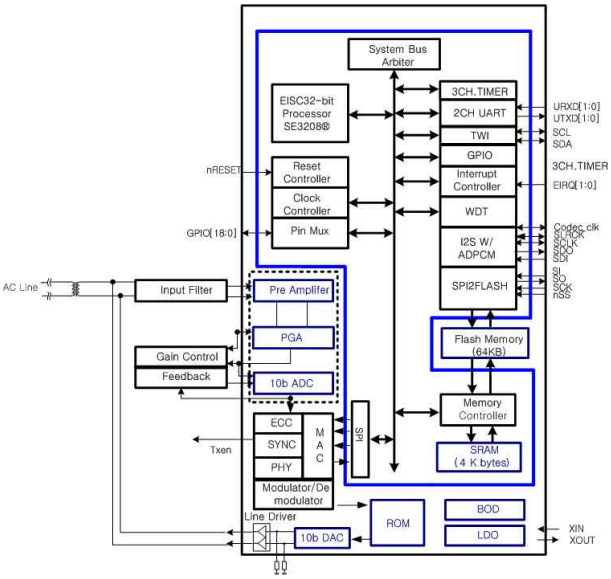


그림 1. PLC SoC ASIC의 구조
Fig. 1. An Architecture of PLC SoC ASIC.

SPI-Flash controller, Memory controller, 4K SRAM, SPI,ZMODEM(ECC, SYNC, MAC, Modulator/Demodulator)로 구성되며, AFE블록은Pre-amplifier, Programmable Gain amplifier(PGA), 10bit ADC 의 수신부와, 10bit differential DAC, Level Shifter, Line Driver, 과전류를 체크하기 위한 Over current Monitoring (OCM) circuit으로 구성되는 송신부로 구성된다. 전원 블럭은 Brown-out Detector(BOD), Low Dropout Regulator(LDO)의 전원 블럭으로 구성된다. 특히 본 PLC SoC는 외장 메모리로 64K byte의 Flash Memory를 Stack하였다.

PLC 전력선을 통해 수신되는 신호는 Transformer를 통해 Input filter를 거쳐서 AFE 수신 단으로 입력되며, 출력신호는 MODEM을 거쳐 10bit DAC 로부터 아날로그 신호가 변환 된 후에 Line Driver걸쳐 전력선으로 전송되어 진다. 송수신 신호는 한 라인에 동시에 보내기 위해 TDD(Time Division Duplex)전송 방식을 사용한다.

Ⅲ. 각 블록의 동작

1. 수신 부(Receiver)

전력선으로부터 들어오는 신호의 동적영역(Dynamic range)이 매우 커서 Pre-Amplifier에서는 레일-레일(Rain to Rail)로 동작하는 동시에 10 nV/√Hz의 저 잡음으로 설계하였다. 이때 Pre-amplifier의 입력 동작 범

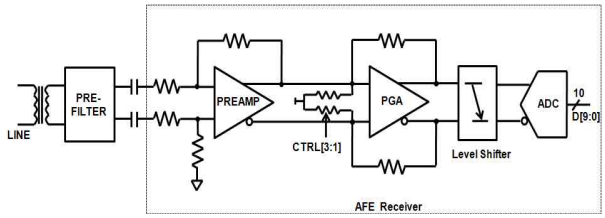
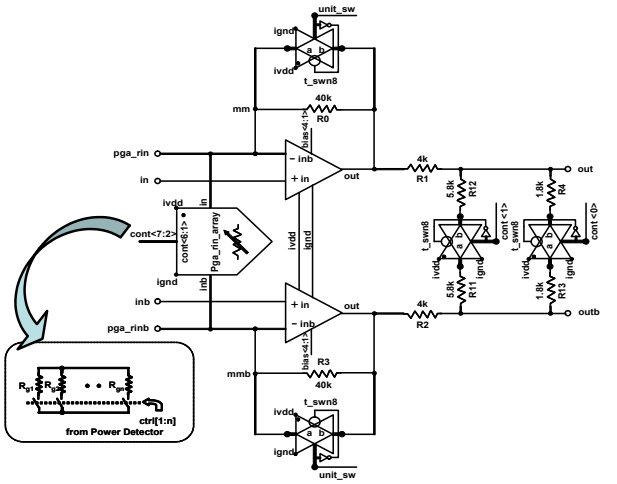
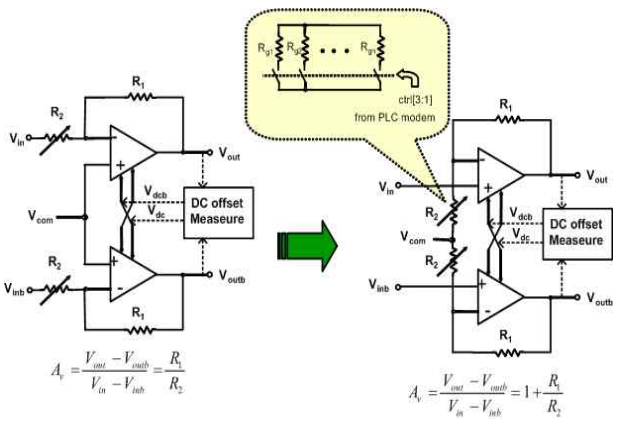


그림 2. AFE의 수신 단
Fig. 2. A Receiver part of AFE.



(a)



(b) (c)

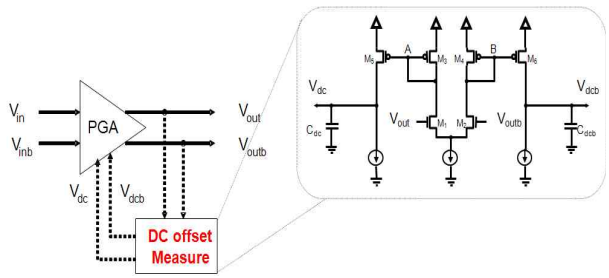
그림 3. (a) PGA의 회로도 (b) 기존 PGA 구조
(c) 제안하는 PGA 구조
Fig. 3. (a) PGA Block diagram (b) A traditional PGA
(c) A proposed PGA.

위(Common mode Range)는 약 0.1 V에서 3 V가 된다.[8] Pre-amplifier의 신호는 Programmable Gain Amplifier(PGA)로 차동으로 입력이 되며, PGA는 넓은 동적영역의 신호를 3비트 신호(CTRL[3:1]) 로 이득을 제어할 수 있게 되어 있다. 이득 조절은 입력단의 저항을 조절하는 방식을 채용하였는데, 그림 3(b)에서 보는 기존 방식은 입력이 저항 R2에 직접 연결되어 있어 PGA의 선형성을 나쁘게 하는 원인이 된다.

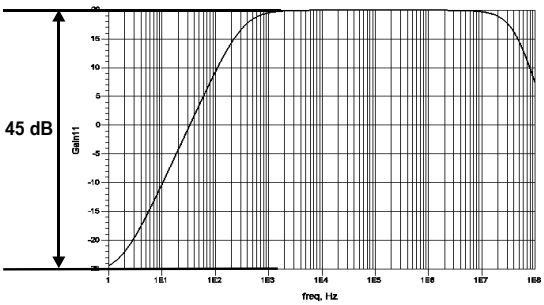
제안된 구조에서는 입력을 NMOS 트랜지스터의 게이트에 연결하게 하여 선형성을 개선하였으며, R2, R1의 저항 비율에 의해 디지털로 이득이 제어 가능하므로 이득에 따른 DC 옵셋 회로의 Cut-off 주파수 변화를 보상할 뿐만 아니라 공정상의 변화를 최소화 하였다. PGA의 이득 폭(Gain Step)은 4dB이며, 이득은 식(1)로 표현 된다.

$$A_V = \frac{V_{out} - V_{outb}}{V_{in} - V_{inb}} = 1 + \frac{R_1}{R_2} \tag{1}$$

PGA에서의 DC오프셋 신호를 감쇄하고 신호레벨을 포화시키는 요인이 되므로 그림 4와 같은 DC 오프셋 제거방법을 채용하였다. 이 방법은 PGA출력 신호(Vout, Voutb)에서 검출 한 신호를 커플링 커패시터(Cdc, Cdcb)를 통하여 DC 오프셋 신호(Vdc, Vdcb)로 전달하여, 별도의 제거 회로를 필요로 하지 않아 구현 면적을 최소화 할 수 있다. 커플링 커패시터(Cdc, Cdcb)에 의한 Cut-off 주파수는 고 대역폭(High-pass pole)의 의해 1kHz에 위치하게 하여 기저대역에서는 이득이 감소하면서 전체 대역에서는 이득을 셋팅 할 수 있게 했다. 그림 4는 PGA 의 시뮬레이션 결과를 보여



(a)



(b)

그림 4. (a) DC옵셋 제거 방법 (b) 시뮬레이션 결과
Fig. 4. (a) DC offset cancellation method
(b) Simulation Result.

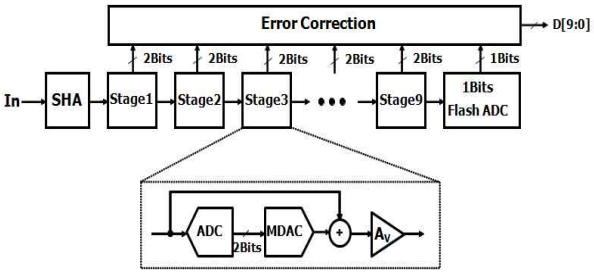


그림 5. 10bit ADC의 블록 다이어그램
Fig. 5. A block diagram of 10bit ADC.

표 1. 10bit ADC 의 성능 요약
Table 1. Performance summary of 10bit ADC.

Parameters	Specification	Remark
Power Supply	1.8V	
Resolution	10bit	
DNL	+/- 0.5 LSB	max
INL	+/- 0.5 LSB	max
SNR	54 dB	typ
SINAD	45 dB	typ
ENOB	9 bit	
SFDR	54 dB	

주며, Cut-off 주파수는 1kHz에서 DC는 -45dB 감쇄된 결과를 보여 준다.

PGA출력 신호는 Analog-digital Converter (ADC)에 입력되기 위해, PGA에서 출력된 신호를 Level Shifter 로 구성된 ADC Driver를 거치게 되어 있으며, ADC는 그림 5와 같이 Stage당 2비트를 생성하는 Pipeline구조[9]의 A/D 변환기이다.

이 변환기는 그림에서 보듯이 샘플-앤-홀드(SHA),상위 플래쉬 A/D, D/A변환기, 뺄셈기, 하위 플래쉬 A/D 변환기로 구성 된다. 본 ADC의 성능은 표 1과 같이 정리된다.

2. 송신 부(Transmitter)

송신 부는 그림 6에서 보는 것처럼 디지털 신호를 아날로그로 바꿔 주는 10bit DAC와 그 신호를 받아 수 ohm의 동선(Copper Wire)을 드라이브할 수 있는 Line Driver로 구성된다. 전력선은 저항이 수 ohm인 동선을 구동해야하기 때문에 수백 mA에서 수 A까지 Driver를 할 수 있는 BJT부품으로 구성된 회로를 사용해 왔으나, 많은 부품과 공수로 인해 단가 상승의 요인이 있으므로 본 논문에서는 10옴까지 500mA까지 구동할 수 있는 CMOS Line driver[10]를 그림 7과 같이 구현하였다.

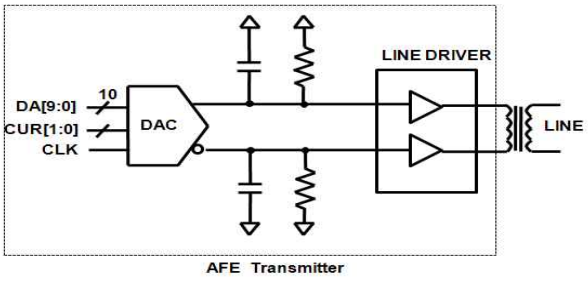


그림 6. AFE의 송신단
Fig. 6. A Transmitter part of AFE.

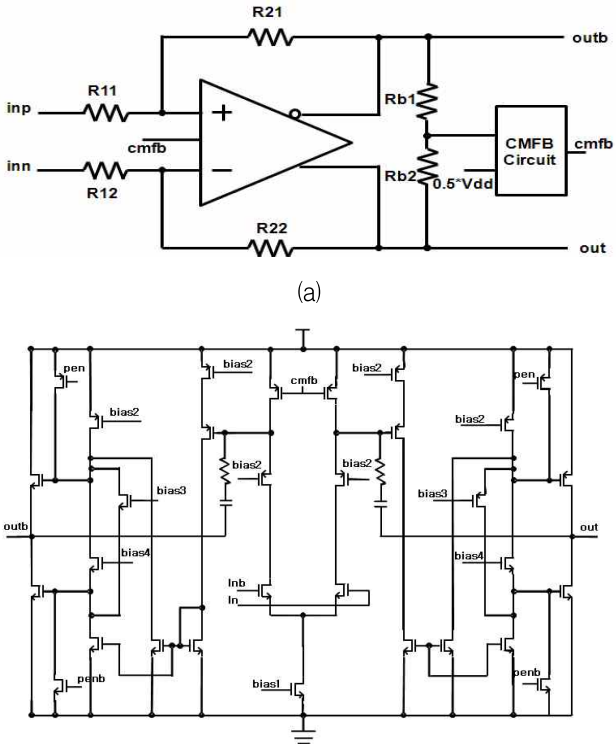


그림 7. 제안된 (a) CMFB구조 라인드라이버
(b) Amplifier Core구조
Fig. 7. Proposed (a) Line driver with CMFB
(b) Amplifier Core.

Line Driver의 출력 단은 Class AB 를 사용하여 Crossover distortion을 최소화 하였고, 저항 Divider (Rb1,Rb2)를 이용한 공통모드 피드백(CFMB)으로 DC offset 을 최소화 하였다. 그림 8은 Line driver의 주파수 응답으로 차단주파수는 15.9MHz이다.

내장된 DAC는 전류 구동형 이중 분할 형(Current-steering doubly segmented 5+5)구조로 Full scale current(I_{OFS})는 8.75mA이다. 그림 9는 INL및 DNL의 측정 결과이며, 각각 1 LSB, 1 LSB의 특성을 갖는다.

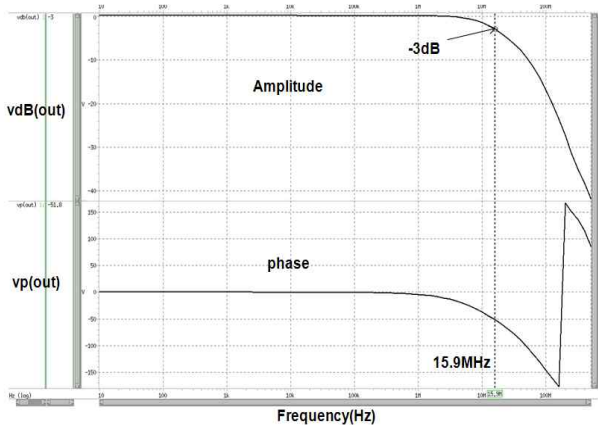
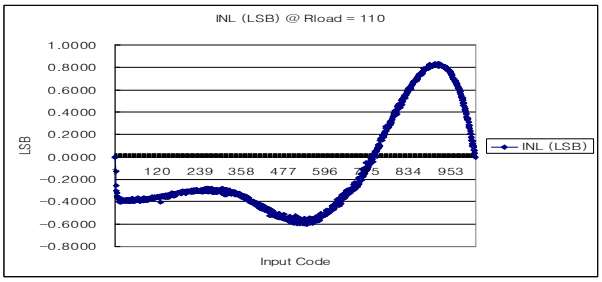
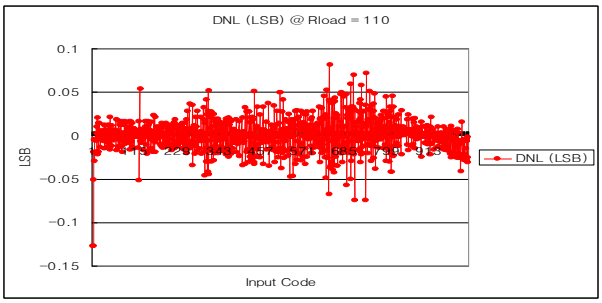


그림 8. Line driver의 주파수 응답
Fig. 8. A Frequency response of Line driver.



(a)



(b)

그림 9. DAC 특성 (a) INL (b) DNL
Fig. 9. DAC Characteristics (a) INL (b) DNL.

2. 전원 부(Power Management)

PLC SoC가 3.3 V 단일 전원으로 동작하기 위해서는 1.8 V동작 전압이 요구되는 로직 블럭, 10bit ADC, DAC 및 Crystal Oscillator에 각각 독립적인 전원 공급이 필요하다. 그림 10는 SoC 내부에 1.8 V전원을 요구하는 블럭에 대한 LDO Regulator[11]의 배치도를 보여준다. Crystal Oscillator는 3.3 V및 1.8 V의 독립된 전원으로 클럭에 노이즈를 최소화하기 위해서 설계되어서, 별도의 LDO가 할당 되었다. 10bit ADC, DAC는

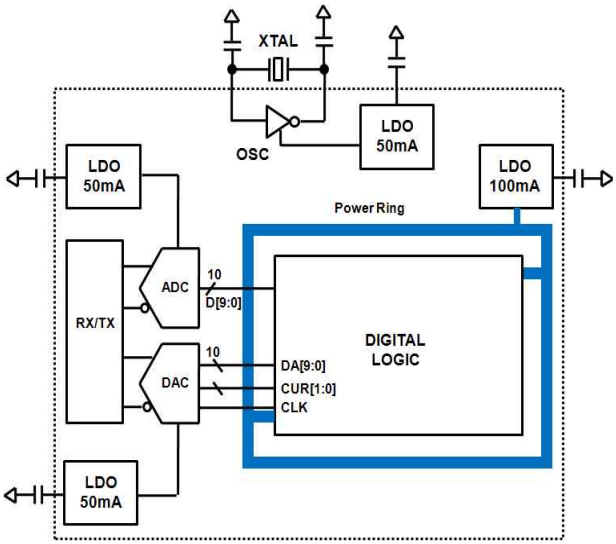


그림 10. PLC SoC에서 LDO 배치도
Fig. 10. LDO Placement Plan in PLC SoC.

표 2. LDO 특성 요약
Table 2. LDO Performance summary.

Supply Voltage		3.3V
Core Logic	Drive capability	100mA@1.8V
ADC		50mA@1.8V
DAC		50mA@1.8V
Crystal Oscillator		50mA@1.8V

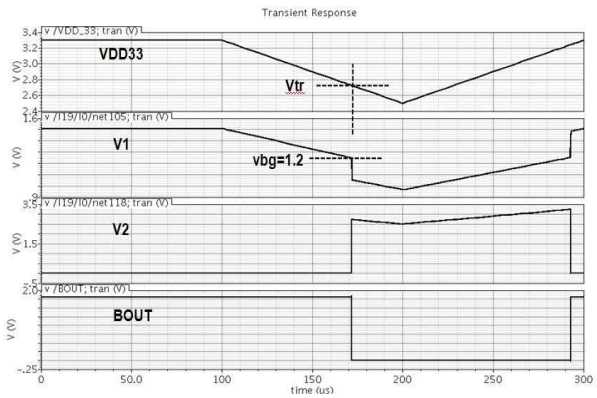


그림 11. Brown-Out Detector 동작 특성
Fig. 11. Brown-Out Detector Operation Timing.

0.18 um CMOS공정에 알맞게 설계된 최적화된 사이즈의 크기로 3.3V로 설계했을 때보다 칩 사이즈가 작고, 소비 전력이 적어 SoC에 채용하기 적합하다. 로직 블럭은 100 mA의 안정된 구동을 위해 별도로 할당하였으며, 파워라인이 길어짐에 따라 생길 수 있는 IR Drop을 최소하기 위해서 로직 블럭은 Ring Power scheme을

사용하였다. 표 2에 사용된 LDO의 구동용량을 정리하였다.

BOD (Brown-out Detector)는 Bandgap reference 전압을 기준으로 불안한 전원에 의한 SoC의 오동작을 막기 위해 2.5V이하의 전원 전압 변동을 감지하여 그 신호(BOUT)을 CPU에 전달해 준다. 그림 11은 BOD의 동작결과에 대한 시뮬레이션 결과를 보여준다.

Ⅲ. 측정 결과

본 PLC SoC ASIC은 chartered 0.18 um 1 Poly 5 Metal CMOS Process로 구현 되었으며, 전원전압은 3.3V 단일 전압을 사용하였고, AFE의 Receiver와 Transmitter 부분은 3.3V전원으로 설계 하여 출력 전력을 최대화 하는 한편 입력 동적 범위를 최대화 하였다. 1.8V 로 구동되는 로직 부문과 클럭 오실레이터, I/O Pad, ADC, DAC는 모두 3.3V-1.8V LDO regulator에 의해 구동되고 있다.

메모리는 SRAM 메모리를 집적하여 사용되었으며, 프로그램 메모리 및 PLC 통신에 사용되는 필터 계수, 제어값 등을 저장하는 특수 레지스터는 64KB 의 Flash Memory를 본 칩 위에 Stack하여 사용하였다.

전체 칩 면적은 3686 x 2633 um^2의 크기에 그림 12에서의 좌측 쪽에 AFE, 4 LDOs, 10bit ADC, 10bit DAC, Line driver 등이 효율적으로 배치되어 있다.

그림 13은 본 IC를 테스트하기 위한 보드로 테스트하기 위한 IC부분은 Socket및 IC를 모두 테스트하기 위해 다목적용으로 제작되었다. 하단 쪽의 220V인입구에서 신호가 들어와 L-C의 Pre-filter를 거쳐서 Transformer에 의해 AC신호가 분리되어 입력되게 되어 있다. 본 SoC를 테스트하기 위해, Firmware upload등을 하기 위한 RS232C Port가 상당에 위치해 있다.

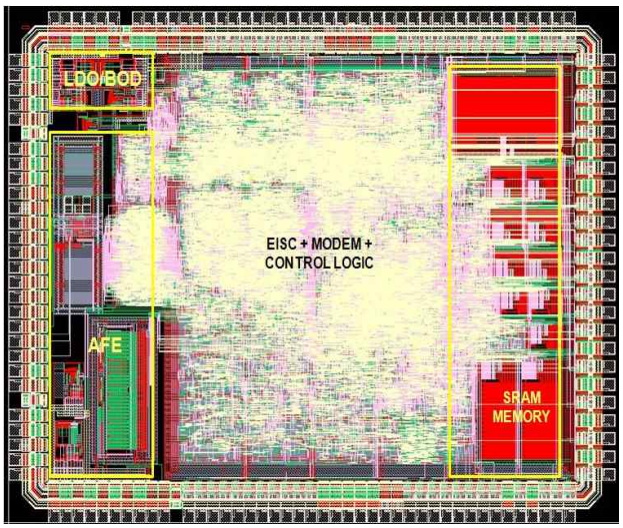


그림 12. PLC SoC ASIC의 반도체 설계도
Fig. 12. Chip Microphotograph.

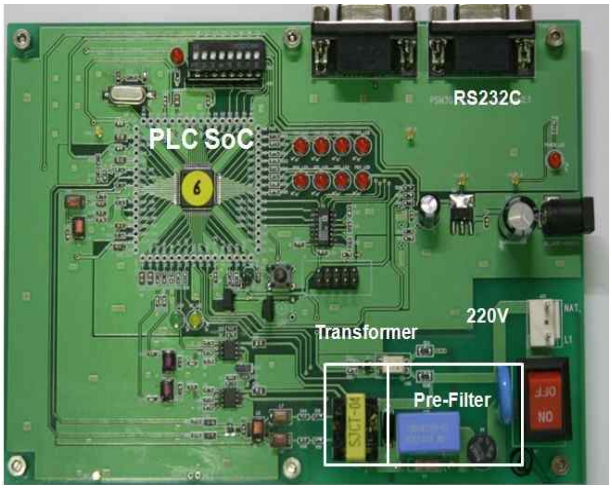
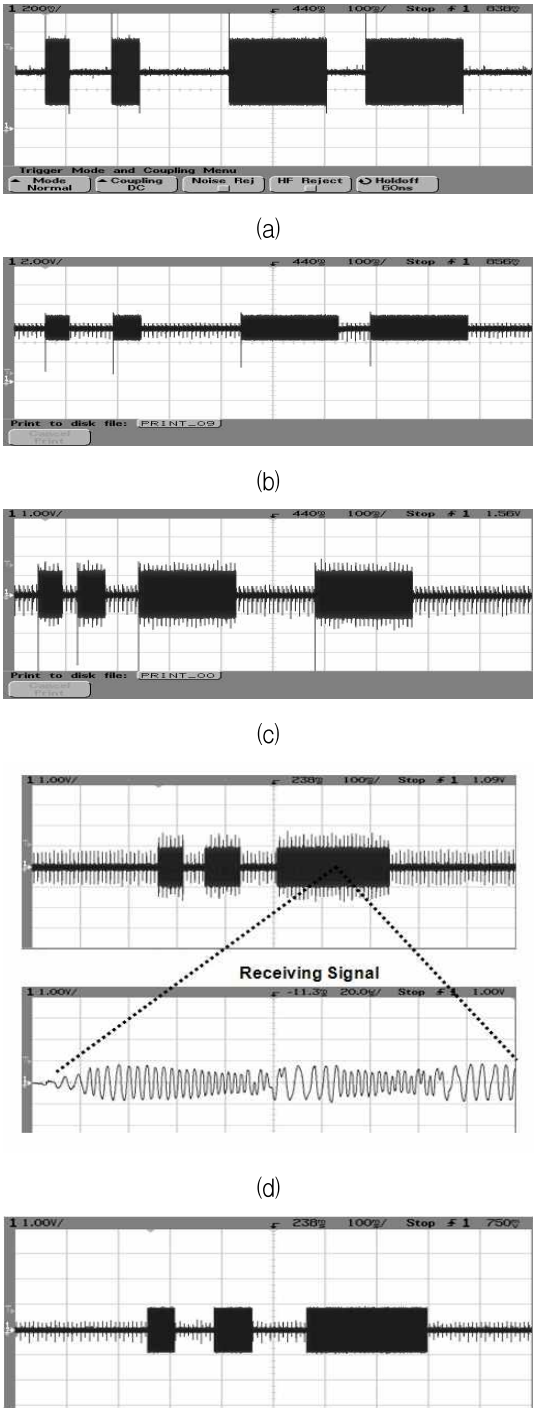


그림 13. 테스트 보드
Fig. 13. Test Board.

전력선 신호는 입출력이 같은 선에 공유하기 때문에, 입출력을 시간에 따라 나눠서 보내는 시분할 전송 방식(TDD,Time-Division Duplex)을 사용한다. 입출력 모두 전력선 신호에 차동신호를 전송하여 입력 시에는 공동성분에 의한 노이즈를 최소화 하며, 입출력 동적 범위(Dynamic Range)를 최대화 한다. 그림14는 입출력 신호를 보여 주고 있다. 패킷을 송신할 때 그림 14(a)와 같은 정위상의 Preamble를 4번 연속으로 보낸다. 이 신호가 Line driver를 거쳐 증폭 되는 신호가 그림 14(b)이며, 다시 Transformer를 거쳐 전력선 라인에 인가되는 신호가 그림 14(c)신호가 된다. 입력 신호는 출력신호와 동일한 신호로 라인 거리에 따라 감쇄된 신호와 노이즈가 포함되어 그림 14(d)와 같이 수신 된다. 수신된 신호는 L-C 수동 소자로 구성된 Pre-filter를 거쳐 노이즈 성분이 제거된 신호가 그림 14(e)와 같이 AFE에 도달하게 된다.

표 3은 본 논문의 측정 결과를 요약한 표이다. 표 4는 본 논문과 기존 연구결과와의 비교표를 보여 주고 있다.



(a)

(b)

(c)

(d)

(e)

그림 14. 전력선 전송 송수신
(a) DAC 출력단(정위상) (b) Line driver출력 신호(정위상) (c) 전력선에 인가되는 패킷신호(정위상) (d) 전력선 입력 신호 (e) Pre-filter 출력 신호

Fig. 14. PLC Transmitting/Receiving signals.
(a) DAC output (b) Line driver output
(c) Positive packet signal
(d) Incoming signal (e) Pre-filter output

표 3. 측정 결과 요약
Table 3. Measurement Result.

Supply Voltage		3.3 [V]
PLC SoC	Power Consumption @standby	< 30[mA]
AFE	PGA Gain Range	-12~20 [dB]
	Control step	4 [dB]
	Rx Resolution	10 [Bits]
	Total Rx Gain	> 60[dB]
	Total Rx Power Consumption	25[mA]
	Tx(DAC)Power Consumption	35[mA]
	Tx Resolution	10[Bits]
	Line Driving Impedance	10 [Ω]
	Driving Current	500 [mA]
LDOs	Total static power	<100 [uA]
	Drive capability	50~100[mA]

표 4. 기존 연구결과와의 성능 비교
Table 4. Performance comparison with prior works.

	참고문헌 [12]	참고문헌 [13]	본 논문
통신대역	FCC/ARIB/ CENELEC	2~23MHz	95~148.5kHz
속 도	1.25~7.5Kbps	24Mbps	1.2~7.2Kbps
AFE	일부부품 외장	Only AFE XPLC23[14]과 연동 필요	전 부품 내장
동작전압	3.3V(1.8V Regulator 내장)	3.3V	3.3V(1.8V Regulator 내장)
메모리	EEPROM 외장	N.A	64K Flash 내장
공급전류	100mA max	N.A	~100mA <30mA 대기시
공 정	0.18um CMOS	0.35um CMOS	0.18um CMOS

Ⅳ. 결 론

본 논문에서는 중저속 PLC통신에 적합한 SoC ASIC에 CMOS AFE를 채용함으로서 입 출력신호를 위한 Amplifier, Comparator, DAC등 외부 부품으로 인한 비용 절감의 효과를 얻을 수 있을 뿐만 아니라, 단일 전원으로 구동하기 위한 LDO를 내장함으로서 SoC의 전원 구동의 효율성을 높여 저 전력 PLC SoC의 구현이 가능하게 되었다. 특히 대기 모드에서의 0.1 W 이하 저 전력 솔류선은 기존 Discrete부품에 약 50%의 대기전력을 줄여 최근 가전 및 사무제품에 요구하는 에코 디자인 요구사항[15]에 충족할 수 있게 하였다.

본 ASIC은 0.18um 1 Poly 5 Metal CMOS Process로 구현되었다.

참 고 문 헌

[1] F.-N. Pavlidou, A.J. Han Vinck, J. Yazdni, B. Honary: “Power Line Communications: State of the Art and Future Trends”, IEEE Communications Magazine, pp.34—40, April 2003.
[2] J.Bausch, T.Kistner, M. Babic, and K.Doster, “Characteristics of Indoor Power line channels in the frequency Range 50-500kHz”,IEEE Proc. Power Line communications and Its Applications, pp.86-91 Oct. 2006.
[3] H.Farrokhi and R.J.Palmer, “The Designing of an Indoor Acoustic Ranging System Using the audible Spread Spectrum LFM(CHIRP) Signal”, Canadian Conf. of Electrical and Computer Engineering, pp.2131-2134,May 2005.
[4] http://www.planetsys.co.kr
[5] http://www.ds2.es/products/chipset.aspx
[6] Y Kim, S.W Lee, S.S Choi, M.Y Oh, H.S Park, “Requirement of analog front end ASIC for power line communication modem of Korean Industrial standards”, ITC-CSS 2008, p1417-1420.
[7] ADCHIPS 32bit EISC Datasheet
[8] 부영건, 김진경, 정지훈, 고동현, 이강윤, “PLC 시스템을 위한 CMOS Analog Front-End설계”, 추계학술대회 2008.
[9] Behazad Razavi, “Principles of Data conversion system design”, IEEE Press, 140-143
[10] Behazad Razavi, “Design of Analog CMOS Integrated Circuits”, McGraw-Hill International Edition, 291
[11] Chester simpson, “Linear and Switching Voltage Regulator Fundamentals”, National semiconductor
[12] IT800D datasheet available at http://www.yitran.com
[13] Youngsun Kim,SoonWoo Lee, et al, “Design of Analog Front End for Power-line communication of Korean standard”, IEEE Trans on power delivery, vol.23 No 4. Oct 2008.
[14] http://www.xeline.com
[15] The Energy using Products(EuP) Directive, Version 3 May 2008.

저 자 소 개

남 철(정회원)
2001년 서울대학교 전기공학부 석사 졸업.
2004년~현재 (주)실리콘하모니 수석 연구원.
2007년~현재 건국대학교 전자정보통신공학과 박사과정.
<주관심분야 : RF / 아날로그 집적회로 설계

박 준 성(학생회원)
2008년 건국대학교 전자공학과 학사 졸업.
2008년~현재 건국대학교 전자정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>

이 강 윤(정회원)
2003년 서울대학교 전기공학부 박사 졸업.
2000년~2005년 (주)지씨티리써치 책임 연구원.
2005년~현재 건국대학교 전자공학부 조교수.
<주관심분야 : RF · 아날로그 집적회로설계, 아날로그/디지털 Mixed Mode 설계>

부 영 건(학생회원)
2008년 건국대학교 전자정보통신공학과 석사 졸업.
2008년~현재 건국대학교 전자정보통신공학과 박사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>

허 정(정회원)
1983년 서울대학교 전자공학과 석사 졸업.
1991년 서울대학교 전자공학과 박사 졸업.
1991년~현재 건국대학교 전자공학부 교수.
<주관심분야 : 안테나, RF 및 Microwave 회로>