

논문 2009-46SD-10-2

고속 ATC 기능을 갖는 버스트-모드 제한 증폭기

(A Burst-Mode Limiting Amplifier with fast ATC Function)

기 현 철*

(Hyeon Cheol Ki)

요약

본 논문에서는 고속 ATC(Automatic Threshold Control) 회로 구조를 고안하고 이를 이용하여 고속 ATC 기능을 갖는 버스트 모드 제한증폭기를 설계하였고, 0.8 μ m SiGe BiCMOS 상용 파운드리 기술을 이용하여 제작하였다.

제작된 버스트 모드 제한증폭기는 PRBS=2⁷-1에서 무에러(error free)의 아이를 보였고, 160ps이내의 지터 특성과 95ps이내의 상승/하강시간을 보였다.

ATC특성 측정결과 버스트 데이터의 신호의 초기부터 안정되게 파형을 잘 잡아낼 정도로 빠른 ATC동작이 이루어지고 있어 고안한 ATC회로의 고속특성을 확인할 수 있었다. 그러나 버스트 초기에서 듀티사이클 왜곡이 발생했고, 입력 신호의 크기가 커짐에 따라 듀티사이클이 59%까지 증가하는 특성을 보였다. 그러나 10 사이클이 지난 후에는 모든 입력 신호의 크기에 대해 듀티사이클이 52% 이내로 안정화되고 있음을 확인하였다

Abstract

In this paper, we invented a new structure of fast ATC(Automatic Threshold Control) circuit. Using the structure we made a new burst-mode limiting amplifier with fast ATC function using commercial 0.8 μ m BiCMOS technology.

It's ATC function worked so fast that even the first bit of burst-data could be detected, which confirmed that the new structure was useful for fast ATC. However, in the beginning of a burst, distortions in duty-cycle occurred and increased up to 59% of duty-cycle as amplitude of input signal increased. But we confirmed that after 10 cycles passed, duty-cycles was staying below 52% of duty-cycle for any magnitude of input signal.

Keywords : ATC, optical, limiting, amplifier, PON, burst-mode

I. 서 론

광섬유를 이용한 고속 접속망(access network)인 FTTH(Fiber-To-The-Home)는 양방향(interactive) 비디오, 음성, 영상, 음악 및 고속 인터넷과 같은 다중 미디어 서비스를 가능하게 하는 접속망의 한 해법으로서 수많은 가입자에 대한 분배(distributive)와 양방향 통신이 혼합된 서비스를 제공할 수 있어야 한다. PON(Passive Optical Network)은 이를 효과적으로 구현하기에 매우

적합한 기술이다^[1-6].

PON은 수동 광 분배기에 의한 다중접속(multiple access) 기능에 의해 OLT(Optical Line Terminal)로부터 다수의 ONU(Optical Network Unit)가 다운링크(downlink) 하거나 다수의 ONU가 OLT로 업링크(uplink)하는 것을 가능하게 하여준다. 업링크 시 동일 광섬유 선을 시분할 다중(time division multiplexing) 방식으로 공유하여 사용하므로 각 ONU는 자신에게 할당된 송신구간에서 버스트-모드(burst-mode)로 데이터를 송신해야 하고 OLT는 버스트-모드 데이터를 수신해야 한다.

GEPON(Gigabit Ethernet Passive Optical Network)의 경우 각 가입자에 해당하는 ONU는 OLT로부터 다양한 거리에 위치하므로 OLT에서 수신하는 버스트-모드

* 정회원, 경원대학교 전자공학과
(Dept. of Electronic Engineering Kyungwon University)

※ 본 연구는 2009학년도 경원대학교 지원에 의한 것임.

접수일자: 2009년5월12일, 수정완료일: 2009년10월5일

데이터는 각 ONU와의 거리에 따라 신호의 강도가 천차만별이 된다. 따라서 OLT내의 수신기는 연속되는 각 버스트사이에 극단적인 신호레벨의 차가 발생하는 경우에도 안정되게 수신할 수 있어야한다. 수신기 내에서 이러한 역할을 담당하는 것이 제한증폭기(limiting amplifier)이며 특히, 제한증폭기에 부가된 ATC(Automatic Threshold Control)회로의 성능이 중요하다^[7~9].

본 논문에서는 고속 ATC 기능을 갖는 제한증폭기의 구조를 제안하고 이를 이용한 1.25Gb/s GEAPON용 제한증폭기를 설계하였다. 또한, 0.8μm SiGe BiCMOS 상용 파운드리 기술을 이용하여 제작하였고 이를 그 측정 결과와 더불어 기술하고자 한다.

II. 버스트-모드 제한 증폭기

(버스트-모드) 광수신기는 광섬유를 통해 전달된 광펄스를 깨끗한 전기적 디지털 신호로 변환하는 역할을 한다. 광신호는 광검출기와 전달임피던스 증폭기를 통해 전기적 신호로 변환된다. 그러나 이 신호는 그 크기에 있어서 광신호와 마찬가지로 각 버스트에 따라 극심한 변화를 보이므로 논리적 1과 0을 구분하기가 쉽지 않다.

제한증폭기(limiting amplifier)는 이러한 신호를 디지털 논리 게이트가 논리적 1과 0을 구분하기 쉽도록 변환하여주는 역할을 한다. 그림 1은 설계된 버스트-모드 제한증폭기의 블록도를 보여 주고 있다. 전체 구성은 제한증폭기, ATC(Automatic Threshold Control) 및 LOS(Loss Of Signal)의 3블록으로 구성되었다. 전달임피던스 증폭기(Trans-Impedance Amplifier: TIA)의 출력은 제한증폭기와 ATC회로의 입력에 동시에 인가된다.

ATC회로에서는 전달임피던스 증폭기 출력신호의 중간 레벨을 생성하여 제한증폭기가 신호의 'low'와 'high'

를 판정할 수 있는 기준전압 레벨을 제공한다. 제한증폭기는 이 판정을 근거로 논리 게이트가 논리적 1과 0을 구분할 수 있는 신호를 생성한다.

LOS블록은 리미팅 증폭기 출력 신호를 검사하여 신호의 유무를 판정하고 일정 시간이상 신호가 없는 기간이 지속되면 시스템에 이상이 발생했음을 알려주는 LOS(Loss Of Signal)신호를 발생시킨다. 여기서 시스템 이상을 판단하는 시간은 칩 외부에 연결하는 외부 용량의 크기로서 시스템 설계자가 자유롭게 설정할 수 있도록 하였다.

1. ATC 회로

그림 2는 ATC(Automatic Threshold Control) 회로블록의 내부를 보여주고 있다. ATC회로는 신호의 크기가 급격하게 변화하는 TIA의 버스트 출력 신호의 중간 레벨을 자동적으로 추적하는 기능을 하는 회로로서 입력되는 신호의 천정 레벨(top level)과 바닥 레벨(bottom level)을 천정 검출기(top detector)와 바닥 검출기(bottom detector)로 각각 검출하고 그림 2의 우측에 있는 전압 분배회로를 통해서 신호의 중간 레벨을 생성하여 기준 레벨(VREF) 값으로 출력하여 준다.

그림 3은 기존의 천정 검출기와 바닥 검출기의 구조를 보여준다. 천정 검출기와 바닥 검출기는 검출된 전압 레벨로 각각의 레벨 홀드 용량기(C_p)를 충전시켜 안정한 전압레벨로 출력한다. 레벨홀드 용량기의 크기가 고정되었을 때 레벨홀드 용량기를 일정 전압까지 충전시키는데 소요되는 시간은 유입되는 전류량에 의해 결정된다. 전류는 출력버퍼 트랜지스터의 이미터 단자를 통해 유입되며 유입되는 전류량은 입력신호를 v_i, 용량기 C_p의 전압을 V_p라고 할 때 다음과 같이 표현된다.

$$i_p = (1 + \beta)Z_m(v_I - V_p) \approx \beta Z_m(v_I - V_p) = i_c \quad (1)$$

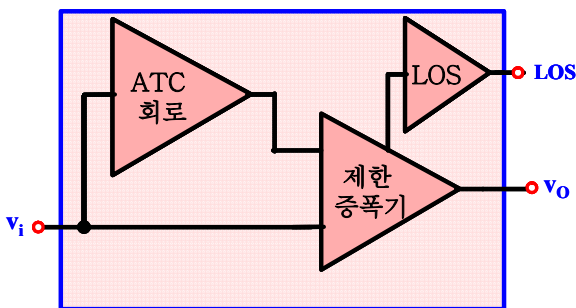


그림 1. 버스트-모드 제한증폭기의 블록도
Fig. 1. Block diagram of burst-mode limiting amplifier.

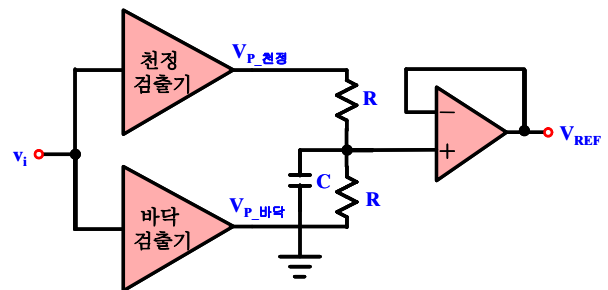


그림 2. ATC 블록의 내부 회로도
Fig. 2. Inner circuits of ATC block.

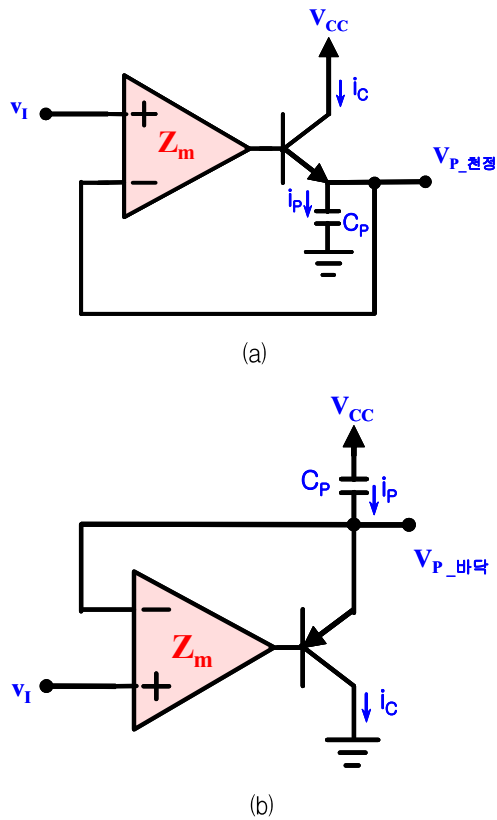


그림 3. 기존의 천정 검출기와 바닥 검출기의 구조
 (a)천정 검출기 구조 (b)바닥 검출기 구조
 Fig. 3. Structures of conventional top detectors and bottom detectors
 (a) Structure of top detectors
 (b) Structure of bottom detectors

여기서, β 는 트랜지스터의 전류이득이고, Z_m 은 차동 증폭기의 전달임피던스이다.

결과적으로, 유입되는 전류량은 출력버퍼 트랜지스터의 콜렉터전류(i_c)와 같고, 이에 의해 레벨 홀드 용량기의 충전시간이 결정된다.

한편, 레벨 홀드 용량기(C_p)는 버스트와 버스트사이에서 리셋(reset)시켜 방전시켜주므로 버스트 신호가 들어 오기 시작할 때 $V_P=0V$ 인 상태가 된다. 이 경우 $(v_I - V_P) = v_I$ 가 되므로 v_I 의 직류(DC) 성분이 함께 증폭된다. v_I 의 직류 성분은 1V 내외로서 차동증폭기의 이득(Z_m)을 포화시켜버리므로 충전 초기에 출력버퍼 트랜지스터의 콜렉터전류는 v_I 의 신호크기와 상관없이 거의 일정한 값을 유지하게 된다. 따라서 버스트 초기 구간에서 레벨 홀드 용량기로 유입되는 전류는 v_I 의 신호 크기와 상관없이 거의 일정한 값을 유지하게 되고 유입 전류의 크기는 출력버퍼 트랜지스터의 크기 즉, β 에 의

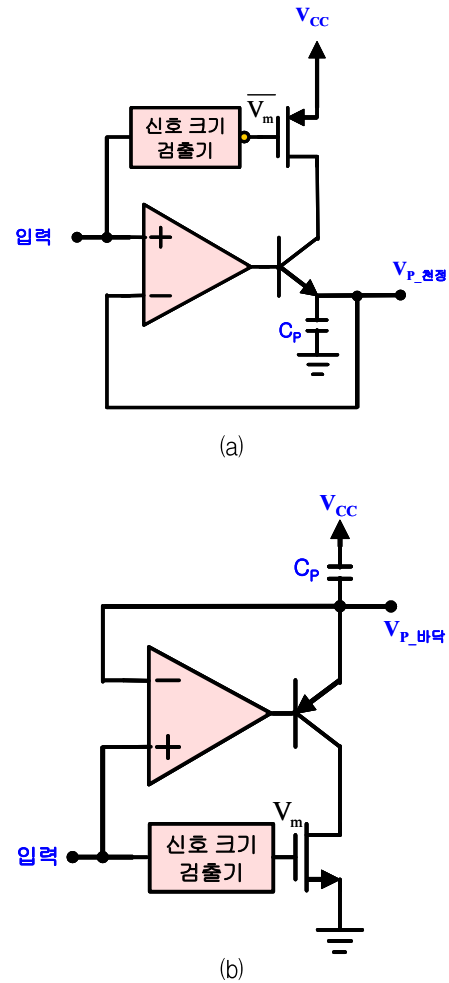


그림 4. 제안된 천정 검출기와 바닥 검출기의 구조
 (a)제안된 천정 검출기 구조 (b)제안된 바닥 검출기 구조
 Fig. 4. Structures of the proposed top detector and the bottom detector.
 (a) Structure of the proposed top detector
 (b) Structure of the proposed bottom detector

해서 좌우된다.

따라서 레벨 홀드 용량기와 출력버퍼 트랜지스터의 크기가 설정된 상태에서 레벨 홀드 용량기의 충전시간은 버스트 신호의 크기에 비례하게 된다. 레벨 홀드 용량기의 충전시간은 ATC회로가 신호의 기준레벨을 추적하는데 소요되는 시간이 되므로 짧을수록 좋으며, 신호의 크기가 커짐에 따라 ATC회로의 기준레벨 추적시간이 길어진다. 따라서 추적시간을 줄이기 위해서는 출력버퍼 트랜지스터를 크게 설계하여 레벨 홀드 용량기에 공급되는 전류량을 증가시켜 줘야 한다. 그러나 큰 량의 전류가 레벨 홀드 용량기에 공급될 경우 과충전에 의한 오차를 야기 시키며 이는 신호의 크기가 작은 버스트에

서 ATC회로가 기준 레벨 추적에 실패하게 하는 원인을 제공하게 된다.

이러한 문제를 해결하기위해 본 연구에서는 그림 4에 보인 구조의 천정 검출기와 바닥 검출기를 제안하였다.

그림 4(a)는 제안된 천정 검출기로서 출력버퍼 트랜지스터의 콜렉터 단자에 p채널 MOSFET을 직렬로 연결하여 콜렉터 전류를 조절할 수 있도록 하였다. 신호크기 검출기 블록은 입력신호의 상대적 크기를 검출하여 그 값을 p채널 MOSFET의 게이트 단자에 넘겨줌으로써 출력버퍼 트랜지스터의 콜렉터 전류를 제어하고 있다. 바닥 검출기의 경우도 같은 원리로 작동한다.

그림 5는 신호의 상대적 크기를 검출하기위해 사용된 회로를 보여준다. 입력 신호는 이미터 팔로워를 거쳐 R_1 과 C_1 에 의해 평균치가 구해지고, 이것이 차동 증폭기의 한쪽 입력단자에 인가된다. 반대편 입력단자에는 V_{adj} 에 의해 설정된 비교기준 전압이 인가되어 입력 신호의 상대적 크기가 차동증폭기의 출력으로 검출되도록 하였다. 차동증폭기의 반전과 비반전 출력단자에서 $\overline{V_m}$ 과 V_m 을 선택적으로 출력할 수 있도록 하였다.

그림 4(a)의 천정 검출기의 경우 반전 단자에서 $\overline{V_m}$ 을 따내어 p채널 MOSFET의 게이트 단자에 인가함으로써, 입력신호의 크기에 비례하여 출력버퍼 트랜지스터의 콜렉터 전류가 증가하도록 하였다. 따라서 그림 4(a)의 제안된 천정 검출기는 입력신호가 클 경우 출력버퍼 트랜지스터의 콜렉터 전류를 크게 하여 ATC회로가 단

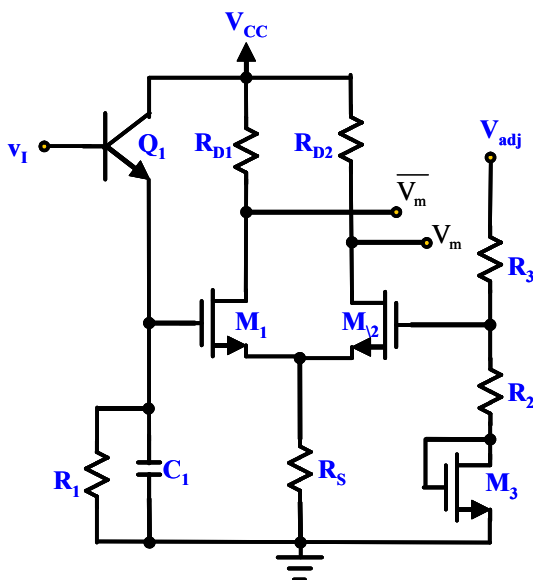


그림 5. 신호크기 검출기
Fig. 5. Signal amplitude detector.

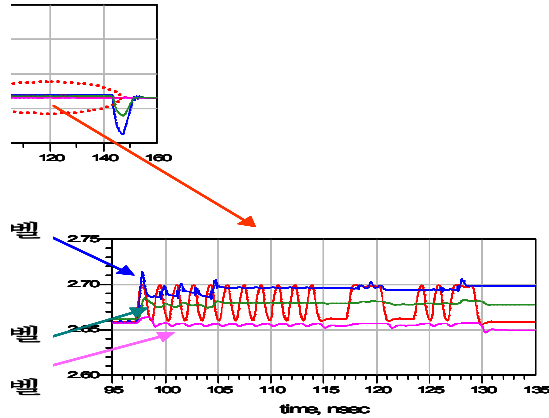


그림 6. 모사에 의한 ATC회로의 동작
Fig. 6. Functions of ATC circuit with simulation

시간 내에 기준레벨을 추적할 수 있도록 하고, 입력신호가 작을 경우 출력버퍼 트랜지스터의 콜렉터 전류를 작게 함으로써 ATC회로가 과 충전에 의한 오차 없이 정확히 기준레벨을 추적할 수 있도록 해준다.

그림 4(b)의 바닥 검출기의 경우 비반전 단자에서 V_m 을 따내어 n채널 MOSFET의 게이트 단자에 인가함으로써 입력신호의 크기에 비례하여 출력버퍼 트랜지스터의 콜렉터 전류가 증가하도록 하고 있다.

그림 6은 모사에 의한 ATC회로의 동작을 보여주고 있다. 버스트 입력 신호는 최소 5 mV_{P-P}, 최고 750 mV_{P-P}로 두 가지 극단적인 크기의 버스트가 연속적으로 나타나는 최악의 경우를 설정하여 시뮬레이션 하였다. 그림 6의 중앙위 측에 위치한 그림은 버스트 입력 신호의 모양과 버스트 신호의 천정레벨을 추적하는 천정레벨 검출기의 출력 파형과 바닥레벨을 추적하는 바닥레벨 검출기의 출력 파형 모양을 보여주고 있다. 천정과 바닥 레벨의 중간에 위치한 레벨이 최종 ATC 회로의 출력인 기준 레벨이다. 그림 6의 좌하 측에 위치한 그림은 큰 버스트 신호가 인가되었을 때의 특성을 확대하여 보여주고 있고, 우하 측에 위치한 그림은 작은 버스트 신호가 인가되었을 때의 특성을 확대하여 보여주고 있다. 두 극단적인 크기의 버스트 입력에 대해 ATC회로는 천정레벨과 바닥레벨을 잘 추적하고 있으며 신호의 중간레벨을 비교적 정확히 검출하여 기준레벨 전압을 생성하고 있음을 볼 수 있다.

2. 제한 증폭 회로 블록

그림 7은 본 연구에서 설계 및 제작한 제한 증폭기의

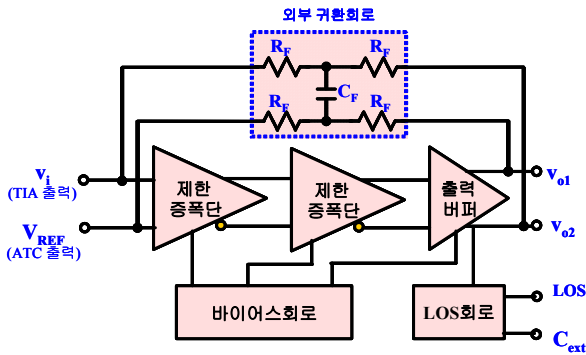


그림 7. 제한 증폭기의 블록도
Fig. 7. Block diagram of the limiting amplifier.

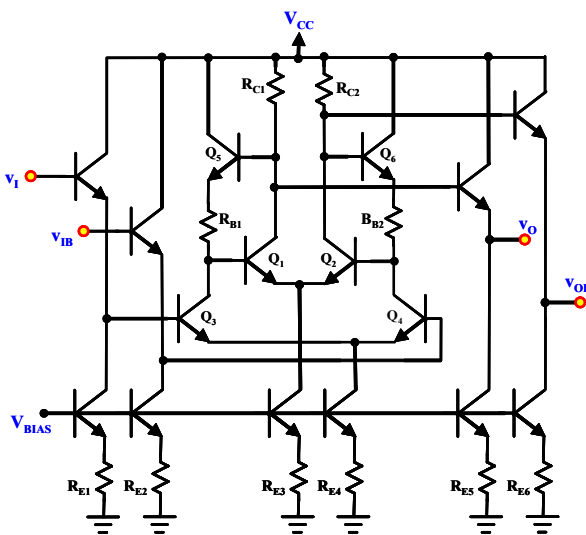


그림 8. 제한증폭단 회로도
Fig. 8. Circuits of a limiting amplifier stage.

블록도를 보여준다. 제한 증폭기는 제한 증폭회로, 출력 버퍼, 바이어스회로 및 LOS(Loss Of Signal)회로로 구성되었다. 제한 증폭회로에는 두 단의 증폭단을 두어 40dB 이상의 이득을 확보할 수 있도록 하였다.

제한 증폭기의 출력은 칩 외부에서 연결되는 외부 귀환회로를 통해 입력으로 귀환 되도록 함으로써 오프셋 전압이 자동조절 되도록 하였다.

LOS회로는 리미팅 증폭기 출력 신호를 검사하여 신호의 유무를 판정하고 일정 시간 이상 신호없는 상태가 지속되면 시스템에 이상이 발생했음을 알려주는 신호인 LOS(Loss Of Signal)신호를 발생시킨다. 여기서 시스템 이상을 판단하는 시간은 칩 외부에 연결하는 외부 용량기(Cext)의 크기로써 시스템 설계자가 자유롭게 설정할 수 있도록 하였다.

그림 8은 제한증폭단 내부의 회로를 보여주고 있다. 차동 입력 단자로 인가된 신호는 레벨 변환 겸 버퍼 역

할을 하는 이미터 팔로워 (emitter follower)단을 거치도록 되어 있으며, 레벨 변환된 입력 신호는 두 쌍의 차동 증폭회로의 결합으로 이루어진 리미팅 증폭단의 입력 단자에 인가된다. 리미팅 증폭단은 두 쌍의 차동 증폭단이 부귀환을 이루는 구조로 되어있어 제한증폭 기능과 아울러 부귀환에 의한 주파수 대역 확장이 이루어져서 고속 동작의 특성을 갖도록 하였다.

III. 버스트-모드 제한 증폭기의 측정

설계된 ATC기능을 갖는 버스트-모드 제한 증폭기는 0.8μm BiCMOS 상용 파운드리를 이용하여 제작하였으 온-웨이퍼 측정과 패키지 후 측정을 통해 특성을 검증 하였다.

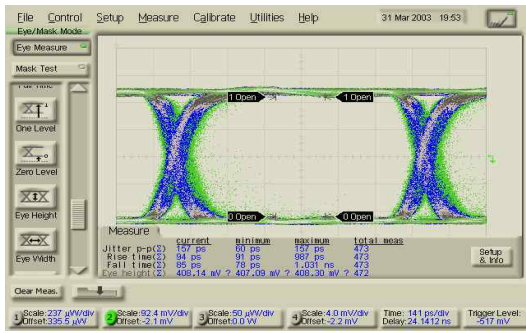
1. 아이패턴 측정

제작된 버스트-모드 제한증폭기에 1.25Gbps 데이터 율(data rate)로 PRBS(Pseudo Random Binary Sequence)=2⁷-1의 랜덤입력을 인가하여 아이패턴(eye pattern)을 측정하였다. 그림 9는 측정결과 얻어진 아이 패턴을 보여주고 있다.

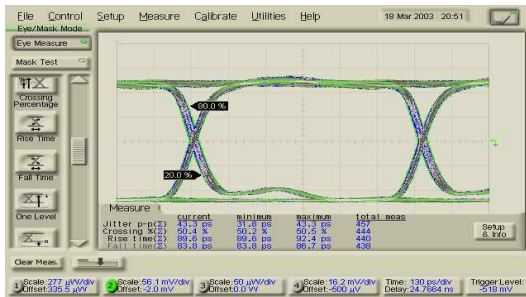
그림 9(a)는 14mV_{p-p}의 입력신호를 인가하고 측정한 것으로 무에러(error free)의 아이 패턴을 보여 주고 있다. 또한, 157ps의 지터 특성을 보여주고 있으며, 상승시간과 하강시간은 각각 94ps 및 85ps로서 1.25Gbps로 동작하기에 만족한 특성을 보여주고 있다. TIA이득을 67dB, PD(Photo Detector) 변환효율을 0.85라고 가정할 때에 무에러(error free)로 동작할 수 있는 최소 입력광의 세기는 -27dBm이 되어 1.25Gb/s GEPON시스템 요구를 만족한다.

그림 9(b)는 125mV_{p-p}의 입력신호를 인가하고 측정한 것으로 역시 무에러(error free)의 아이 패턴을 보여 주고 있으며 43ps의 지터와 특성을 보여주고 있으며, 90ps 및 84ps의 상승시간 및 하강시간을 보여준다. 입력 신호의 크기가 증가함에 따라 지터특성이 향상되고 있음을 볼 수 있다.

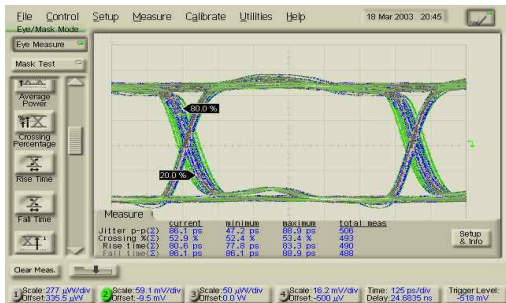
그림 9(c)는 1700mV_{p-p}의 입력신호를 인가하고 측정 한 것으로 역시 무에러(error free)의 아이 패턴을 보여 주고 있으며 85ps의 지터와 90ps 및 84ps의 상승시간 및 하강시간을 보여준다. 입력신호의 크기가 지나치게 커질 경우 지터특성을 저하시킴을 볼 수 있었다.



(a) 지터:157ps, 상승/하강시간:94/85ps



(b) 지터:43ps, 상승/하강시간:90/84ps



(c) 지터:86ps, 상승/하강시간:81/86ps

그림 9. 제작된 버스트-모드 제한증폭기의 아이패턴
(a) 입력신호:14mV_{p-p} (b) 입력신호:125mV_{p-p}
(c) 입력신호:1700mV_{p-p}

Fig. 9. Eye-patterns of the fabricated burst-mode limiting amplifier.
(a) Input signal:14mV_{p-p} (b) Input signal:125mV_{p-p} (c) Input signal:1700mV_{p-p}

2. ATC 동작 측정

버스트-모드 제한증폭기의 ATC특성을 분석하기 위해 프리앰블(preamble)에 해당하는 듀티사이클(Duty cycle) 50%의 토클신호를 1.25Gbps로 인가한 후 출력 파형을 측정하였다.

그림 10은 900mV_{p-p}의 입력신호를 인가했을 때의 출력 파형을 보여주고 있다. 버스트 신호의 초기부터 출력

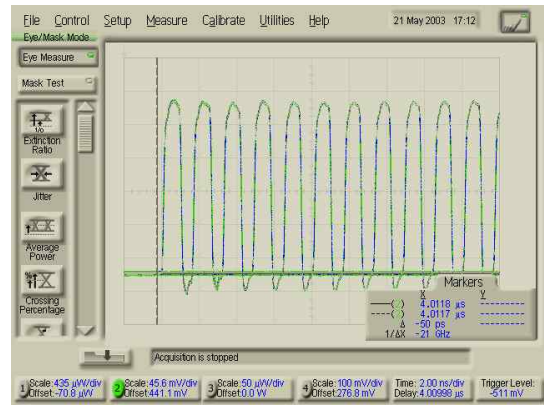


그림 10. 제작된 버스트-모드 제한증폭기의 ATC특성
Fig. 10. ATC characteristics of the fabricated burst-mode limiting amplifier.

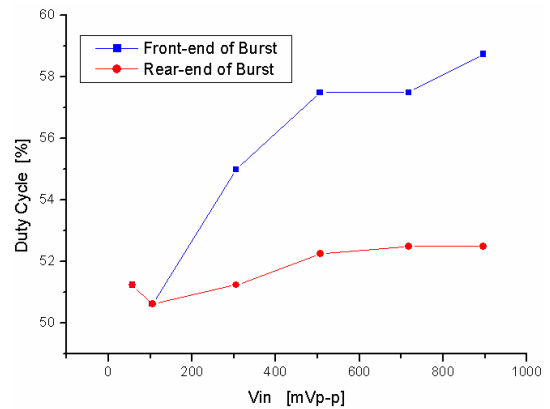


그림 11. 듀티사이클의 과도 특성
Fig. 11. Transient characteristics of the duty cycle.

파형을 잘 잡아내고 있어 과도상태를 보기 어려울 정도로 ATC동작이 빠르게 이루어지고 있음을 볼 수 있다. 또한, 입력신호의 크기가 작을 때에도 고속 ATC동작이 여전히 이루어지고 있었으며 이는 제안한 ATC회로의 고속특성을 입증하는 것으로 판단된다.

한편, 그림 10의 출력파형을 자세히 보면 버스트가 시작되는 지점에서의 듀티사이클은 59%로서 다소 왜곡되어 있고 10사이클이 지난 후에는 52%로 회복되고 있어 듀티사이클에 있어 과도 상태가 존재함을 알 수 있다. 이를 확인하기 위해 입력신호 크기를 변화시켜 가면서 듀티사이클을 측정하였고 그 결과를 그림 11에 보였다.

버스트 초기에서의 듀티사이클 왜곡은 입력 신호의 크기가 커짐에 따라 증가하는 특성을 보였다. 그러나 10 사이클이 지난 후에는 모든 경우에서 52% 이내로 안정화되고 있음을 확인하였다.

IV. 결 론

본 논문에서는 고속 ATC 기능을 갖는 버스트 모드 제한증폭기를 설계하였고, 0.8 μ m SiGe BiCMOS 상용 파운드리 기술을 이용하여 제작하였다.

측정결과 제작된 버스트 모드 제한증폭기는 1.25Gb/s 에서 정상적인 동작을 하였다. 아이 패턴 측정결과 PRBS=2⁷-1에서 무에리(error free)의 아이를 보였고, 160ps이내의 지터 특성과 95ps이내의 상승/하강시간을 보였다.

ATC특성 측정결과 과도상태를 보기 어려울 정도로 빠른 ATC동작이 이루어지고 있어 제안한 ATC회로의 고속특성을 확인할 수 있었다. 그러나 자세히 살펴보면 때, 버스트 초기에서의 듀티사이클 왜곡의 과도현상이 발생하고 있었으며, 입력 신호의 크기가 커짐에 따라 듀티사이클이 59%까지 증가하는 특성을 보였다. 그러나 10 사이클이 지난 후에는 모든 경우에서 듀티사이클이 52% 이내로 안정화되고 있음을 확인하였다

참 고 문 헌

[1] Q. Le, S. Lee, Y. Oh, H. Kang, and T. Yoo, "Burst-Mode Receiver for 1.25Gb/s Ethernet PON With AGC and Internally Created Reset Signal", IEEE Journal of Solid-State Circuits, Vo394, No.12, December pp.2379-2388, 2004

[2] M. Nakamura, Y. Umeda, J. Endo, and Y. Akatsu, "1.25Gb/s Burst-Mode Receiver ICs with Quick Response for Passive Optical Network Systems", NTT Technical Review, Vol.4, No.10, October pp.16-22, 2006.

[3] N. Ishihara, M. Nakamura, Y. Akazawa, N. Uchida, and Y. Akahori, "3.3V, 50Mbs CMOS Transceiver for Optical Burst-Mode Communication", IEEE International Solid-State Circuits Conference, pp.244-246, 1997.

[4] 기현철, "디지털 제어방식의 APC기능을 갖는 1.25Gb/s 버스트-모드 광 송신기", 대한전자공학회 논문지, 44권SD편 제12호, pp.1070-1075, 2007.

[5] 기현철, "고속 버스트 모드 광 송신기에 적합한 자동 전력 제어 회로", 대한전자공학회논문지, 43권 SD편 제11호, pp.98-104, 2006.

[6] 기현철, "마크릴도 변화에 강한 버스트 모드 자동 전력제어 회로", 대한전자공학회논문지, 제41권 SD 편4호, pp.355-362, 2004.

[7] J.Bauwelink, D. Vehulst, P. Ossieur, X. Z. Qiu, J.

Vandewege, and B. De Vos, "DC-coupled Burst-Mode Transmitter for 1.25 Gbit/s Upstream PON", Electronics Letters, Vol.40, No.8, 25th, April, 2004.

[8] D.D. Chen, K.S. Yeo, M.A. Do and C.C. Boon, "Fully Integrated CMOS Limiting Amplifier with Offset Compensation Network", Electronics Letters, Vol. 43, No. 20, 27th, September, 2007.

[9] M. Nakamura^{*}, Y. Umeda, J. Endo, and Y. Akatsu, "1.25-Gbit/s Burst-Mode Receiver ICs with Quick Response for Passive Optical Network Systems", NTT Technical Review, Vol. 4 No. 10 October. pp.16-22, 2006.

저 자 소 개



기 현 철(정회원)

1984년 2월 한양대학교
전자공학과 졸업.(공학사)
1986년 8월 한양 대학교 대학원
전자공학과 졸업.
(공학석사)
1992년 2월 한양대학교 대학원
전자공학과 졸업.
(공학박사)

1986년~1989년 한국 전자통신 연구원 연구원.
1996년~1997년 미국 조지아공대 post.doc
1992년 3월~현재 경원대학교 전자공학과 교수.
<주관심분야 아날로그/RFIC설계, 광통신용IC설계, ASIC 설계>