

P-type LTPS TFT를 이용한 AM Display용 집적 회로 설계

최 병 덕 (한양대학교 전자·통신공학부)

I. 서 론

저온 다결정 실리콘 박막 트랜지스터 (Low-Temperature Poly-Si Thin Film Transistor, LTPS-TFT)는 공정 온도를 450°C 전후, 또는 그 이하로 유지함으로써 유리 기판 상에 제작할 수 있고, 그 성능이 비록 단결정 실리콘 트랜지스터보다는 떨어지지만, 비정질 실리콘 박막 트랜지스터 (a-Si:H TFT) 보다는 월등히 뛰어나기 때문에, 화소 회로 뿐 아니라, 다양한 주변 회로를 기판 상에 집적할 수 있을 것으로 기대되면서 오랫동안 많은 관심을 받아왔다. LTPS TFT 개발 초기에는, 기판 상에 회로를 집적하여 driver IC를 대체함으로써 거둘 수 있는 비용 절감에 주로 관심의 초점이 맞추어졌다. 그러나, 디스플레이 시장의 폭발적인 성장으로 인한 시장 규모의 비약적 확대, 반도체 생산 설비의 확충, driver IC의 사실상 표준화 등으로 driver IC 가격이 급락하게 되어 비용적인 장점은 초기에 비해 다소 약해진 면이 있다. 본 고에서는 이와 같은 시장 상황의 변화에 따른 LTPS-TFT 기술의 위치에 대하여 다시 고찰해 보고, 이에 따른 기술적 대응을 회로 설계 관점에서 기술해 보고자 한다.

II. 본 론

1. LTPS-TFT 기술의 필요성

(1) 고품위 모바일 디스플레이

갈수록 시장의 요구가 커지고 있는 모바일 디스플레이

기기에서의 고해상도 디스플레이를 구현하는데 있어 LTPS-TFT는 매우 유리하다. 현재 qVGA급이 중심이 되어 있는 모바일 디스플레이 시장은 머지않은 시간 내에 VGA급 또는 SVGA급 위주로 재편될 것이다. 또한, 모바일 디스플레이에서는 저소비전력이 매우 중요하기 때문에, 저전압 driver IC를 사용한 frame inversion을 주로 채택할 것이고, 이에 따른 취약한 flicker 특성을 극복하기 위해 frame 주파수를 높이는 방법이 사용될 것이다. 이처럼 높은 해상도 및 frame 주파수는 빠른 화소 충전 속도를 필요로 하기 때문에, 전류 구동 능력이 뛰어난 LTPS-TFT가 적격이라 할 수 있다. 또한, 초고해상도화에 따라, 화소 간격이 매우 좁아지게 되면 (<30μm), driver IC와 패널을 연결하는 것보다는 TFT를 이용하여 기판 상에 driver를 집적하는 편이 훨씬 생산성 및 신뢰성 측면에서 유리하다. 이와 더불어, 급속한 시장 확대를 눈 앞에 두고 있는 AMOLED의 경우에는 LTPS-TFT를 기판 기술로 사용하는 것이 현재 가장 현실적인 선택이라고 한다면, 이를 이용해 화소 회로뿐 아니라, 주변 회로를 집적할 수 있도록 하는 것이 유리하다.

(2) 신규 시장 창출 및 가격 경쟁력

Driver IC 가격의 하락으로 인해 LTPS-TFT의 비용적인 장점은 다소 약해졌다고는 하나, 여전히 상당한 경제적 효과를 기대할 수 있다. 모바일 디스플레이의 경우, 제품 경쟁력 측면에서 디스플레이 모듈에 하나의 chipset 만을 사용하는 것이 매우 중요한데, 디스플레이의 고해상도화에

따라, driver IC의 출력 수가 급격히 증가하여 문제가 될 수 있다. 이러한 상황에서, LTPS-TFT로 demultiplexer를 집적하게 되면, driver IC의 출력 수를 1/6~1/12 이상으로 감소시킬 수 있기 때문에, one-chip solution의 구현이 가능하다. 이는 디스플레이 모듈의 가격 경쟁력뿐 아니라, 소비 전력 및 form factor 측면에서도 매우 중요하다. 또한, 대량 소품종인 TV 및 모니터 등의 중대형 디스플레이와 달리, 모바일 기기는 다품종을 특징으로 한다. 이와 같은 다양한 디스플레이 개발을 통한 신규 시장을 창출하기 위해서는 전용 IC의 개발이 요구되는 경우가 많다. 이는 많은 개발 비용 및 시간이 소요되는 일로서, 시장 진출을 앞다투는 상황에서 매우 큰 어려움으로 작용하게 된다. 그러나, LTPS-TFT를 기반으로 할 경우에는, chip 개발자에 의존하지 않고도, 디스플레이 개발자가 필요한 기능 및 사양 등의 많은 부분을 패널 개발 단계에서 구현할 수 있기 때문에 이러한 문제의 상당 부분을 해소할 수 있다.

(3) P-type TFT 회로의 필요성

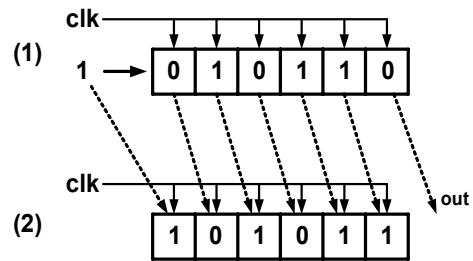
이상에서 LTPS-TFT가 여전히 유망하고, 중요한 기술임을 살펴보았다. 그러나, 앞서 언급한 바와 같이 driver IC의 가격 하락에 보다 적극적으로 대응하여 LTPS-TFT의 장점을 살리기 위해서는 공정 비용이 많이 드는 CMOS 기반의 회로보다는 단일 채널 TFT를 기반의 회로 구현이 바람직하다. 이러한 동기에서 P-type TFT를 이용한 구동 회로의 집적이 많이 시도되어 왔다. 그러나, P-type TFT만 사용할 경우에는 고성능 회로 구현의 어려움, 소비 전력의 증가, 출력 dynamic range의 제한 등의 문제가 있다. 본 고에서는 P-type TFT를 이용하여 기관상에 집적이 시도되고 있는, shift register (gate driver 및 demultiplexr 구현을 위한 핵심 회로), 레벨 쉬프터, gate driver용 DC-DC 컨버터 및 대용량 커패시턴스 구동을 위한 buffer 회로 등에 대하여 최근까지의 성과들에 대하여 설명한다.

2. P-type TFT를 이용한 Shift Register 설계

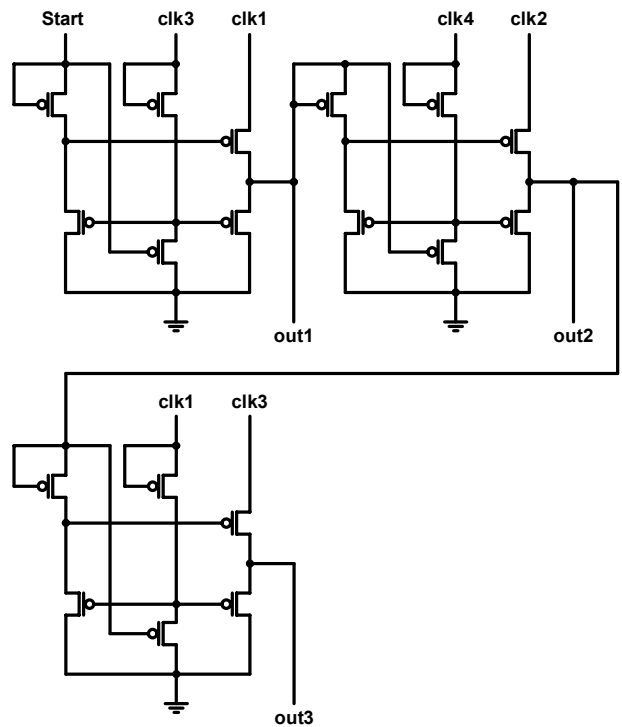
Shift register는 [그림 1]에서와 같이 clock에 따라 전체 데이터를 한 단계씩 다음 단으로 이동시키는 기능을 하

며, 디스플레이에서는 source driver와 gate driver에 사용된다. 공정 비용 절감을 위하여 p-type poly-Si TFT로 구현하려는 시도는 2000년대 초반부터 꾸준히 이루어지고 있다.

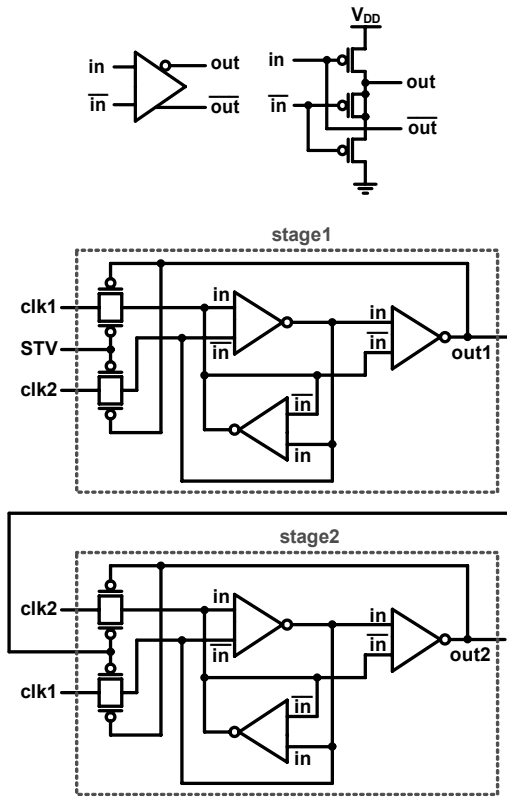
LG Display의 Y. M. Ha 등은 최초로 p-type poly-Si TFT를 이용하여 shift register를 [그림 2]와 같이 구현하였다^[1]. 이 shift register는 4-phase의 clock을 사용하며, p-type only임에도 불구하고, 하나의 전원 전압을 사용하는 특징을 갖는다. 10V보다 낮은 전원전압에서 XGA 용



[그림 1] Shift register의 동작



[그림 2] P-type poly-Si TFT를 이용한 gate driver용 shift register 회로도^[1]

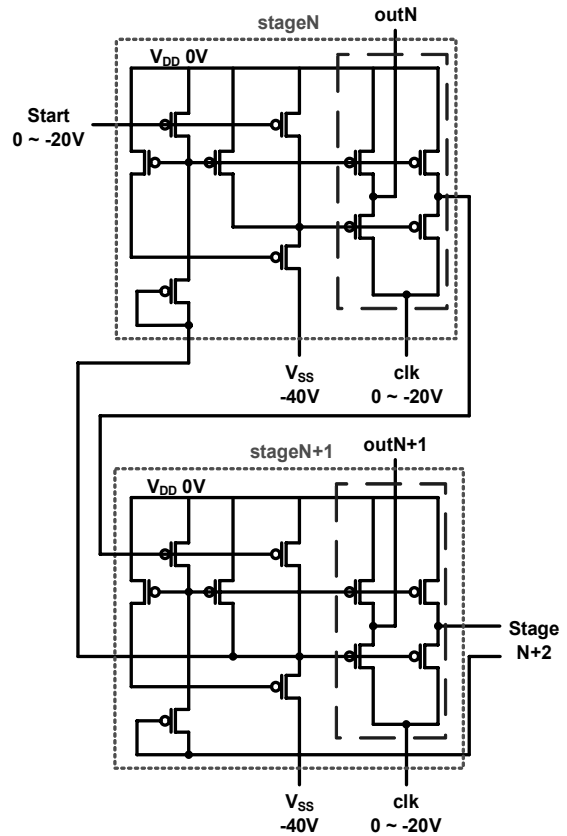


[그림 3] P-type 인버터를 채용한 shift register의 회로도^[2]

gate driver의 clock 주파수인 25KHz 동작이 가능하다.

또한, 대만의 S.-C. Lin 등은 [그림 3]과 같이, 단일 전원과 2-phase의 clock만 사용하는 shift register를 제안하였다^[2]. 이 방식은 기본적으로 p-type TFT를 이용하여 인버터를 구성하고 이를 이용하여 latch를 만든다. 동작 속도는 매우 빠른 것으로 보고되고 있으나(VDD: 10V - 1MHz, VDD: 20V - 9MHz), p-type TFT만 사용하면서 static 전류의 흐름을 막기 위해서 인버터의 입력으로 정 신호 및 부신호를 모두 사용한다는 점과, 출력 전압의 스윙 폭이 제한된다는 단점이 있다.

S. H. Jung 등은 [그림 4]에서와 같이 bootstrapping 기법을 도입한 p-type poly-Si shift register를 제안하였다^[3]. 이 방법에서는 bootstrapping을 적용하기 위해서 별도의 커패시터를 사용하지 않고, TFT에 존재하는 기생 커패시터를 이용하였으며, 하나의 clock과 두 개의 전원 전압을 사용하였다. 역시 기존의 다른 p-type TFT에서와 마찬가지로, 20V의 스윙 폭을 얻기 위해 40V의 전원 전압이

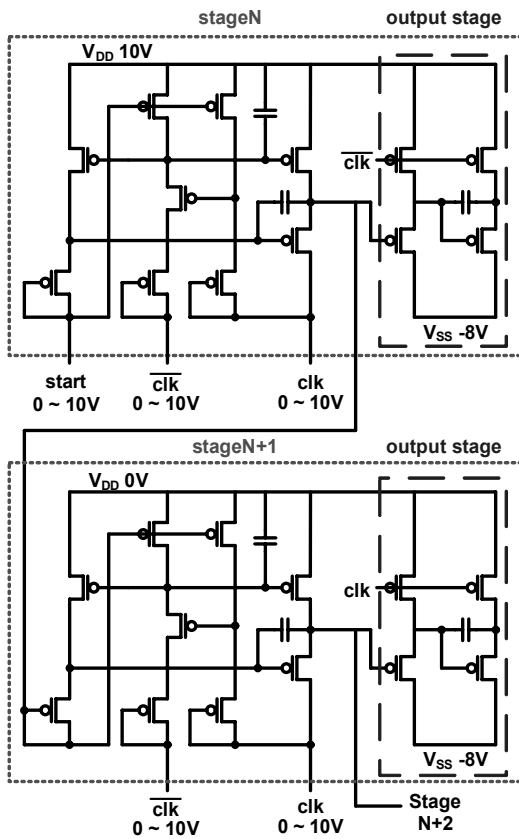


[그림 4] Bootstrapping을 이용한 p-type shift register의 회로도^[3]

필요하다는 단점이 있다. 디스플레이 화면이 커질 경우, gate line의 커패시턴스가 커지기 때문에 이의 구동을 위한 출력단 회로가 별도로 있다.

또한 같은 그룹의 W. J. Nam 등은 앞서 발표된 것과 동일한 원리인 bootstrapping을 이용하되, 보다 낮은 전원 전압(10V, -8V)에서 입출력 전압(10V)을 발생시키는 회로를 제안하였다^[4]. 이전과는 달리 두 개의 clock을 사용하였고, 회로의 복잡도와 면적이 증가한다는 단점이 있다. [그림 5]는 앞서 설명한 [3]을 다시 개선한 구조로서, 역시 S. H. Jung 등에 의해 발표되었다^[5]. 거의 비슷한 구조와 같은 동작원리를 적용해서 면적이나 소자 수의 증가 없이 보다 낮은 전원 전압(10V)과 입출력 전압범위(5V)에서 동일한 동작 속도를 얻은 결과를 보고하였다.

이상에서 살펴본 바와 같이, gate driver 및 source driver에 반드시 필요한 shift register를 p-type poly-Si TFT로 구현하기 위한 다양한 노력들이 시도되었으며, 그

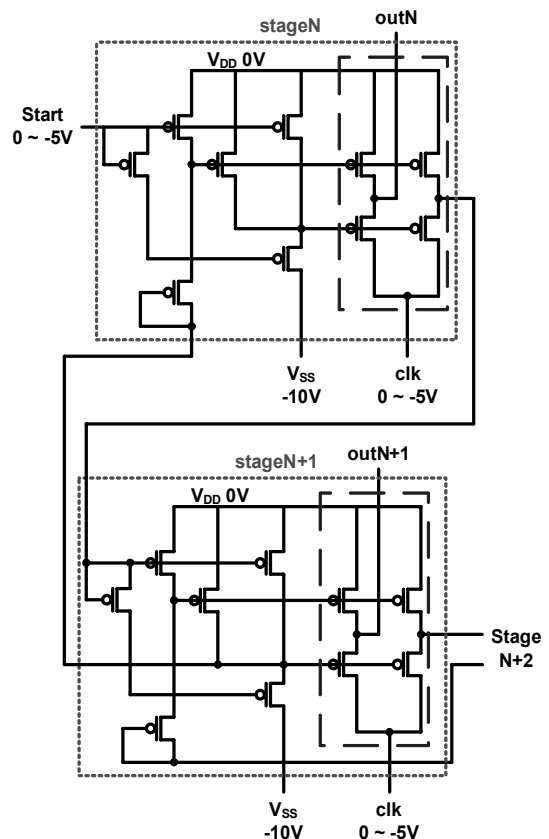


[그림 5] Bootstrapping을 이용한 p-type shift register의 다른 예^[4]

성과들도 발표되었다. 그러나, 전압 스윙 폭이나, 사용되는 clock 수 등에서 여전히 개선의 여지가 남아 있다는 점을 확인할 수 있다.

3. P-type TFT를 이용한 DC-DC 컨버터 설계

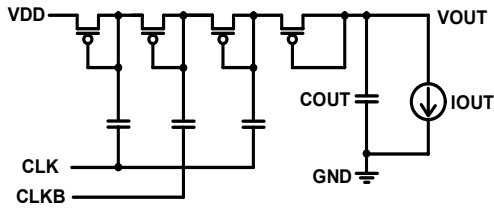
배터리를 이용한 디스플레이 시스템에 집적되는 DC-DC 컨버터에서는 효율이 가장 중요한 설계 요소가 된다. DC-DC 컨버터는 커패시터 방식과 인덕터 방식으로 나눌 수 있는데, 유리 기판 상에 집적하는 poly-Si TFT 회로의 경우 주로 커패시터 방식을 선택한다. 커패시터 방식은 Dickson에 의해 처음 제안된 전하 펌프 방식을 주로 이용하지만, 최초로 제안된 Dickson 전하 펌프의 효율은, 소자의 특성이나, 단 수에 따라 다르겠지만, 대략 40% 정도로 낮은 수준이다. [그림 7]에 Dickson DC-DC 컨버터를 p-type poly-Si TFT로 구현한 양의 전압 발생용 DC-DC 컨버터를 나타내었다. GND에서 VDD까지 변하는 CLK



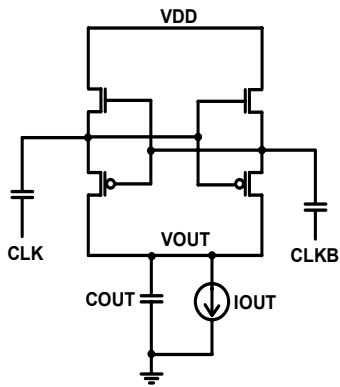
[그림 6] Bootstrapping을 이용한 p-type shift register의 또다른 예^[5]

와 CLKB는 다이오드 연결된 TFT의 gate에 커플링 되면서 입력단에서 출력단까지 전하를 펌핑하여 전달하고, 이러한 과정을 반복하여 결국 출력 전압을 입력 전압보다 높게 발생시킬 수 있게 된다. 이 구조에서는 출력 전압이 TFT의 문턱전압과 기생 커패시턴스 성분에 의해 제한되고, poly-Si TFT의 낮은 전류 구동 능력으로 인해 부하 전류가 증가하게 되면, 출력 전압이 크게 감소된다. 즉, DC-DC 컨버터의 중요한 성능 지표의 하나인 load regulation 특성이 좋지 못하다는 단점이 있다.

[그림 8]에 CMOS를 이용한 DC-DC 컨버터로 Favrat에 의해 제안된 cross-coupled 구조를 나타내었다^[7]. 이 회로는 cross-coupled 트랜지스터들이 상보적으로 켜지고 꺼지기 때문에 Dickson DC-DC 컨버터와 달리 문턱전압으로 인한 출력 전압의 감소가 발생하지 않는다. 이러한 장점을 활용하기 위하여 p-type poly-Si TFT로 설계한 cross-coupled 구조의 DC-DC 컨버터에 대한 연구가 발표



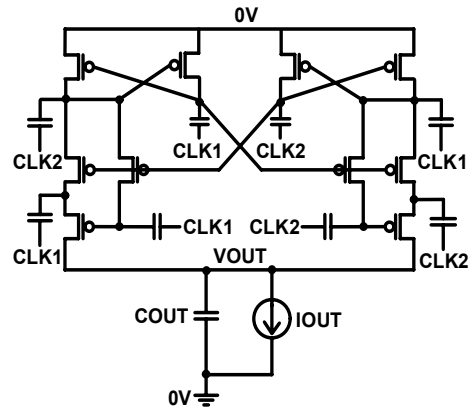
[그림 7] 가장 기본적인 Dickson charge pump의 회로도^[6]



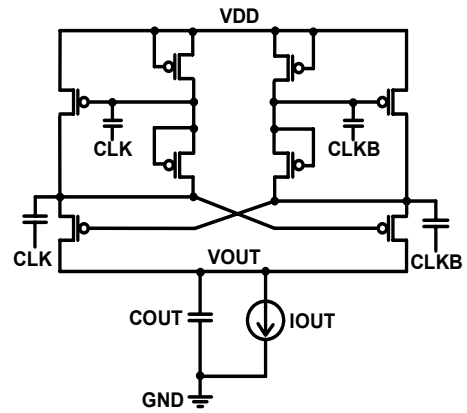
[그림 8] Cross-coupled 방식의 charge pump 회로도^[7]

되었다^[8, 9]. 이 회로들은 cross-coupled 되는 부분에서 낮은 전압을 전달하지 못하는 PMOS의 특성을 극복하기 위하여 추가적인 캐패시터를 설치하여 커플링을 통해 PMOS를 켜주고 전하를 전달하는 방식을 이용한다. H.J. Lee 등에 의해 제안된 DC-DC 컨버터는 음의 전압을 발생시키기 위한 cross-coupled DC-DC 컨버터이다^[8]. 낮은 음의 전압은 p-type poly-Si TFT로 구현된 gate driver를 구동시키기 위하여 필요하다. [그림 9]에 [8]의 회로도를 보였다. 이 회로의 출력전압은 200uA의 부하전류에 대하여 -5.7V이고, Dickson DC-DC 컨버터보다 약 14% 향상된 효율을 얻을 수 있는 것으로 보고되었다.

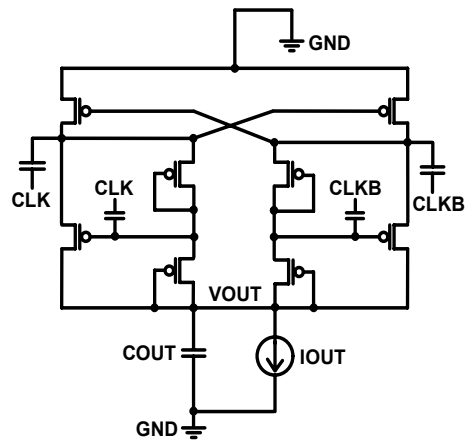
J.S. Yoon 등은 [그림 10]과 같이 높은 효율을 가지며 양의 전압 또는 음의 전압을 발생시킬 수 있는 DC-DC 컨버터 회로를 제안하였다^[9]. 이 구조는 [8]의 2단 cross-coupled 구조와는 달리, 1단 cross-coupled 구조로 설계되었다. [그림 10] (a)의 경우, 출력전압이 8.6V로 [6,7]의 9.5V와 큰 차이가 없고, [6]의 60%의 면적으로 약 두 배의 효율(78%)을 낼 수 있다. [그림 10] (b)는 음의 전압 발생 회로로, -3.6V를 발생시키며, 60%의 효율을 보인다.



[그림 9] P-type poly-Si TFT로 구현된 gate driver용 cross-coupled charge pump 회로도^[8]

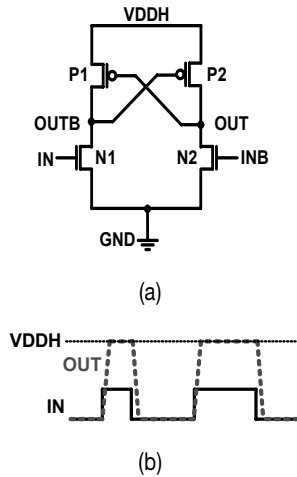


(a)

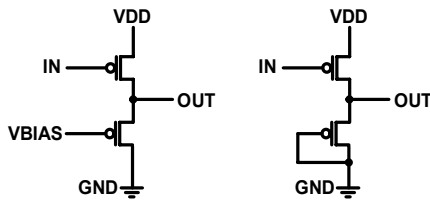


(b)

[그림 10] 전압 변환 효율을 개선한 gate driver용 cross-coupled charge pump 회로도 (a) 양의 전압 발생 회로, (b) 음의 전압 발생 회로^[9]



[그림 11] (a) 가장 기본적인 형태의 레벨 쉬프터 회로도
(b) 입출력신호



[그림 12] p-type 인버터의 기본 구조

이상에서 살펴본 바와 같이 p-type poly-Si TFT를 이용한 DC-DC 컨버터 연구의 주된 흐름은, 고전적인 Dickson 전하 펌프 방식의 단점을 극복하기 위한 시도라 할 수 있다. 그러나, 지금까지 제안된 구조가 아직 한두 가지 방식에 불과하고, gate driver 용에 국한된 한계가 있다. Source driver에 사용되기 위해서는 보다 큰 전류를 부하에 공급할 수 있어야 하고, 아날로그 영상 신호 회로에 공급하는 전원이기 때문에, 발생 전압의 품질 (ripple, load regulation, line regulation 등)이 gate driver의 경우보다 훨씬 뛰어나야 한다.

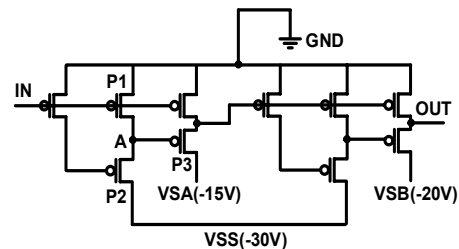
4. P-type TFT를 이용한 레벨 쉬프터 설계

패널의 외부 보드에 장착되는 타이밍 컨트롤러 등의 칩들은, 기능의 고도화와 데이터 용량 및 집적도의 증가, 원가 절감 등의 이유로 미세 공정을 사용하는 경우가 확대되는 추세이다. 이에 따라, 이러한 칩들로부터 공급되

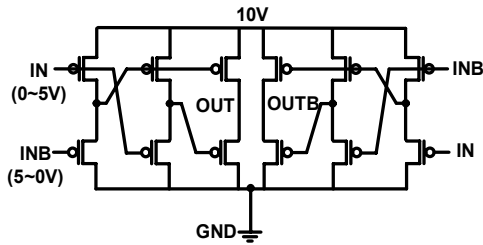
는 각종 신호들의 전압 레벨도 계속 낮아지고 있다. 그러나, 패널 외부에서 공급되는 이러한 낮은 신호 전압은 기판 상에 집적된 TFT 회로가 처리하기 매우 곤란하므로, 외부 칩으로부터 공급되는 신호 전압의 레벨을 TFT 회로의 동작에 적절한 레벨로 변환하여 주는 인터페이스 회로가 필요하며, 레벨 쉬프터가 이 역할을 하게 된다. [그림 11]은 가장 일반적인 형태의 CMOS로 구현된 레벨 쉬프터의 회로도 및 입출력 파형도이다. 이 회로는 가장 널리 사용되는 구조인 만큼, 동작에 대해서는 이미 검증되었지만, p-type poly-Si TFT에 바로 적용하기에는 어려움이 있다.

가장 간단하게 생각할 수 있는 방식이 p-type poly-Si TFT로 인버터를 구성하여 캐스케이드로 연결하고, 각 인버터들의 전원 전압을 순차적으로 높여가는 것이다. 그러나, [그림 12]에 나타낸 바와 같은 인버터를 사용할 경우, 출력 전압의 스윙 폭이 문턱전압에 의해 감소되고, 전류가 지속적으로 흐르기 때문에 소비전력이 크다는 문제가 있다. S.H. Jung 등은 인버터를 캐스케이드로 연결하는 방식의 레벨 쉬프터를 [그림 13]에서와 같이 제안하였다. 내부의 각각의 인버터는 커패시티브 커플링에 의한 bootstrapping 을 이용한다. 입력이 VSS에서 VDD로 상승하게 되면, 다른 TFT보다 면적이 큰 P1에 의해 A 노드 전압이 커플링에 의해 증가하고 P2가 켜져 A 노드 전압이 감소하게 된다. 결국 출력단의 P3가 켜지고 출력전압이 감소한다. 다만, 이 회로는 추가적인 전원 전압이 필요하다. [그림 13]에서와 같이 -15V와 -30V의 추가적인 전원 전압이 존재할 때, 0V~10V의 입력 신호를 0V~20V의 출력 신호로 레벨 쉬프팅 할 수 있다.

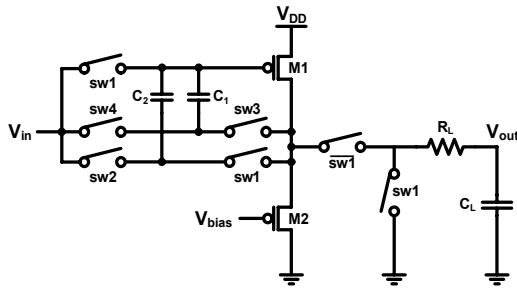
또한, W. J. Nam 등은 [그림 14]에서 나타낸 바와 같이, 0V~5V의 입력 신호를 0V~10V의 출력으로 레벨 쉬프팅



[그림 13] P-type 인버터를 캐스케이드 연결한 형태의 레벨 쉬프터^[10]



[그림 14] P-type 인버터를 캐스케이드 연결한 형태의 레벨 업 쉬프터^[11]



[그림 15] Source follower 형태의 p-type analog buffer^[14]

하는 회로를 제안하였다^[11]. 이 회로는 up-conversion 방식이기 때문에 p-type poly-Si TFT로 비교적 쉽게 구현이 가능하며, 추가적인 전원 전압을 사용하지 않는다. 단, 상보적인 입력 신호가 필요하기 때문에 입력단에 인버터를 사용하여야 한다.

이상에서 살펴본 바와 같이, p-type 레벨 쉬프터들은 up-conversion에 비하여 down-conversion에 더 많은 어려움을 겪고 있으며, 원하는 전압 스윙 폭을 얻기 위하여 일반적으로 추가로 전원 전압을 사용하는 경우가 많다. 이러한 추가 전원 전압은 DC-DC 컨버터의 부담을 야기시키기 때문에, 개선될 필요가 있으며, 느린 동작 속도 또한 해결되어야 할 사항이다.

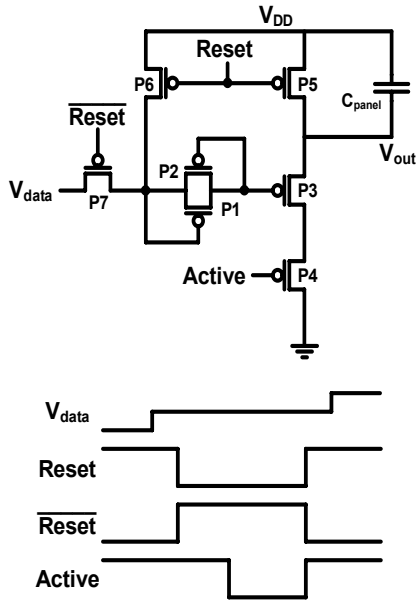
5. P-type TFT를 이용한 Analog buffer 설계

패널의 크기가 커지고 해상도가 증가함에 따라, data line의 커패시턴스가 증가하게 되고, 이의 구동을 위한 analog buffer의 필요성이 대두되었다. 하지만, poly-Si TFT를 사용한 analog buffer는 poly-Si TFT 제조 과정에 기인하는 여러 가지 특성, 즉, TFT 특성의 불균일성, kink

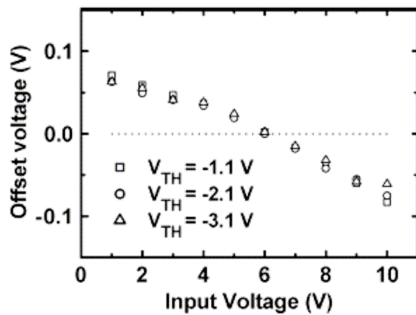
effect, 여전히 높은 문턱 전압 등으로 인해, 신호 전압의 에러가 크고, gain이 낮으며, 소비 전력이 크다 등의 문제를 가지고 있다. 이러한 문제를 해결하기 위해, comparator type, source follower type, common source type 등의 analog buffer 들이 개발되었다.

P-type poly-Si TFT를 이용한 analog buffer를 중심으로 살펴보면, M.-D. Ker 등은 comparator type의 analog buffer를 제안하였으나^[12], comparator가 동작하는 동안 발생하는 단락 전류로 인한 높은 소비 전력이 문제가 될 수 있고, H. W. Kim 등이 제안한 common source type의 analog buffer는 비교적 큰 오프셋 에러로 인하여, 8 bit 이상의 계조를 지원하는 것이 곤란하다^[13]. 이러한 이유로, 보다 일반적으로 사용되는 구조가 source follower type이다. 흔히 사용되는 문턱 전압 오프셋 보상 방법은 커패시터를 이용하여 문턱 전압을 검출하여 저장하였다가, 상쇄시키는 방법이다. 하지만, sub-threshold 누설 전류로 인하여, 정확한 문턱 전압 값을 유지하기 곤란하다는 문제가 있다. 이로 인해, 결국 구동 TFT의 문턱 전압 보상 후에도, 여전히 상당한 크기의 오프셋 전압이 발생하게 된다. [그림 15]에 Y. Kida 등이 제안한 source follower type의 analog buffer를 나타내었다^[14]. 이 source follower type의 analog buffer는 문턱 전압 등의 불균일로 인한 오프셋 전압을 보상하기 위하여 많은 제어 신호들과 커패시터, 그리고 VDD pre-charging 과정이 필요하다는 단점을 가지고 있다. 또한 앞서 언급한대로 문턱 전압의 보상에 있어서 poly-Si TFT의 sub-threshold 누설 전류로 인해 출력 전압이 목표 전압을 정확히 유지하지 못한다는 문제를 가지고 있다.

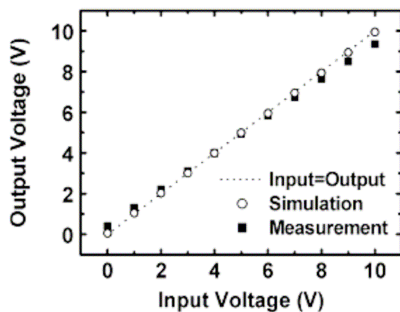
한편, S.-H. Jung 등은 poly-Si TFT의 문턱 전압 저장을 위한 커패시터를 필요로 하지 않는 source follower type의 analog buffer를 [그림 16]과 같이 제안하였다^[15]. 이 analog buffer는 이전에 제안된 analog buffer에 비해, 적은 수의 TFT와 스위칭 신호를 필요로 한다. Reset 신호에 의해 데이터 전압이 인가되었을 때, 다이오드 연결에 의해, P3의 gate 전압이 VDATA + |Vth|가 되고, P3가 켜진다. 그 후 P4가 켜지면 부하 커패시터에 VSS가 전해진다. 이때 P3의 gate 전압은 bootstrapping에 의해 낮아지



[그림 16] 커패시터를 사용하지 않는 source follower 형태의 p-type analog buffer의 회로도 및 입력 신호의 타이밍도^[15]

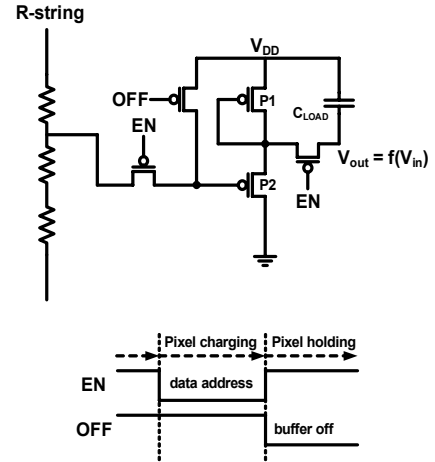


(a)

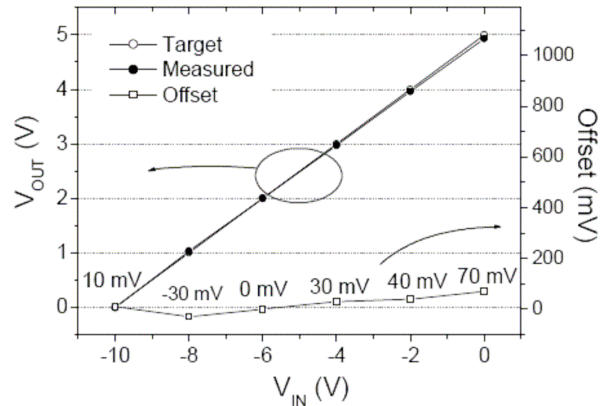


(b)

[그림 17] [그림 16] 회로의 (a) 문턱 전압에 따른 오프셋 전압의 발생, (b) 입력 및 출력 전압 특성 [15]



[그림 18] 커패시터를 사용하지 않는 source follower 형태의 p-type analog buffer의 회로의 다른 예 및 입력 신호의 타이밍도^[16]



[그림 19] 회로의 입출력 특성 측정 결과^[16]

며, 이 노드의 전압이 $V_{DATA} - |V_{th}|$ 보다 낮아지면, P2가 켜지게 되고, $V_{DATA} - |V_{th}|$ 가 되었을 때, P3의 source 전압이 V_{DATA} 의 값을 갖게 된다. bootstrapping 동작이 완료된 후, P2의 sub-threshold 전류에 의해 P3의 VGS가 감소되고 결국 P3의 sub-threshold 전류가 감소된다. 즉, 이 방식의 analog buffer는 문턱 전압을 저장하기 위한 커패시터를 사용하지 않으며, sub-threshold 전류로 인한 오프셋 전압의 증가를 최소화하였다. 이 회로의 시뮬레이션 및 측정 결과를 [그림 17]에 나타내었다.

W. J. Nam 등에 의해 제안된 다른 형태의 source follower type의 analog buffer를 [그림 18]에 나타내었다^[16].

이 analog buffer는 레벨 쉬프터를 사용 하였으며, 앞서 살펴본 analog buffer와 마찬가지로 문턱 전압 보상을 위한 커패시터를 사용하지 않는다. 또한 VDD pre-charging 과정을 필요로 하지 않기 때문에, 빠른 동작을 할 수 있다. 이 analog buffer의 측정결과를 [그림 19]에 나타내었다.

이상에서 설명한 analog buffer는 poly-Si TFT에 기반한 active matrix 디스플레이들의 대형화를 위해서 필요한 회로들이다. 그러나, poly-Si TFT에서 특히 두드러지는, 특성 불균일성 와 kink effect 등은 충분한 성능을 가지는 analog buffer의 구현에 많은 어려움을 초래한다. 이러한 어려움을 회로 설계로 극복하기 위한 많은 노력이 시도되고 있고, 여러 결과도 발표되었으나, 대화면 구동을 위해서는 아직까지 개선의 여지가 있다.

III. 결 론

본 고에서는, poly-Si TFT를 이용한 회로 설계 기술에 대하여 살펴보았다. 디스플레이 시스템에 필요한 모든 회로를 poly-Si TFT를 이용하여 기판 상에 집적시킬 필요는 없지만, 칩으로 구현할 회로와 기판 상에 poly-Si TFT를 이용하여 구현할 회로를 최적 분할하면, 성능 및 품질 면에서, 그리고 경제적인 면에서 많은 이점을 기대할 수 있을 것으로 판단된다. 본 고에서는 특히, 가격 경쟁력 면에서 유리한 단일 채널 TFT (p-type)회로의 설계 기술에 대하여 살펴보았다. CMOS 회로에 비하여 p-type TFT 회로는 설계 상에 많은 제약이 뒤따름에도 불구하고, gate driver, 레벨 쉬프터, DC-DC 컨버터, analog buffer 등 필수적인 회로 들에 대하여 상당한 연구 성과가 발표되고 있다. 그러나, p-type TFT 회로의 경우, 근본적인 문제점인 소비 전력, 제한적인 전압 스윙 폭 문제를 해결하기 위해서, 회로가 지나치게 복잡해지는 경향이 있고, 아직까지 성능 면에서도 충분히 만족스럽지는 못한 상황이다. 따라서, 보다 지속적인 연구 개발을 통하여 이러한 문제들을 해결할 수 있는 p-type poly-Si TFT 회로 설계 기술의 개발이 절실히 요구된다.

참고문헌

- [1] Y. M. Ha, "P-type Technology for Large Size Low Temperature Poly-Si TFT-LCDs", 2000 SID Int. Symposium, Dig. Tech. Papers, pp.1116~1119, 2000.
- [2] S. C. Lin, H. Y. Lin, C. M. Chiu, and Y. H. Tai, "A Novel Shift Register Driving Scheme Using PMOS TFT", IDW, pp.495~497, 2003.
- [3] S. H. Jung, W. J. Nam, C. W. Han and H. K. Min, "A New Lower Power PMOS Poly-Si Inverter and Driving Circuits for Active Matrix Displays", 2003 SID Int. Symposium, Dig. Tech. Papers, pp.1396~1399, 2003.
- [4] W. J. Nam, H. J. Lee, H. S. Shin, S. G. Park, and M. K. Han, "P-type Poly-Si Integrated Driver Circuits for Low-Cost Chip-on-Glass 패널", 2005 AMLCD, pp.53~56, 2005.
- [5] S. H. Jung, H. S. Shin, J. H. Lee and H. K. Min, "An AMOLED Pixel for the VT Compensation of TFT and a p-type LTPS Shift Register by Employing 1 Phase Clock Signal", 2005 SID Int. Symposium, Dig. Tech. Papers, pp.300~303.
- [6] J.F. Dickson, "On-chip High Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique", JSSC, Vol.SC-11, No.3, pp.374-378, 1976.
- [7] P. Favrat, P.Deval, and M. J. Declercq, "A High-Efficiency CMOS Voltage Doubler", JSSC, Vol.33, No.3, pp.410-416, 1998.
- [8] H.J. Lee, W.J. Nam, J.H. Lee, S.M. Han, and M.K. Han, "Highly Efficient DC-DC Converter Employing P-type Poly-Si TFTs for Active Matrix Displays", IDW Int. Symposium Dig. Tech. Papers, AMDp-53L, 2005.
- [9] J.S. Yoon, J.S. Kang, and O.K. Kwon, "Highly Efficient P-Type Only Cross-Coupled DC-DC Converter Using Low Temperature Poly-Si(LTPS) TFTs for Mobile Display Applications", SID Int. Symposium, Dig. Tech. Papers, pp.1085-1087, 2008.
- [10] S.H. Jung, W.J. Nam, C.W. Han, and M.K. Han, "A New Low Power PMOS Poly-Si Inverter and Driving Circuits for Active Matrix Displays", SID Int. Symposium, Dig. Tech. Papers, pp.1396-1399, 2003.
- [11] W.J Nam, H.J. Lee, H.S. Shin, S.G. Park, and M.K. Han, "P-type Poly-Si Integrated Driver Circuits for

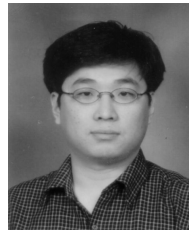
- Low-Cost Chip-on-Glass 패널”, AMLCD, pp.53-56, 2005.
- [12] M.-D. Ker, C.-K. Deng, and J.-L. Huang, “On-Panel Design Technique of Threshold Voltage Compensation for Output Buffer in LTPS Technology” in SID Int. Symposium Dig. Tech. Papers, pp. 288-291 ,2005.
- [13] H. W. Kim, C. W. Byun and O. K. Kwon, “A High-Speed and High-Accurate Common Source Type Analog Buffer Circuit Using LTPS TFTs for TFT-LCDs” in IMID Int. Symposium Dig. Tech. Papers, pp. 829-832, 2007.
- [14] Y. Kida, Y. Nakajima, M. Takatoku, M. Minegishi, S. Nakamura, Y. Maki and T. Maekawa, “A 3.8 inch Half-VGA Transflective Color TFT-LCD with Completely Integrated 6-bit RGB Parallel Interface Drivers,” in Eurodisplay Int. Symposium Dig. Tech. Papers, pp. 831-834, 2002.
- [15] S. H. Jung, W. J. Nam, J. H. Lee, and M. K. Han, “A New Analog Buffer Using P-Type Poly-Si TFTs for

Active Matrix Displays” in IEEE Electron Device Letters, Vol. 27, NO.1 January 2006.

- [16] W. J. Nam, S. H. Jung, J. H. Lee, H. J. Lee, and M. K. Han, “A Low-Voltage P-type Poly-Si Integrated Driving Circuits for Active Matrix Display” in in SID Int. Symposium Dig. Tech. Papers, pp. 1046-1049 ,2005.

저 자 약 력

최 병 덕



- 1994년 : 한양대학교 전자공학과 공학사
- 1996년 : 한양대학교 전자공학과 공학석사
- 2002년 : 한양대학교 전자공학과 공학박사
- 2001년~2005년 : LG전자 System IC R&D Center, 선임연구원
- 2005년~현재 : 한양대학교 전자·통신공학부 조교수