

논문 2009-46SD-4-10

이득 제어 지연 단을 이용한 1.9-GHz 저 위상잡음 CMOS 링 전압 제어 발진기의 설계

(Design of the 1.9-GHz CMOS Ring Voltage Controlled Oscillator
using VCO-gain-controlled delay cell)

한 윤 택*, 김 원**, 윤 광 섭**

(Yun-tack Han, Won Kim, and Kwang-sub Yoon)

요 약

본 논문에서는 0.13 μ m CMOS 공정의 이득(Kvco) 제어 지연 단을 이용한 위상동기루프에 사용되는 저 위상잡음 CMOS 링 전압제어발진기를 설계 및 제작한다. 제안하는 지연 단은 출력 단자를 있는 MOSFET을 이용한 능동저항으로 전압제어발진기의 이득을 감소시킴으로써 위상잡음을 개선한다. 그리고 캐스코드 전류원, 정귀환 래치와 대칭부하 등을 이용한다. 제안한 전압제어 발진기의 위상잡음 측정결과는 1.9GHz가 동작 할 때, 1MHz 오프셋에서 -119dBc/Hz이다. 또한 전압제어발진기의 이득과 전력소모는 각각 440MHz/V와 9mW이다

Abstract

This paper proposes a low phase noise ring voltage controlled oscillator(VCO) with a standard 0.13 μ m CMOS process for PLL circuit using the VCO-gain-controlled Delay cell. The proposed Delay cell architecture with a active resistor using a MOS transistor. This method can reduced a VCO gain so that improve phase noise. And, Delay cell consist of Wide-Swing Cascode current mirror, Positive Latch and Symmetric load for low phase noise. The measurement results demonstrate that the phase noise is -119dBc/Hz at 1MHz offset from 1.9GHz. The VCO gain and power dissipation are 440MHz/V and 9mW, respectively.

Keywords : VCO, Delay-Cell, 50% Duty buffer, Low Phase Noise

I. 서 론

CMOS 전압제어발진기(VCO)는 저 위상잡음, 작은 칩 면적의 구현, 저 전력, 넓은 동작범위 등의 목표 아래 많은 연구가 이루어 졌다^[1~2]. 무선통신을 선두로 급격한 시스템의 성장에 따라 시스템 내의 칩에 대한 비용, 크기, 전력 소모 측면에서 개선의 요구를 충족시켜

야만 했기 때문이다.

CMOS 전압제어 발진기는 초창기에는 링-전압제어 발진기 연구가 한창이었고 한편, LC구조의 공진은 널리 알려진 사실이나 CMOS공정에서 인덕터의 구현이 어렵기 때문에 발진기로 사용되지 못했다. 하지만 나선형(Spiral) 인덕터 방식으로 인덕터의 효과를 얻을 수 있게 되어 이 또한 연구가 시작 되었다. 그리고 LC구조의 전압제어 발진기가 월등히 우수한 잡음특성으로 인하여 최근 10여 년 동안 집중적인 연구가 이루어졌다.^[3~4] 하지만 0.1 μ m이하의 공정이 발달하는 환경에서 인덕터의 큰 사이즈가 문제가 되고 있다. 또한 칩의 집적화 과정에서 인덕터는 인접 회로에 대한 기생 자성 잡음간섭

* 정희원, 실리콘웍스(주),
(Silicon Works Co.,Ltd.)

** 정희원, 인하대학교 전자공학과 정보전자공동연구소
(Dept. Electronic Engineering, INHA University)

※ 본 논문은 인하대학교의 지원에 의하여 연구되었음
접수일자: 2008년12월31일, 수정완료일: 2009년3월26일

(parasitic magnetic noise coupling)과 기판전기 간섭(substrate electric coupling)등이 문제가 된다^[5]. 따라서 본 논문에서 제안하는 지연 단을 이용한 링-전압제어 발진기를 이용하여 위상잡음특성을 개선한다.

위상 동기 루프 회로의 잡음 파라미터는 전압 제어 발진기의 위상잡음 성능에 대부분 의존 하므로 대단히 중요하다고 할 수 있다. 따라서 본 연구를 통해 PLL과 그의 응용분야 회로의 잡음 특성을 개선하는데 의의가 있다.

본 논문에서의 제안하는 차동 지연 단은 모스펫을 이용한 능동저항, 래치, 캐스코드 전류원 등으로 구성한다. II절에서는 제안한 저 위상잡음 링-전압제어 발진기의 구조와 회로 설계 방법에 대하여 설명하였다. III절에서는 제안하는 이득 제어 지연단과 하프 듀티 사이클 차동-단일 버퍼 회로의 설계에 대해 설명 하였다. IV절에서는 제안한 전압 제어 발진기의 실험 결과에 대하여 설명하였으며, V절에서는 결론을 맺었다.

II. 저 위상잡음 링-전압 제어 발진기의 구조

그림 1은 제안하는 링-전압제어 발진기 회로의 블록 다이어그램이다. 레플리카 바이어스, 3단으로 구성된 지연단, 절반의 듀티 비와 플스윙을 위한 버퍼 등 크게 세 가지 블록으로 구성되어 있다. 제안한 지연단과 버퍼, 그리고 일반적인 레플리카 바이어스 모두 저 위상잡음을 위하여 설계를 하였다.

$$f_{osc} = \frac{k}{2\pi NR_o C_o} \tag{1}$$

링-전압제어발진기 회로의 발진 주파수는 다음 식(1)과 같다. N은 지연단의 수, R_o는 지연단의 출력 단자에서 바라 본 출력 저항이다. C_o는 출력단의 기생 커패시턴스이

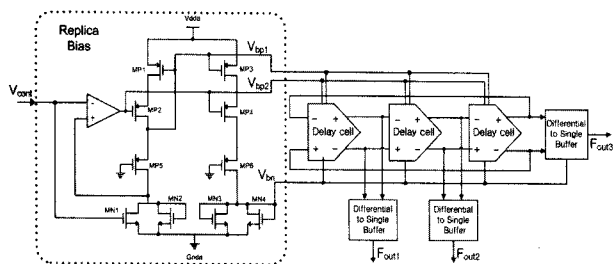


그림 1. 링-전압 제어 발진기 회로의 블록 다이어그램
Fig. 1. Block diagram of the proposed Ring-VCO circuit.

다. 같은 주파수를 생성할 때, 지연단의 수가 적으면 지연 단에서 발생시켜야 하는 지연(delay) 값은 커야 한다. 그리고 이때 슬루율(edge slew rate)도 크다. 따라서 전체적인 발진기의 잡음에 대한 민감도는 떨어지게 된다. 반대로 지연단의 수가 많으면 그만큼 잡음이 발생하는 소스(source)도 많아지게 된다. 따라서 이에 따른 적정 지연단의 수를 설정 하는 것이 중요한데 3단이 가장 이상적인 구성(sweet spot)이다^[5]. 지연단의 AC특성은 이득이 크고, 위상여유가 0도여야 한다. 지연단을 3단으로 구성 할 시 1단 증폭으로 충분히 발진할 이득을 얻을 수 있으며, 간단한 구성으로 잡음을 줄일 수 있는 장점도 있다. 레플리카 바이어스는 전압 제어 구조와 입력 신호 잡음을 제거 하는 입력 버퍼 단이 포함된 구조^[6]을 설계하였다. 추가로 출력 저항이 큰 폴디드 캐스코드의 증폭기를 사용하였다. 이득은 80dB, 위상여유는 60도, 3dB-대역폭은 약 20Khz이다. 이에 따라 지연단 출력의 전압 레벨이 흔들리지 않는 성능을 개선하였다. 또한 높은 PSRR을 위하여 와이드스윙 캐스코드 형태의 꼬리전류 원을 구성 하였다.

III. 제안하는 이득 제어 지연단과 하프 듀티 사이클 차동-단일 버퍼의 설계

제안하는 지연단 회로를 이용한 링-전압제어발진기의 발진 주파수는 식 (4)와 같다. N은 지연단의 수, R_o는 지연단의 출력 단자에서 바라 본 출력 저항이다. C_o는 출력단의 기생 커패시턴스이다. 제안한 회로의 R_o,

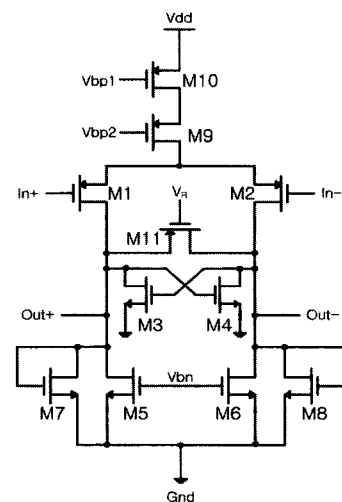


그림 2. 제안하는 이득 제어 지연단 회로
Fig. 2. Circuit diagram of the Delay-cell circuit.

Co를 모델링 하여 일반적인 식 (1)을 통해 식 (4)를 유도하였다.

$$\begin{aligned}
 R_o &= R_{o,pmos} // R_{o,nmos} \\
 R_{o,pmos} &= \frac{1}{2} g_{m1} \cdot r_{o1} \cdot r_{o9} \cdot r_{o10} \approx \frac{1}{2} g_{m1} \cdot r_{o1}^3 \\
 R_{o,nmos} &= \frac{1}{g_{m7}} // r_{o5} // r_{o3} \approx \frac{1}{g_{m7}} \\
 R_o &= \frac{1}{2} g_{m1} \cdot r_{o1}^3 // \frac{1}{g_{m7}} \approx \frac{1}{g_{m7}} \\
 &= \sqrt{\frac{L_7}{W_7 K_n' I_{tail}}} \quad (2)
 \end{aligned}$$

$$\begin{aligned}
 C_o &= (C_{gd,M1} + C_{db,M1}) + (C_{gd,M3} + C_{db,M3}) \\
 &\quad + (C_{gd,M5} + C_{db,M5}) + C_{db,M7} \quad (3)
 \end{aligned}$$

$$f_{osc} = \frac{k \sqrt{W_n K_n' I_{tail}}}{2\pi N C_o \sqrt{L_n}} \quad (4)$$

식 (2)는 R_o 를 소신호 모델로 근사하였다. g_{m1} , g_{m7} 은 M1, M7의 상호 트랜스컨덕턴스이다. r_{o1} , r_{o2} , r_{o3} 는 M1, M2, M3의 출력 저항이다. 식 (3)은 출력단의 기생 커패시턴스 C_o 를 모델링 하였다. C_{gd} 는 게이트-드레인 커패시턴스 이며, C_{db} 는 드레인-벌크 커패시턴스이다. 식 (4)는 소신호 모델링을 한 발진 주파수의 식이다. M7의 사이즈에 따라 최대 발진주파수를 정할 수 있으며, 발진 주파수는 꼬리 전류의 제공근에 비례한다. 따라서 발진 주파수는 V_{bn} , 즉, 입력전압(V_{cont})에 비례 하게 된다.

위상 잡음을 최소화하기 위한 지연단 회로의 설계는 다음과 같다.

첫 번째, 전압제어발진기 이득(K_{vco}) 제어를 하는 M11을 이용한다. M11의 게이트에 전압(V_r)을 인가하면 능동 저항(R_{M11})으로 모델링 된다. 그리고 이 능동저항 M11의 양 단자, 즉, 지연단의 출력단자 전압의 차이 값에 따라 M11에 전류가 흘러 전류가 낮은 쪽 단자로 전류가 흐르게 된다. 결국 같은 입력 상태일 때 두 출력 단자의 전류 이동에 따라 입력 커패시턴스의 충전/방전 시간을 빠르게 해준다. 그래서 같은 입력일 때, VCO 이득 곡선에서 ' V_{cont} =동작 초기 값' 일 때의 F_{out} 은 높아진다. 따라서 최대 발진 주파수를 동일하게 설계 하였을 때, 전압제어발진기의 이득 값을 작게 제어 할 수 있다. 이에 따라 위상잡음을 5dB정도 향상 시킬 수 있다.

두 번째, PMOS driver인 M1,M2를 이용하여 1/f 잡음을 낮췄다.^[5] 세 번째, M9, M10을 캐스코드 단으로 구성 하여 PSRR을 키웠다. 네 번째, M3, M4를 크로스 커플(cross coupled)로 구성하여 양 출력단의 정귀환(positive feedback)을 통하여 출력 신호의 상승(rising)과 하강(falling)의 대칭을 이루며, 신호의 범위를 최대한 레일 두 레일에 가깝게 만들어 잡음을 줄이도록 한다.^[7] 다섯 번째, 대칭부하(M7, M8)을 이용하여 입력신호에 따른 R_{ds} 값을 선형적으로 구성하도록 한다.^[6]

지연단의 전류가 작게 흘러 동작 할 때, 듀티비가 50%가 되지 않고 출력되는 경우가 있다. 그리고 꼬리 전류를 생성하는 트랜지스터로 인해 지연단의 출력이 헤드룸을 제한한다. 이 두 가지 문제를 해결 하고자 그림 3의 회로를 이용하여 버퍼 역할을 하도록 한다. 이 회로는 제안하는 전압 제어 발진기에서 각각 첫 번째 단의 출력 단자와 세 번째 단의 출력 단자의 다음 단에 오며, 그림 3의 트랜지스터 MN1, MN2의 W/L비에 의해서 50% 듀티 싸이클이 결정된다. 소자 비는 식 (5)~(9)에서와 같이 구할 수 있다. 트랜지스터 MP1는 포화 영역에서 동작하므로 식 (5)와 같다.

$$I_{MP1} = \frac{1}{2} K_P \left(\frac{W}{L} \right)_{MP1} (V_{SG,MP1} - |V_{th,p}|)^2 \quad (5)$$

입력 전압 변화의 범위를 $\Delta V_{SG,MP1}$ 라고 하면 식 (6)과 같다.

$$\Delta V_{SG,MP1} = \sqrt{\frac{2\Delta I_{MP1}}{K_P \left(\frac{W}{L} \right)_{MP1}}} + |V_{th,p}| \quad (6)$$

그리고 트랜지스터 MN1의 소스와 드레인 사이의 전압 변화의 범위 $\Delta V_{DS,MN1}$ 는 식 (7)과 같다.

$$\Delta V_{DS,MP1} = \Delta V_{GS,MN1} = \sqrt{\frac{2\Delta I_{MP1}}{K_N \left(\frac{W}{L} \right)_{MN1}}} + |V_{th,n}| \quad (7)$$

식 (6)과 식 (7)에서 $|\Delta V_{SG,MP1}| = |\Delta V_{GS,MN1}|$ 이어야 하므로, 식 (8)과 같이 유도할 수 있다.

$$\sqrt{\frac{2\Delta I_{MP1}}{K_P \left(\frac{W}{L} \right)_{MP1}}} + |V_{th,p}| = \sqrt{\frac{2\Delta I_{MP1}}{K_N \left(\frac{W}{L} \right)_{MN1}}} + |V_{th,n}| \quad (8)$$

결과적으로, 간략하게 식 (9)와 같이 나타낼 수 있다.

$$\left(\frac{W}{L}\right)_{MN1} = \frac{K_P}{K_N} \left(\frac{W}{L}\right)_{MP1} \quad (9)$$

그러므로 식 (9)를 만족하도록 트랜지스터 MN1와 MP1의 W/L비를 조정하게 되면, 입력 전압의 DC 바이어스 전압이 기준 전압보다 내려갔을 경우, 트랜지스터 MN1의 드레인 에서의 전압은 다시 상승하여 항상 일정하므로 정확히 50% 듀티 사이클을 유지하게 된다. 또한 꼬리전류가 없어 폴스wing의 출력 파형이 생성된다.

IV. 측정 결과

본 논문의 저 위상잡음 링-전압제어 발진기 회로는 0.13um CMOS High Voltage 3.3V 공정을 사용하여 제작되었다. 그림 4는 제안하는 링-전압제어 발진기의 레이아웃의 모습이다. 전압제어발진기 코어의 면적은 450 μm x 210 μm이다. 크게 아날로그 블록인 레플리카 바이어스와 디지털 블록인 지연단, 버퍼를 각각 가드링을

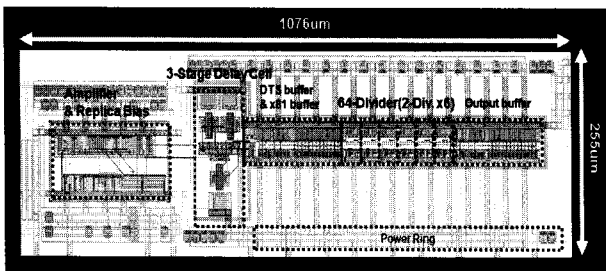


그림 4. 제안하는 저 위상잡음 링-전압제어발진기의 레이아웃

Fig. 4. Layout of Proposed Low Phase Noise ring-VCO.

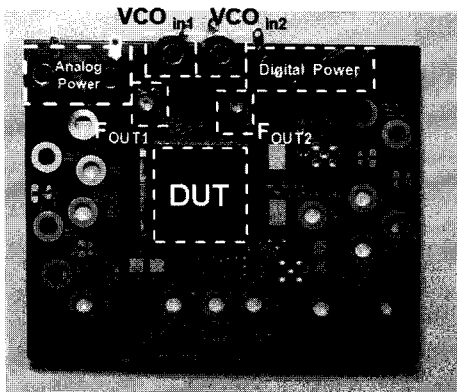


그림 5. 제작한 저 위상잡음 링-전압제어 발진기의 성능 검증용 PCB

Fig. 5. Performance verification PCB for Low Phase Noise Ring-VCO.

통해 디지털 부분의 잡음이 기판을 통해 아날로그 부분에 인가되는 것을 억제 시켰다. 또한 지연 단의 각 트랜지스터도 벌크를 따로 구성 하여 기판 잡음을 최소화 하였다. 3단의 지연단을 잇는 연결선의 길이와 폭이 일정 하도록 설계 하였다.

그리고 고주파용 패키징이 호환하지 않아 전압제어 발진기의 출력 신호를 64분주 하도록 하는 분주기를 포함하여 제작하였다. 그림 5는 제안한 저 위상잡음 링-전압제어 발진기의 성능 검증용 PCB이다. 입력 신호의 잡음을 최소화 하고자 PCB 설계 시 바이패스 커패시터 등을 이용하였다. 제안한 링-전압제어 발진기의 위상잡음 측정을 위해 스펙트럼 분석기와 전압제어발진기의 이득을 측정하기 위해 오실로스코프를 이용하였다. 공급전압과 입력 전압을 인가 하기 위해 전원공급기를 이용하였다.

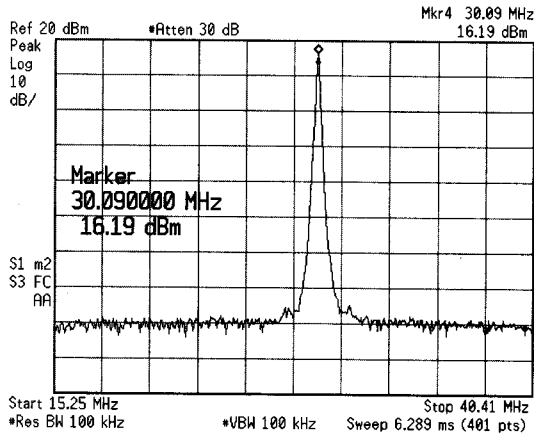
제작한 전압제어 발진기의 측정된 출력 스펙트럼은 그림 6과 같다. 측정된 중심 주파수의 값이 30MHz 일 때, 실제 전압제어 발진기의 출력은 64배인 1920MHz이다. 이때의 전력 값(a)과 오프셋 1MHz 주파수에서의 전력 값(b)을 식 (10)을 통해 위상잡음을 구하면 약 -119dBc/Hz이다.

그림 7은 출력 주파수에 따른 위상잡음 특성의 결과이다. 평균 위상잡음은 -118dBc/Hz이며, 출력 주파수에 따른 위상잡음은 1.2GHz~1.9GHz 출력에서 편차가 1.8% 이하이다. 출력 파형의 분주된 신호를 측정 하였을 때의 위상 잡음 특성이 약 6dB정도 좋아진다.^[5] 이를 감안하였을 때 실제 측정 위상 잡음은 약 -112dBc/Hz이다. 이 또한 타 논문에서 제안한 전압제어 발진기^[5, 8~12]의 위상잡음 보다 뛰어나다.

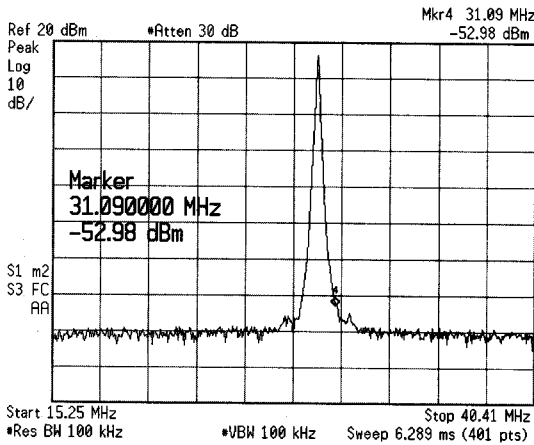
$$\begin{aligned} \text{Phase Noise} = & - [\text{Carrier Freq. Power Level} \\ & - \text{Offset Freq. Power Level}] \\ & - 10 \log [\text{Res BW}] \end{aligned} \quad (10)$$

그림 8은 제안하는 링-전압제어발진기의 이득 곡선이다. 일반적인 링-전압제어발진기의 이득 곡선 특성과는 다르게 입력전압의 초기 값에서 일정 오프셋을 가지고 곡선의 특성이 나타나므로 이득이 440MHz/V로 상대적으로 작다. 그리고 포스트 레이아웃 시뮬레이션 결과 대비 측정 결과의 출력 주파수가 10%~20% 낮다.

표 1은 본 논문에서 제안한 링-전압제어발진기의 성능과 국제 학술 논문에서 제안하는 성능과의 비교를 하였다. 일반적인 링-전압제어발진기의 총 전력소모^[7] 보



(a)



(b)

그림 6. (a) 분주된 1920MHz 신호의 전력 스펙트럼 (b) 1MHz 오프셋에서의 전력 값 <위상잡음은 -119.17dBc/Hz @ 1MHz>
 Fig. 6. (a) Power spectrum at the divide-by-64 output (1920 MHz) and (b) Power spectrum 1MHz Offset. <Phase Noise is -119.17dBc/Hz@1MHz>

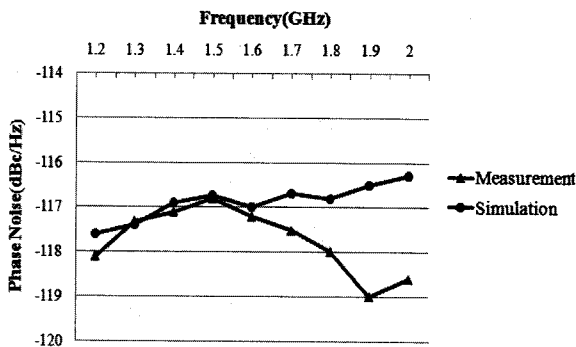


그림 7. 제안하는 주파수 합성기의 발진주파수-위상잡음 결과
 Fig. 7. Frequency-Phase Noise characteristics of Proposed Ring-VCO.

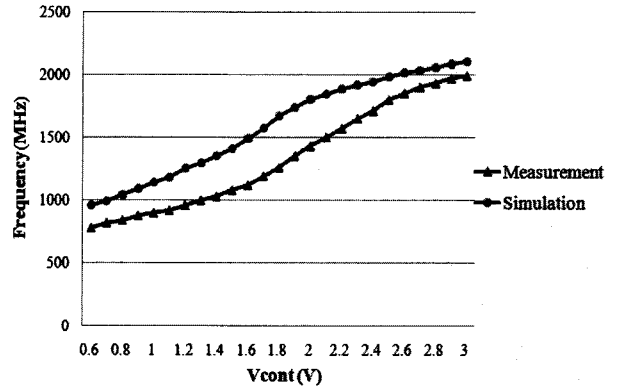


그림 8. 제안하는 링-전압제어발진기의 입력 전압-출력 주파수 특성 (vco 이득=440MHz/V)

Fig. 8. Input Voltage-Output Frequency characteristics of Proposed Ring-VCO ($K_{vco}=440\text{MHz/V}$).

표 1. 제안한 저 위상잡음 링-전압제어발진기와 국제 학술논문과의 성능비교

Table 1. Comparison of performance between the proposed Low Phase Noise Ring-VCO and international science paper.

Ref. No.	Type	Supply (V)	Power consumption (mW)	Operation Freq. (GHz)	Offset Freq. (MHz)	Phase Noise (dBc/Hz)
[8]	Ring	5	75	2.2	1	-94
[9]	Ring	3.3	6	1.25	1	-100
[11]	LC	2	.	1.8	0.6	-112
[10]	Ring	1.8	.	1.81	1	-105.5
[12]	Ring	3.3	9.8	0.9	0.6	-101.4
[5]	Ring	1.8/3.3 dual	.	2.24	1	-100
This Work	Ring	3.3V	7.5	1.9	1	-116
			9	1.9 / Divide-64	1	-119

다 작다. 하지만 각 지연 단에서 소모되는 전력 소모는 크다. 지연단의 수가 보통 4개 이상인 반면에 본 논문은 3개이고 레플리카 바이어스에서의 최소화된 전류의 설계로 인한 효과다.

IV. 결론

전압제어발진기 이득 제어 지연 단을 이용한 CMOS 저 위상잡음 링-전압제어발진기의 설계하였다. 제안하는 전압제어 발진기는 1.9GHz 동작 시 분주된 파형의 위상잡음이 -119dBc/Hz가 측정 되었다. 전압제어 발진기의 이득은 440MHz/V로 일반적인 전압제어 발진기보다 30% 감소 시켰으며 위상잡음은 5dB 정도 개선되었다. 이 밖에 래치 구조의 트랜지스터, 대칭부하 등을 이

용하여 위상잡음을 최소화 하였다. 각 지연단의 전력소모가 큰 것이 단점인데 3단 최적화 구성과 레플리카 바이어스 전력의 최소화 등으로 보완 하였다. 3.3V 공급 전원에서 9mW의 전력을 소모한다. 전압제어발진기의 코어 면적은 $450\mu\text{m} \times 210\mu\text{m}$ 로 일반적인 LC-탱크 전압 제어 발진기 보다 30% 이상 칩 면적을 절약할 수 있다.

제안한 저 위상잡음 링-전압제어 발진기는 저 위상잡음의 응용분야에 LC-탱크 전압제어발진기 대신에 PLL을 이용한 주파수 합성기, 클럭 데이터 복원기 등에 쓰여 무선 통신 시스템, 마이크로프로세서, RF 변복조기 회로에 사용 될 수 있을 것으로 기대된다.

참 고 문 헌

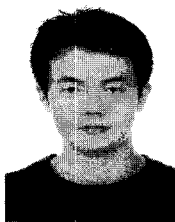
- [1] Zhong-Xuan Zhang, He Du, Man Shek Lee, "A 360MHz 3V CMOS PLL with 1V Peak to Peak Power Supply Noise Tolerance", ISSCC, 1996
- [2] L. Dai and R. Harjani, "Design of low-phase-noise CMOS ring-oscillators," *IEEE Trans. Circuits Syst. II*, vol. 49, pp. 328-338, May 2002.
- [3] Ali Hajimiri and Thomas H. Lee, "Design Issues in CMOS Differential LC Oscillators", *IEEE Journal of Solid State Circuits*, Vol.34, No.5, pp.717~724, May 1999.
- [4] 이상호, 한병기, 이재혁, 김형동, "SDR을 위한 다중밴드 Octa-Phase LC 전압제어 발진기 설계" 대한전자공학회논문지, 제 44권, 제7호, PP. 7~12. 2007. 7
- [5] Adrian Maxim, Ramin K. Poorfard, Richard A. Johnson, Philip John Crawley, "A Fully Integrated 0.13-um CMOS Digital Low-IF DBS Satellite Tuner Using a Ring Oscillator-Based Frequency Synthesizer" *IEEE J.Solid-State Circuits*, vol. 42, No.5, May. 2007.
- [6] John G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," *IEEE Journal of Solid State Circuits*, Vol.31, No.11, pp.1723~1733, Nov 1996.
- [7] 한윤철, 김광일, 이상철, 변기영, 윤광섭, "50% 듀티 사이클을 가진 산술 연산 구조의 이중대역 CMOS 전압제어 발진기" 대한전자공학회논문지, 제 41권, 제10호, PP. 79~86. 2004. 10
- [8] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE J. Solid- State Circuits*, vol. 31, pp. 331-343, Mar. 1996.
- [9] L. Sun, T. Kwasniewski, and K. Iniewski, "A quadrature output voltage controlled ring oscillator based on three-stage subfeedback loops," in *Proc. Int. Symp. Circuits and Systems*, vol. 2, Orlando, FL, 1999, pp. 176 - 179.
- [10] Yalcin Alper Eken, John P. Uyemura, "A 5.9-GHz Voltage- Controlled Ring Oscillator in 0.18-um CMOS", *IEEE J. Solid-State Circuits*, vol. 39, No.1, JAN. 2004.
- [11] Toby K. K. Kan, Gerry C. T. Leung, Howard C. Luong, "A 2-V 1.8-GHz Fully Integrated CMOS Dual-Loop Frequency Synthesizer" , *IEEE J.Solid-State Circuits*, vol. 34, No.6, JUNE. 2002.
- [12] In-Chul Hwang, Chulwoo Kim, Sung-Mo(Steve) Kang, "A CMOS Self-Regulating VCO With Low Supply Sensitivity", *IEEE J. Solid-State Circuits*, vol. 39, January 2004.

저 자 소 개



한 윤 택(정회원)
 2007년 2월 인하대학교
 전자공학과 학사 졸업.
 2009년 2월 인하대학교
 전자공학과 석사 졸업
 2009년 2월~현재 Silicon Works
 co.,Ltd. 연구원

<주관심분야 : 아날로그/디지털 VLSI 설계, PLL
 및 주파수 합성기 설계 등>



김 원(정회원)
 2008년 2월 인하대학교
 전자공학과 학사 졸업.
 2008년 2월~현재 인하대학교
 전자공학과 석사 과정
 <주관심분야 : 아날로그/디지털
 VLSI 설계, 플래쉬 A/D 변환기
 설계 >



윤 광 섭(정회원)
 1982년 2월 인하대학교
 전자공학과 학사 졸업.
 1983년 2월 Georgia Institute Inc,
 Technology 전자공학과
 석사 졸업
 1989년 2월 Georgia Institute Inc.
 Technology 전자공학과
 박사 졸업

1984년 3월~1989년 2월 Georgia Institute of
 Technology Research Assistant

1989년 3월~1992년 2월 Silicon Systems Inc,
 Tustin Calif. U.S.A Senior Design
 Engineer

1992년 3월~현재 인하대학교 전자공학과 교수
 <주관심분야 : 음성신호처리 집적회로 설계, 설계
 자동화 및 소자/회로/시스템 모델링 등>