

논문 2009-46SD-4-9

# 공통 자기 상관기를 이용한 효율적인 디지털 위성 방송 프레임 동기부 회로 구조

## (Efficient Frame Synchronizer Architecture Using Common Autocorrelator for DVB-S2)

최진규\*, 선우명훈\*, 김판수\*\*, 장대익\*\*

(Jin Kyu Choi, Myung Hoon Sunwoo, Pansoo Kim, and Dae-Ig Chang)

### 요약

본 논문은 위성방송 표준인 DVB-S2 (Digital Video Broadcasting via Satellite, Second generation) 에 적용 가능한 공통 자기 상관 연산기를 사용한 효율적인 프레임 동기부 회로를 제안한다. 열악한 채널 상태 환경에서의 안정적인 성능을 달성하고 구현된 기능 동기블록의 하드웨어 자원을 효율적으로 활용하기 위해 본 논문에서는 새로운 구조의 효율적인 공통 자기상관기 구조를 제안한다. 제안한 동기부 회로는 병렬 구조를 취함으로써 프레임, 주파수 동기부 회로의 성능을 개선하여 프레임 동기부의 복잡도를 현저히 감소시킬 수 있었다. 따라서 제안한 동기부 회로는 직접 구현한 방식과 비교하여 약 92%의 곱셈기 개수와 81%의 덧셈기 개수를 줄일 수 있었다. 또한 FPGA 보드와 R&STM SFU 방송 테스트 장비를 이용하여 제안된 구조를 검증하였으며 총 LUTs 는 Xilinx™ Virtex IV LX200 칩의 29,821을 차지하였다.

### Abstract

This paper presents an efficient frame synchronizer architecture using the common autocorrelator for Digital Video Broadcasting via Satellite, Second generation (DVB-S2). To achieve the satisfactory performance under severe channel conditions and the efficient hardware resource utilization of functional synchronization blocks which have been implemented, we propose a new efficient common autocorrelator structure. The proposed architecture can improve the performance of the frame and frequency synchronizer since each block operates jointly in parallel and significantly reduce the complexity of the frame synchronizer. Hence, The proposed architecture can ensure the decrease by about 92% multipliers and 81% adders compared with the direct implementation. Moreover, it has been thoroughly verified with an FPGA board and R&STM SFU broadcast test equipment and consists of 29,821 LUTs with Xilinx™ Virtex IV LX200.

**Keywords:** DVB-S2, frame synchronization detector, common autocorrelator, SNR estimator, modem

\* 정희원, 아주대학교 전자공학부  
(Department of Electrical Engineering, Ajou University)

\*\* 정희원, 한국전자통신연구원  
(Electronics and Telecommunications Research Institute)

※ 본 연구는 교육인적 자원부 2단계 BK (Brain Korea) 21 과제의 지원과 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체기반기술개발사업(시스템 IC 2010)” 그리고 반도체설계교육센터(IDEC)의 지원을 받아 수행되었습니다.  
접수일자: 2008년1월23일, 수정완료일: 2009년3월27일

## I. 서론

고속의 통신 서비스를 향한 고객들의 끊임없는 수요로 인해 위성 방송 서비스와 방송 기술들은 점진적으로 발달해 왔다. 현재 전 세계적으로 DVB-S<sup>[1]</sup> (The Digital Video Broadcasting - Satellite) 표준이 위성방송에 널리 사용되어 왔다. 하지만 방송과 통신의 융합된 서비스 그리고 좀 더 증가된 채널 전송 용량에 관한 고객들의 요구를 만족시키기 위해 기존 DVB-S 시스템

의 주파수 효율을 개선한 DVB-S2 표준화 작업이 2003년 DVB 프로젝트에서 완료되어 2004년 6월 ETSI (European Telecommunication Standards Institute) 에서 DVB-S의 개량된 개정인 DVB-S2 (ETSI EN 302 307) 을 발표했다<sup>[2-3]</sup>. DVB-S2는 고차 변복조 기법을 사용하고 채널 코딩으로는 BCH (Bose - Chadhuri - Hocquenghem) 와 LDPC (Low Density Parity Check) 부호를 사용하여 같은 환경에서의 DVB-S에 비해 약 35% 이상 증가된 채널 용량을 제공하며 또한 대역폭의 활용도와 효율도 개선되었다.

최대 채널 효율성을 확보하기 위해 DVB-S2 복조기의 동기부는 LDPC 디코더가 QEF (Quasi Error Free) 상태에 도달할 수 있도록 SNR (Signal-to-Noise Ratio) 이 약 -2.35dB 에서도 잘 동작할 수 있어야 한다. 하지만 시뮬레이션 결과 기존의 간단한 알고리즘<sup>[3]</sup>으로는 필요한 성능을 만족시킬 수 없었다<sup>[4]</sup>. 결국 이러한 문제를 해결하기 위해 본 논문에서는 프레임 동기부, 주파수 동기부, SNR 추정기를 위한 좀 더 복잡하고 효율적인 알고리즘을 선정하였다. 주어진 필요 여건을 달성하기 위해 선정한 알고리즘으로는 프레임 동기부를 위한 D-GPDI (Differential - Generalized Post Detection Integration)<sup>[4]</sup> 알고리즘, 주파수 동기부를 위한 Mengali and Moreli (M&M) 알고리즘, SNR 추정기를 위해 SNV (Squared Signal-to-Noise Variance) 알고리즘을 사용하였다<sup>[5-7]</sup>. 각 블록에 사용된 알고리즘은 모두 ML (Maximum Likelihood) 방식에 기초한 알고리즘을 사용하였으므로 필연적으로 자기 상관 연산을 모두 포함한다. 하지만 각 알고리즘에 사용된 자기 상관 연산은 26 심볼의 SOF (Start Of Frame) 라는 훈련 신호열에 관한 복소수 곱셈으로 인해 하드웨어로 구현 시 매우 높은 복잡도를 가지며 기존에 직렬 방식의 동기부 구조는 각 알고리즘의 성능 면에서와 하드웨어 복잡도 면에서 다소 비효율적이다. 이런 관점에서 볼 때, 본 논문에서는 높은 하드웨어 복잡도를 감소하고 안정적인 성능을 보장하기 위해 서로 공통 자기 상관기를 공유하여 사용할 수 있는 효율적인 동기부 회로 구조를 제안한다. 하드웨어 관점에서 볼 때, 제안한 구조는 자기 상관기를 공유함으로써 많은 수의 자기 상관기를 줄일 수 있다. 또한 성능 면에서 볼 때, 주파수 동기부와 프레임 동기부는 통합된 구조를 취함으로써 각 블록이 서로 성능을 상호 보완해 주어 큰 주파수 오차와 낮은 SNR 환경에서도 안정적인 성능을 보장해 줄 수 있다. 게다가 SNR

추정기는 SNR에 따라 변하는 프레임 동기부의 검출 문턱값에 대한 기준을 제공해 줌으로써 안정적으로 프레임 동기부를 동작할 수 있게 한다. 또한 제안한 동기부는 병렬 구조로 되어 있어 불특정하고 빠르게 변화하는 채널 환경에서도 초기 안정 상태를 안정적이고 빠르게 달성할 수 있다.

본 논문의 구성은 다음과 같다. II장에서는 각 동기부와 SNR 추정기에 사용되는 알고리즘을 분석한다. III장에서는 제안한 하드웨어 구조와 성능을 나타낸다. IV장에서는 구현 결과를 분석하고 기존 방식과 비교한다. 마지막으로 V장에서는 결론을 맺는다.

## II. 각 알고리즘 분석

본 장에서는 DVB-S2 복조기 시스템의 각 동기부에 사용될 알고리즘을 분석한다. 각 알고리즘의 특징을 알아보고 성능을 분석하여 최적의 알고리즘을 선정하고 제안한 동기부 구조에서 공통으로 자기 상관 연산을 공유할 수 있는 부분을 찾아낸다.

### 1. 프레임 동기부 알고리즘

DVB-S2의 프레임 동기 검출은 -2.35dB에 해당하는 매우 낮은 SNR과 심볼레이트 25MBaud 의 20%에 해당하는 최대 5MHz 의 주파수 오차의 상황에서 검출해야 하게 때문에 일반적인 상관기로 구하기는 어렵다. 수신된 신호의 주파수 오차 성분은 전반적인 SOF 신호열의 상관 연산 값 및 누적 값을 왜곡하므로 이런 문제를 해결하기 위해 넌 코히어런트 (Non-Coherent) 계열의 알고리즘을 사용해야 한다. 본 논문에서는 기존의 NCPDI, DPDI, GPDI, D-GPDI 와 같은 여러 종류의 PDI 방법을 분석하여 최적의 알고리즘을 선정하였다<sup>[4]</sup>.

수신된 신호  $r(t) = s(t) + n(t)$ 로 표현된다.  $s(t)$ 는 송신된 신호이고  $n(t)$ 는 AWGN (Additive White Gaussian Noise)이다. 송신 신호  $s(t)$ 는 식 (1)와 같이 표현할 수 있다.

$$s(t) = \sum_{k=-\infty}^{\infty} \sqrt{E_s} a_k p(t - kT_s) e^{j(2\pi\Delta f t + \phi)} \quad (1)$$

여기서  $p(t)$ 는 SRRC (Square Root Raised Cosine) 펄스 파형,  $T_s$ 는 심볼 주기,  $\Delta f$ 는 주파수 오차, 그리고  $\phi$ 는 알지 못하는 위상을 나타낸다. TDM/TDMA (Time Division Multiple Access) 전송에서 프레임에

송수신기 양쪽이 알고 있는 신호를 넣어 보낸다. 이를  $a_k$ 로 나타냈다.

$$a_k = \begin{cases} c_k & k \in [0, L_{UW} - 1] \\ d_k & k \in [L_{UW}, L_F] \end{cases} \quad (2)$$

여기서  $L_{UW}$ 는 알고 있는 신호의 길이이고,  $L_F$ 는 전체 프레임 길이 이고,  $c_k$ 는  $k$ 번째 알고 있는 신호이고,  $d_k$ 는  $k$ 번째 랜덤 데이터 신호를 나타낸다. 프레임 동기 단에 도착한 신호는 이미 심볼 Matched 필터와  $(m + \Delta)T_s + \delta$  시점에서 심볼 샘플링 처리가 끝난 값이다. 이를  $m$ 번째 샘플링 한 값을 나타내면 식 (3)과 같다.

$$r_m = \sum_{k=-\infty}^{\infty} \sqrt{E_s} a_k e^{j(2\pi\Delta f[(m+\Delta)T_s + \delta] + \phi)} \times R_p((m-k+\Delta)T_s + \delta) + n'_m \quad (3)$$

여기서  $R_p$ 는 SRRC 펄스 자기상관 함수를 나타내고  $n'_m$ 은 필터의 노이즈이다. 이렇게 프레임 동기 단으로 들어오는 신호에서 송수신기에서 알고 있는 신호인  $a_k$ 와 자기 상관관계가 큰 값을 검출할 수 있다. 알고 있는 SOF단의 수신된 신호 샘플의 코히어런트는 식 (4)와 같다.

$$x_i = \sum_{m=iM}^{(i+1)M-1} r_m c_m^* \quad (4)$$

여기서  $r_m$ 은 수신된 신호이며  $c_m$ 은 SOF 자기 상관 계수이다. 이를 이용한 NCPDI,  $n$ -Span DPDI, GPDI, D-GPDI는 아래와 같다.

$$\Lambda^{NCPDI} = \sum_{k=0}^{L-1} |x_k|^2 \quad (5)$$

$$\Lambda^{n\text{-Span DPDI}} = \left| \sum_{k=n}^{L-1} x_k x_{k-n}^* \right| \quad (6)$$

$$\Lambda^{GPDI} = \Lambda^{NCPDI} + 2 \sum_{n=1}^{L-1} \Lambda^{n\text{-Span DPDI}} \quad (7)$$

$$\Lambda^{D\text{-GPDI}} = 2 \sum_{n=1}^{L_{SOF}-1} \Lambda^{n\text{-Span DPDI}} \quad (8)$$

여기서  $M$ 은 코히어런트 합의 길이이고,  $L$ 은 PDI의

길이로  $M \times L = L_{UW}$ 를 만족시키면서 설계해야 된다. 본 논문에서는  $M$ 은 1로  $L$ 은 26으로 설계하였다<sup>[8]</sup>. PDI 계열의 알고리즘 성능을 비교 분석 시 복잡도와 성능을 고려하여 D-GPDI 알고리즘을 채택하였다<sup>[5]</sup>.

## 2. 주파수 동기부 알고리즘

데이터 도음 방식의 알고리즘은 짧은 신호열을 이용하여도 좋은 성능을 유지할 수 있는 기술적인 장점이 있다. Lovell and Williamson (L&W), Fitz, Luise and Reggiannini (L&R) 알고리즘들은 심볼레이트  $1/T$ 에 정형화된 서로 다른 주파수 오차 추정치인  $\pm \Delta f$ 를 추정할 수 있다<sup>[6]</sup>. 위의 세 가지 알고리즘은 모두 공통적으로 아래와 같은 상관 연산을 수행한다.

$$R_n(k) = \frac{1}{L_p - k} \sum_{i=k}^{L_p-1} p_i^n c_i^* (p_{i-k}^n c_{i-k}^*)^*, \quad 0 \leq k \leq M-1 \quad (9)$$

여기서  $L_p$ 는 파일럿 심볼의 길이이고  $M$ 은  $L_p/2$ 보다 크지 않으며 자기상관 연산기의 개수에 해당한다.  $p_i^n$ 는  $n$ 번째 파일럿 블록의  $i$ 번째 파일럿에 해당하며  $c_i$ 는  $i$ 번째 파일럿의 계수이다. 이때  $c_i$ 를 SOF 계수로 치환하면 SOF를 이용하여 위 연산식을 수행할 수 있으며 이를 이용하여 타 동기부와 자기 상관 연산식을 공유할 수 있다.

M&M 알고리즘은 식 (10)과 같다<sup>[9]</sup>.

$$\hat{f}_{e,M\&M} = \frac{1}{2\pi T_s} \sum_{k=1}^M l_k \arg\{R_n(k)R_n^*(k-1)\} \quad (10)$$

여기서  $l_k$ 는 식 (11)과 같다.

$$l_k = 3 \frac{(L_p - 1)(L_p - k + 1) - M(L_p - M)}{M(4M^2 - 6ML_p + 3L_p^2 - 1)} \quad (11)$$

M&M 알고리즘은 이웃한 심볼 간의 위상차인  $\arg\{R(k)R^*(k-1)\}$  값의 가중합 평균을 사용하여 주파수 오차를 추정한다. 이에 반하여 L&R 알고리즘과 Fitz 알고리즘은 식 (12), (13)과 같다.

$$\hat{f}_{e,L\&R} = \frac{1}{\pi T_s (M+1)} \arg\left\{ \sum_{k=1}^M R_n(k) \right\} \quad (12)$$

$$\hat{f}_{e,Fitz} = \frac{2}{\pi T_s M(M+1)} \arg\left\{ \sum_{k=1}^M R_n(k) \right\} \quad (13)$$

M&M 알고리즘은 L&W 알고리즘보다 정확성이 높고 다른 알고리즘보다 주파수 추정 범위가 넓으므로 M&M 알고리즘을 주파수 동기부 알고리즘으로 채택하였다<sup>[6]</sup>.

### 3. SNR 추정부 알고리즘

DVB-S2 시스템에서 ACM (Adaptive Coding and Modulation) 동작과 프레임 동기부의 오검출/미검출 확률 제어를 위해 SNR 추정 정보는 매우 중요하다. 본 논문에서는 짧은 신호열인 SOF를 가지고 SNR을 추정하기 위해 ML 방식을 기초로 데이터 도움 방식인 SNV 알고리즘을 분석하였다<sup>[10~11]</sup>. 데이터 도움 기반의 SNR 추정 알고리즘 역시 알려진 훈련 신호열인 SOF에 대한 상관도 값을 이용하여 추정하므로 타 동기부와 자기 상관회로를 공유할 수 있다. ML 알고리즘과 SNV 알고리즘은 식 (14), (15) 와 같다.

$$\hat{\rho}_{ML} = \frac{\left| \frac{1}{N} \sum_{m=0}^{N-1} r_m c_m^* \right|^2}{\frac{1}{N} \sum_{m=0}^{N-1} |r_m c_m^*|^2 - \left| \frac{1}{N} \sum_{m=0}^{N-1} r_m c_m^* \right|^2} \quad (14)$$

$$\hat{\rho}_{SNV} = \frac{\left[ \frac{1}{N} \sum_{m=0}^{N-1} r_m c_m^* \right]^2}{\frac{1}{N} \sum_{m=0}^{N-1} r_m^2 - \left[ \frac{1}{N} \sum_{m=0}^{N-1} r_m c_m^* \right]^2} \quad (15)$$

그림 1은 ML 알고리즘과 SNV 알고리즘의 성능 비교를 보여 준다. 그림 1에서 보여 지는 바와 같이 MSE (Mean Squared Error) 성능에서 SNV 알고리즘이 ML 알고리즘보다 다소 우수하므로 본 논문에서는 SNV 알고리즘을 채택하도록 하였다.

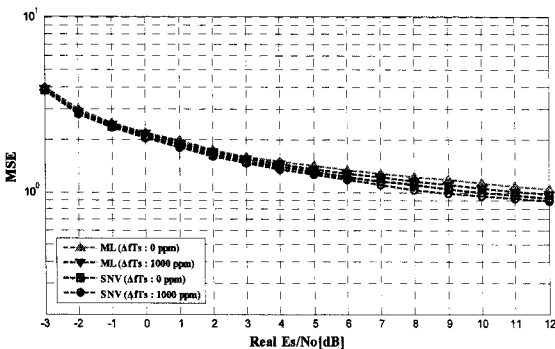


그림 1. SNR의 변화에 따른 ML 알고리즘과 SNV 알고리즘의 성능 비교

Fig. 1. Performance comparisons of ML and SNV algorithm in the variation of SNR.

### III. 제안한 하드웨어 구조 분석

본 장에서는 제안한 하드웨어의 구조를 분석한다. II장에서 선정한 알고리즘을 바탕으로 하드웨어 구조를 새롭게 제안하여 기존의 방식과 비교해 본다. 프레임 동기부에 사용된 D-GPDI 알고리즘, 주파수 동기부에 사용된 M&M 알고리즘, SNR 추정기에 사용된 SNV 알고리즘은 모두 ML 방식에 기초한 데이터 도움 방식의 알고리즘들이다. 따라서 모두 좋은 성능을 낼 수 있는 알고리즘들이지만 필연적으로 알려진 훈련 신호열인 SOF 26심볼을 이용하여 복소수의 자기 상관 연산을 필요로 하므로 하드웨어 상으로 구현 시 매우 높은 복잡도를 지니는 단점이 있다. 본 논문에서는 위의 각 동기부에 사용된 자기 상관 연산회로를 공유하여 회로를 통합함으로써 하드웨어 복잡도를 줄이고 각 블록의 성능을 상호 보완하여 각 동기부 블록의 성능을 개선하는 시너지 효과를 창출하고자 한다.

#### 1. 기존의 구조 분석

그림 2는 기존의 하드웨어 구조도를 나타낸다<sup>[5~7]</sup>. 기존의 구조에서는 각 동기부 블록이 직렬로 구성되어 있으므로 각 블록이 상호 의존적으로 동작 한다. 채널 환경에서의 노이즈와 큰 주파수 오차는 프레임 동기부의 성능을 심각하게 저하시킨다. 따라서 기존 구조에서는 낮은 SNR 과 큰 주파수 오차의 채널 환경으로 인해 프레임 동기부가 잘 동작하지 못하면 전체 시스템의 성능에 현저한 저하를 초래하는 중대한 결점이 존재한다.

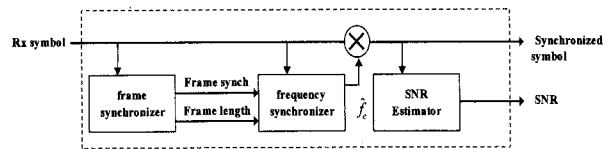


그림 2. 기존의 하드웨어 구조  
Fig. 2. Existing hardware architecture.

#### 2. 제안한 하드웨어 구조

제안한 하드웨어의 구조는 그림 3과 같다. 각 블록은 공통 자기 상관기를 공유하며 병렬적으로 연계하여 동작한다. 또한 SOF를 검출함과 동시에 주파수 오차를 추정할 수 있으므로 주파수 오차 보상은 점차적으로 주파수 오차를 보상하며 입력 신호에서 주파수 오차를 보상한 신호는 프레임 동기부에게 주파수 오차가 거의

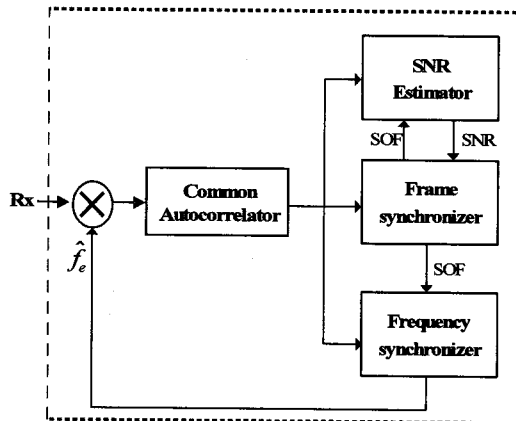


그림 3. 제안한 하드웨어 구조  
Fig. 3. Proposed hardware architecture.

없는 상태의 조건을 제공해 준다. 그 결과 제안한 구조의 프레임 동기부 회로는 D-GPDI 알고리즘 중에서 단지 DPDI, 2-span DPDI 만 사용하여도 성능의 큰 차이 없이 프레임 동기를 검출할 수 있다. 게다가 주파수 동기부 회로는 초기의 주파수 오차를 제거한 나머지 주파수 오차만 추정하면 되므로 잔류 주파수 오차는 현저히 줄어들게 된다.

프레임 동기부에서 SNR 이 감소함에 따라 노이즈의 에너지가 첨가되기 때문에 계산된 D-GPDI 의 에너지 출력 값은 점차 상승한다. 따라서 SOF 검출을 결정하는 문턱값은 SNR 추정기에서 병렬적으로 추정된 SNR 정보에 따라 적합하게 변경될 수 있어야 한다. (문턱값은 노이즈 분산도에 따라 정규화 된다.) 그 결과로 제안한 구조의 프레임 동기부는 매우 낮은 SNR 환경과 큰 주파수 오차의 채널 환경에서도 안정적인 성능을 보장할 수 있다.

프레임 동기부에서 전체 D-GPDI 알고리즘을 구현하

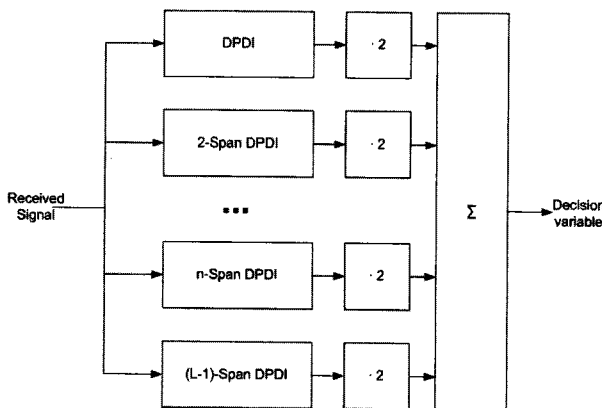


그림 4. D-GPDI 프레임 동기 방법  
Fig. 4. D-GPDI frame synchronization method.

기 위해서는 총 1,455개의 곱셈기와 1,455개의 덧셈기가 필요하다<sup>[4]</sup>. 따라서 D-GPDI 알고리즘을 하드웨어로 구현할 때는 복잡도가 너무 커서 구현이 거의 불가능하다. 그러나 본 논문에서 제안한 프레임 동기부의 하드웨어 구조에서는 성능 면과 복잡도 면을 고려하여 단순히 DPDI, 2-span DPDI 만으로 구현하였다. 또한 SOF 신호열의 특성상 크기는 모두 동일하고 부호만 다르므로 자기 상관 연산의 복소 곱셈시 곱셈기를 모두 멀티플렉서로 대체하여 복잡도를 더욱 감소시킬 수 있었다.

### 3. 성능 비교

그림 5는 제안한 프레임 동기부의 성능을 보여 준다. 그림 5의 Y축은 SOF를 검출시와 미검출시 D-GPDI 값의 비율을 나타낸다. 프레임 동기부의 성능 비교는 심블레이트의 20%에 해당하는 최대 주파수 오차 환경에서 실시되었다. 그림 5에서 보여 지는 바와 같이 제안한 구조의 프레임 동기부는 보다 안정적인 성능을 보여주므로 전체 시스템의 복잡도를 현저히 감소시켜 줄 수

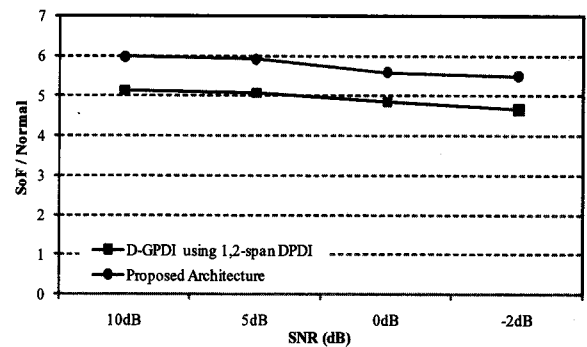


그림 5. 제안한 프레임 동기부의 성능 비교  
Fig. 5. Performance of the proposed frame synchronizer.

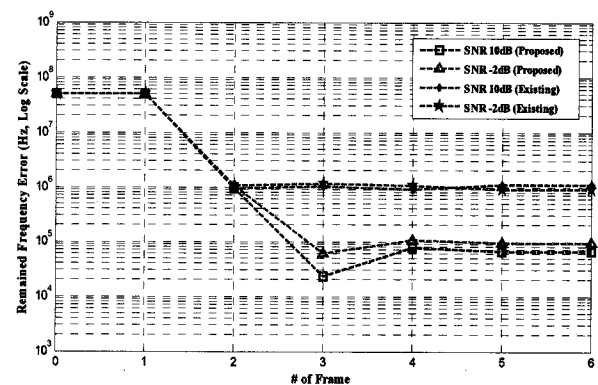


그림 6. 제안한 주파수 동기부의 성능 비교  
Fig. 6. Performance of the proposed frequency synchronizer.

있다.

그림 6은 제안한 주파수 동기부 회로의 성능을 보여 준다. 잔류 주파수 오차를 확인한 결과 초기 주파수 오차를 제거한 나머지 잔류 주파수 오차만을 보상하므로 기존의 구조<sup>[6]</sup>에 비해 잔류 주파수 오차가 현저하게 줄어드는 모습을 볼 수 있다.

#### IV. 구현 결과

본 장에서는 제안한 동기부 하드웨어 구조와 기존 동기부 하드웨어 구조의 복잡도 측면에서 성능 비교를 제시한다. 제안한 구조는 Coware<sup>TM</sup> SPW를 이용하여 모델링 시뮬레이션을 수행하였고 고정 소수점 모델링을 통해 최적화된 비트 폭을 찾아 Verilog HDL을 이용하여 하드웨어 설계를 하였다. 로직 합성은 Synplicity<sup>TM</sup> Synplify Pro 8.0 과 Xilinx<sup>TM</sup> ISE 9.2i를 이용하여 수행되었다. 또한 제안한 하드웨어 구조는 Xilinx<sup>TM</sup> Vertex IV LX200 칩이 내장된 FPGA 보드와 R&S<sup>TM</sup> SFU 위성 테스트 장비를 통해 합성된 로직을 검증하였다.

표 1은 기존의 공통 자기 상관기를 사용하지 않은 구조와 제안한 구조와의 성능 비교를 보여 준다. 기존의 직접 구현 구조에서는 1,750개의 곱셈기와 1,736개의 덧셈기가 필요하므로 하드웨어 구현 시 복잡도가 너무 크므로 구현이 불가능하다. 반대로 제안한 하드웨어 구조는 단지 141개의 곱셈기와 338개의 덧셈기만 필요로 하므로 복잡도를 현저히 감소시킬 수 있었다. 제안한 구조는 공통 자기 상관기를 공유하지 않는 구조에 비하여 약 70% 정도에 해당하는 LUT (Look-up-tables) 인 29,821개를 차지함으로 LUT면에서 현저히 감소함을 확인할 수 있었다.

#### V. 결 론

본 논문에서는 DVB-S2 복조기 시스템에서 공통 자기 상관기를 공유한 새로운 구조의 효율적인 동기부 회로를 제안한다. 제안한 동기부 구조는 열악한 채널 상황인 낮은 SNR 과 큰 주파수 오차 환경에서도 안정적인 성능을 제공해 줄 수 있다. 게다가 제안한 하드웨어 구조는 기존 구조의 직접 구현에 비해 92%의 곱셈기 개수와 81%의 덧셈기 개수를 줄일 수 있었다. 다시 말해 제안한 하드웨어 구조는 하드웨어 자원 활용도를 높일 수 있었고 파워 소모를 줄일 수 있었다. 제안한 하드웨어는 기존 구조에 비해 약 70%에 해당하는 LUT를 이용하여 구현하였다.

표 1. 성능 비교

Table 1. Performance comparisons.

프레임 동기부	직접 구현 <sup>[4]</sup>	곱셈기	1,455
		덧셈기	1,455
	제안한 구조	곱셈기	104
		덧셈기	174
주파수 동기부	직접 구현 <sup>[6]</sup>	곱셈기	85
		덧셈기	74
	제안한 구조	곱셈기	33
		덧셈기	35
SNR 추정기	직접 구현	곱셈기	106
		덧셈기	129
	제안한 구조	곱셈기	2
		덧셈기	51
공통자기 상관기	직접 구현	곱셈기	104
		덧셈기	78
	제안한 구조	곱셈기	2
		덧셈기	78
LUT Count	공통자기상관기 미사용	42,350 (100%)	
	제안한 구조	29,821 (70%)	

#### 참 고 문 헌

- [1] Digital video broadcasting (DVB); Framing structure, channel coding and modulation for 11/12 GHz satellite services, EN300 421 (V1.1.2), European Telecommunications Standards Institute (ETSI), 1997.
- [2] Digital video broadcasting (DVB); Second Generation framing Structure Channel Coding and Modulation System for Broadcasting, Interactive Service, News Gathering and other broadband satellite application, EN302 307 (V1.1.1), European Telecommunications Standards Institute (ETSI), June 2004.
- [3] Digital video broadcasting (DVB); User guidelines for the second generation system for broadcasting, interactive services, news gathering and other broad-band satellite applications (DVB-S2), European Telecommunications Standards Institute (ETSI), TR 102 376, 2005.
- [4] Pansoo Kim et al., "Enhanced Frame synchronization for DVB-S2 system under a

- large of frequency offset," *IEEE WCNC (Wireless Communications and Networking)*, vol. 1, Issue. 1, pp. 1183-1187, Mar. 2007.
- [5] J.K. Choi, Y.J. Jung, M.H. Sunwoo, P.S. Kim and D.I. Chang, "Efficient Frame Synchronization Detector using Modulation Mode Estimation for DVB-S2," in *Proc. IEEE Internation SoC Design Conference (ISOCC)*, pp. 237-240, Oct. 2007.
- [6] J.W. Park, M.H. Sunwoo, P.S. Kim and D.I. Chang, "An efficient data-aided initial frequency synchronizer for DVB-S2," in *Proc. IEEE Workshop on Signal Processing Systems (SiPS)*, Oct. 2007.
- [7] J.W. Park, H.J. Yun, M.H. Sunwoo, P.S. Kim and D.I. Chang, "Efficient Coarse Frequency Synchronizer Using Serial Correlator for DVB-S2," in *Proc. IEEE Internation Symposium on Circuit and Systems (ISCAS)*, pp. 1520-1523, May. 2008.
- [8] Giovanni E. Corazza, Raffaella Pedone, and Marco Villanti, "Frame Acquisition for Continious and Discontinuous Transmission in the Forward Link of Ka-band Satellite Systems," *6th Europ. Workshop on Mob./Pers. Satcoms, EMPS 2004, and 2nd Advanced Sat. Mob. Systems Conf., ASMS 2004, Noordwijk, The Netherlands*, 21-22 Sep., 2004.
- [9] U. Mengali and M. Moreli, "Data-aided frequency estimation for burst digital transmission," *IEEE Trans. on Commun.*, vol. 45, no. 1, pp. 23-25, Jun. 1997.
- [10] Pauluzzi, D.R., Beaulieu, N.C. "A comparison of SNR estimation techniques for the AWGN channel," *Communications, IEEE Transactions on*, Volume 48, Issue 10, Oct. 2000
- [11] D.C. Rife and R.R. Boorstyn, "Single-tone parameter estimation from discrete-time observation," *IEEE Trans Inform. Theory, upl. IT-20*, no.5, pp.591-598, Sep.1974.

저 자 소 개



**최진규(정회원)**  
 2005년 아주대학교 전자공학과  
 학사 졸업.  
 2007년~현재 아주대학교  
 전자공학과 석사 재학.  
 <주관심분야 : 통신용 신호처리,  
 프로세서 설계>



**선우명훈(정회원)**  
 1980년 서강대학교 전자공학과  
 학사 졸업.  
 1982년 한국과학기술원 전자공학  
 석사 졸업.  
 1982년~1985년 한국전자통신  
 연구소 (ETRI) 연구원.

1985년~1990년 Univ. of Texas at Austin  
 전자공학 박사.  
 1990년~1992년 Motorola, DSP Chip Division  
 (미국).  
 1992년~1996년 아주대학교 전기전자공학부  
 조교수.  
 1996년~2001년 아주대학교 전자공학부 부교수.  
 2001년~현재 아주대학교 전자공학부 교수.  
 300편 이상의 논문, 39개 특허 출원 및 등록.  
 IEEE Workshop on Signal Processing Systems  
 (SIPS) 2005 Best Student Paper Award 포함 20  
 회 이상의 논문상 수상.  
 IEEE SIPS 2003 Technical Program Chair 역임.  
 2007년 현재 IEEE SIPS, Cool Chips, Design  
 Automation and Test in Europe (DATE), IEEE  
 International ASIC/SOC Conference,  
 Asian-Pacific Conference on CAS (APC-CAS),  
 Asian-Solid State Circuits Conference  
 (A-SSCC), International SOC Design  
 Conference (ISOCC), International Symposium  
 on VLSI Design, Automation and Test  
 (VLSI-DAT) 등 국제 학회 committee 위원.  
 <주관심분야 : VLSI 및 Parallel Architecture, 통  
 신 멀티미디어용 DSP 칩 및 ASIC 설계>



**김판수(정회원)**  
 2000년 성균관대학교 전기전자 및  
 컴퓨터공학부 학사 졸업.  
 2002년 성균관대학교 전기전자 및  
 컴퓨터공학부 석사 졸업.  
 2002년~현재 한국전자통신연구원  
 광역방통융합연구팀  
 선임연구원

<주관심분야 : 위성방송/통신 (DVB-S2/RCS 표  
 준화), 모델설계, 통신신호처리, 동기 및 채널복호  
 기법, VLSI 모델 구현>



**장대익(정회원)**  
 1985년 한양대학교 공과대학  
 전자통신공학과 학사 졸업.  
 1989년 한양대학교 대학원  
 전자통신공학과 석사 졸업.  
 1999년 충남대학교 대학원  
 전자공학과 공학박사.

1990년~현재 한국전자통신연구원 광역방통융합  
 연구팀 팀장  
 1991년~1993년 캐나다 MPR Teltech 연구소  
 VSAT팀 연구원  
 2005년~현재 과학기술연합대학원대학교(UST)  
 이동통신 및 디지털방송공학 전공 교수  
 <주관심분야 : 위성통신시스템, 위성방송, 디지털  
 통신, 디지털 변복조>