

논문 2009-46SD-4-8

다양한 회로 공유기법을 사용하는 10비트 100MS/s 27.2mW 0.8mm² 0.18um CMOS Pipeline ADC

(A 10b 100MS/s 27.2mW 0.8mm² 0.18um CMOS Pipeline ADC with
Various Circuit Sharing Schemes)

윤근용*, 이세원*, 최민호*, 이승훈**

(Kun-Yong Yoon, Se-Won Lee, Min-Ho Choi, and Seung-Hoon Lee)

요약

본 논문에서는 IEEE 802.11n 표준과 같은 근거리 무선통신망 응용을 위한 10비트 100MS/s 27.2mW 0.8mm² 0.18um CMOS ADC를 제안한다. 제안하는 ADC는 고속 동작에 적합한 3단 파이프라인 구조를 기반으로 제작되었으며 각단에 공통적으로 사용되는 증폭기, 프리앰프 및 저항 열을 최대한 효율적으로 공유함으로써 전력 소모 및 면적을 최소화하였다. 첫 번째 MDAC과 두 번째 MDAC에는 스위치 저항과 메모리 효과가 없는 증폭기 공유기법을 사용하였고, 세 개의 4비트 flash ADC에는 단 하나의 저항 열만을 사용하는 동시에 두 번째 flash ADC와 세 번째 flash ADC에는 프리앰프를 공유하여 전력 소모와 면적을 최소화하였다. 보간 기법을 사용하여 요구되는 프리앰프의 수를 반으로 줄였으며, 프리앰프의 공유 및 보간 기법으로 인한 영향을 최소화하기 위해 낮은 킥백 잡음을 갖는 비교기를 추가로 제안하였다. 제안하는 시제품 ADC는 0.18um 1P6M CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 10비트 해상도에서 각각 최대 0.83LSB와 1.52LSB의 수준을 보이며, 동적 성능으로는 100MS/s의 동작 속도에서 각각 52.1dB의 SNDR과 67.6dB의 SFDR을 갖는다. 시제품 ADC의 칩 면적은 0.8mm²이며 전력 소모는 1.8V 전원 전압을 인가하였을 때 100MS/s에서 27.2mW이다.

Abstract

This work proposes a 10b 100MS/s 27.2mW 0.8mm² 0.18um CMOS ADC for WLAN such as an IEEE 802.11n standard. The proposed ADC employs a three-stage pipeline architecture and minimizes power consumption and chip area by sharing as many circuits as possible. Two multiplying DACs share a single amplifier without MOS switches connected in series while the shared amplifier does not show a conventional memory effect. All three flash ADCs use only one resistor ladder while the second and third flash ADCs share all pre-amps to further reduce power consumption and chip area. The interpolation circuit employed in the flash ADCs halves the required number of pre-amps and an input-output isolated dynamic latch reduces the increased kickback noise caused by the pre-amp sharing. The prototype ADC implemented in a 0.18um n-well 1P6M CMOS process shows the DNL and INL within 0.83LSB and 1.52LSB at 10b, respectively. The ADC measures an SNDR of 52.1dB and an SFDR of 67.6dB at a sampling rate of 100MS/s. The ADC with an active die area of 0.8mm² consumes 27.2mW at 1.8V and 100MS/s.

Keywords : circuit sharing, low power, small size, CMOS, ADC

I. 서론

최근 무선 통신의 수요가 원거리의 고속 데이터 전송 및 이동성을 요구함에 따라 기존의 무선 통신 기술은 새로운 무선 통신 표준안에 의해 대체되고 있다. 특히, IEEE 802.11n 표준과 같은 차세대 무선 통신망

* 정회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

※ 본 연구는 반도체설계교육센터(IDECE) 및 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체기반기술 개발사업(시스템 IC 2010)”에 의해 지원되었음.

접수일자: 2008년2월2일, 수정완료일: 2009년3월19일

(Wireless Local Area Network : WLAN)의 경우 대량의 멀티미디어 서비스를 만족시킬 수 있는 고속의 데이터 처리 속도를 가지므로 기존의 유선으로 동작하는 근거리 통신망 (Local Area Network : LAN)을 대체하는 추세이다. 고속의 데이터 처리 속도를 갖기 위해서 IEEE 802.11n 표준은 Multiple-Input Multiple-Output (MIMO) 기술을 채택하였으며, 단일 안테나를 사용하는 기존 기술과 달리 4 채널의 안테나를 필요로 한다^[1]. 이러한 MIMO 기술을 구현하기 위해서는 10비트 수준의 해상도와 80MS/s 이상의 동작 속도를 갖는 A/D 변환기 (analog-to-digital converter : ADC)가 4 채널의 안테나에 내장된 데이터 수신단에 필수적으로 요구된다. 또한, 이동성을 갖는 휴대 응용 시스템 구현을 위해 차세대 WLAN의 경우에는 향상된 데이터 처리 속도뿐만 아니라 높은 전력 효율이 요구되며, 많은 시스템이 하나의 칩에 집적되는 System-on-a-Chip (SoC) 구현 방식의 추세에 따라 단일 칩이 아닌 다른 CMOS 디지털 VLSI 회로와 함께 집적이 가능한 ADC가 절실하게 요구되고 있다.

요구되는 10비트 이상의 해상도 및 100MHz 수준의 동작 속도에 가장 적합한 ADC 구조로 최근에는 파이프라인 구조가 보편적으로 사용되어 왔다^[2]. 또 다른 예로 65nm CMOS 공정을 사용하여 기존의 파이프라인 구조를 유지하면서도 증폭기의 전력 소모 및 면적을 상당히 줄이는 ADC가 제안된 반면^[3], 기존의 구조와는 다른 구조로서 증폭기에서 소모되는 전류를 감소시키기 위하여 Zero-Crossing-Based Circuit (ZCBC)을 이용한 구조^[4]와 소스 폴로워 (source follower)를 이용하여 잔류 전압 증폭을 하는 구조가 제안되었다^[5]. 기존의 증폭기 대신에 ZCBC를 사용한 경우에는 증폭기를 Zero-Crossing Detector (ZCD)로 대체함으로써 전체 ADC의 전력 소모를 감소시켰으나 현재까지의 기술로는 10비트 해상도에서 IEEE 802.11n 표준의 요구 사양인 80MS/s의 이상의 동작 속도를 만족시키지 못하고 있다. 잔류 전압 증폭을 할 때 ZCD의 지연 시간에 의한 오버슈트 (overshoot)로 인하여 동작 속도에 어느 정도 한계를 가지며, 오버슈트를 보정하기 위해 별도의 overshoot correction circuit (OCC)이 필요하다. 또한, 소스 폴로워를 잔류 전압 증폭에 사용한 구조의 경우에는 기존의 증폭기보다 간단한 구조를 갖지만 MOS 트랜지스터의 기생 성분 에 의한 ADC의 정확도 감소에 따라 추가적인 디지털 보정 기법이 필수적으로 요구된다.

다. 한편, 병렬로 구성된 successive approximation register (SAR) ADC와 2.5비트 파이프라인 ADC를 병합한 하이브리드 (hybrid) 구조를 사용한 경우 두 종류의 ADC 간의 동작 클록이 다르므로 각각의 다른 클록으로 동작해야하고 두 종류의 ADC를 병합함에 따라 기준 전압을 분리하여 사용해야하는 단점을 갖는다^[6]. 또한, 동일한 n개의 ADC를 이용한 time-interleaved (TI) ADC의 경우 동작 속도를 n배 만큼 향상시킬 수 있지만, ADC 간의 오프셋을 해결하기 위하여 추가적인 보정 기법이 필요하다^[7]. 기존의 전형적인 파이프라인 구조와 다른 구조를 갖는 ADC들은 면적 및 전력을 최소화하기 위해 추가적인 다양한 회로와 기법을 제안하였지만 동작 속도와 성능 면에서 한계가 있었다. 따라서 본 논문에서는 기존의 성능은 그대로 유지하면서 면적과 전력 효율성을 얻을 수 있도록 가능한 많은 회로들을 공유하는 기법을 제안하였다.

본 논문에서 제안하는 ADC는 10비트 해상도에서 100MS/s의 동작 속도로 동작하면서 각 단계에서 4비트를 결정하는 3단 파이프라인 구조를 사용하였으며, 전체 ADC의 전력 소모 중 가장 많은 부분을 차지하는 두 개의 multiplying D/A 변환기 (MDAC)인 MDAC1과 MDAC2의 증폭기 일부를 공유하여 소모되는 전력과 면적을 최소화하였다. 또한, 모든 3개의 flash ADC에는 단 하나의 기준 저항 열만을 사용하였고, 두 번째 flash ADC (FLASH2)와 세 번째 flash ADC (FLASH3)에서는 프리앰프를 공유하여 전력 소모를 줄이는 동시에 적은 면적을 갖도록 하였다. 본 논문의 II 장에서는 제안하는 ADC의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법을 간략히 요약한다. IV 장에서는 제안하는 ADC 시제품의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 10비트 100MS/s ADC는 각 단계에서 각각 4비트를 결정하는 3단 파이프라인 구조를 가지며, ADC의 전체 구조는 그림 1과 같이 입력 단 sample-and-hold amplifier (SHA), 2개의 MDAC, 3개의 4비트 flash ADC (FLASH1, FLASH2, and FLASH3), 분주기를 포함한 디지털 교정 회로 (digital correction logic), 클록 발생기 (clock generator), 온-칩 기준 전류 및 전압 발생기 등으로 구성된다.

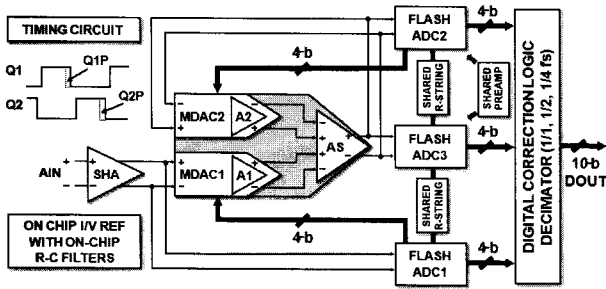


그림 1. 제안하는 10비트 100MS/s 0.18um CMOS ADC
Fig. 1. Proposed 10b 100MS/s 0.18um CMOS ADC.

입력 단 SHA로부터의 출력 신호는 FLASH1과 MDAC1에 동시에 전달되며, FLASH1로부터 디지털 온도계 코드 (thermometer codes)를 받은 MDAC1이 SHA의 출력과 FLASH1의 온도계 코드에 해당하는 전압의 차이를 증폭하여 FLASH2와 MDAC2로 보낸다. 제안하는 ADC의 MDAC1과 MDAC2는 전력 소모가 많은 두 번째 단의 증폭기를 공유하며, 공유된 증폭기는 FLASH2와 FLASH3 및 MDAC2의 입력 단으로 출력 신호를 전달하게 된다. 공유된 MDAC의 출력 단 부하로 작용하는 FLASH2와 FLASH3에서는 프리앰프를 공유하여 MDAC의 부하를 50% 줄였으며, 이러한 프리앰프의 공유로 인하여 발생할 수 있는 비교기의 동적 래치로부터 오는 킥-백 잡음 (kickback-noise)을 감소시키기 위하여 낮은 킥-백 잡음을 발생시키는 비교기를 추가로 설계하였다. 또한, 3개의 flash ADC에는 단 하나의 저항 열만을 사용하여 각 단 사이에서 발생할 수 있는 기준 전압의 오차에 의한 선형성의 저하를 줄이는 동시에 면적 및 전력 소모를 최소화하였다. 각 블록의 스위치를 기반으로 하는 커패시터 회로의 동작을 위해 사용되는 두 개의 중첩되지 않는 클록 Q1, Q2는 외부로부터 들어오는 하나의 입력 클록으로부터 칩 내부에서 발생시켰고, SHA, MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 (offset) 및 클록 피드스루 (clock feed-through) 등의 비선형 오차는 디지털 교정 회로에 입력되는 12비트 중에서 각각 1비트씩 중첩시켜 10비트의 출력을 얻는 디지털 교정 방식으로 교정된다. 온-칩으로 구현된 기준 전류 및 전압 발생기는 고주파 잡음을 줄이기 위해 내부의 decoupling MOS 커패시터와 저항으로 이루어진 RC 필터와 함께 집적되었으며, 필요한 경우 추가적인 커패시터를 칩 외부에서 사용하여 고속으로 동작 시에 정확하고 안정된 기준 전류 및 전압을 ADC에 공급할 수 있도록 하였다.

III. 제안하는 ADC의 주요 회로 설계

1. 제안하는 MDAC의 증폭기 공유기법

최근에는 전체 ADC의 전력 소모를 줄이기 위해 ADC의 전력 소모 중 가장 많은 부분을 차지하는 증폭기의 전력 소모를 줄이는 증폭기 공유기법 (op amp-sharing technique)과 스위치 기반의 증폭기 (switched-op amp) 기법이 다양하게 사용되는 추세이다^[8~15]. 증폭기 공유기법은 증폭 동작을 하지 않는 반주기 동안 인접한 증폭기에 증폭하는 역할을 전달하기 위하여 증폭기의 입출력 신호를 스위치로 제어함으로써 기존에 두 개의 증폭기가 해야 할 동작을 하나의 증폭기만으로 구현하여 면적과 전력 소모를 동시에 줄이는 기법이다. 반면, 스위치 기반의 증폭기 기법은 증폭기를 사용하지 않는 반주기 동안 증폭기의 전원을 차단함으로써 전력 소모를 감소시키는 기법이다^[14~15]. 스위치 기반의 증폭기 기법은 전력 소모만을 감소시키는 반면 증폭기 공유기법은 면적과 전력 소모를 동시에 줄일 수 있다. 제안하는 ADC는 증폭기의 전력 및 면적을 동시에 줄이기 위해 새로운 구조의 증폭기 공유기법을 사용하였다.

기존의 증폭기 공유기법은 그림 2(a)와 같이 인접한 두 MDAC의 잔류 전압 증폭 동작을 하나의 증폭기로 구현하였다^[8~9]. 잔류 전압 증폭을 위해 인접한 두 개의 MDAC은 하나의 증폭기와 두 개의 커패시터 열로 이루어져 있으며, 스위치를 이용하여 증폭기의 입력을 선택하는 구조이다. 이 기법의 경우 증폭기 입력을 결정하기 위한 스위치의 온 저항 (on-resistance)으로 인하여 정착 시간이 느려지는 단점과 스위치로 사용된 MOS 트랜지스터의 온-저항이 신호에 따라 변하므로 증폭기 출력 신호의 정착 수준에 오차가 생기는 단점이 있으며, 증폭기의 입력 단을 리셋 하지 않으므로 메모리 효과 (memory effect)로 인하여 입력 단에 남아있던 이전에 샘플링 된 전하가 출력 신호의 오차로 작용하는 단점이 있다. 이 문제들을 해결하기 위해 입력 신호에 대한 온-저항의 변화에 둔감하도록 큰 스위치를 사용하는 방법과 스위치와 증폭기 입력 단 사이에 소스 폴로워를 사용하는 방법도 있지만, 큰 스위치를 사용할수록 피드스루에 의한 오차가 커지는 한계점을 갖게 된다^[16]. 또한, 소스 폴로워를 사용할 경우에는 스위치와 증폭기 입력 단을 분리함으로써 스위치로 인한 증폭기 출력의 정착 시간 지연을 완화시킬 수 있지만 추가적인 증폭기

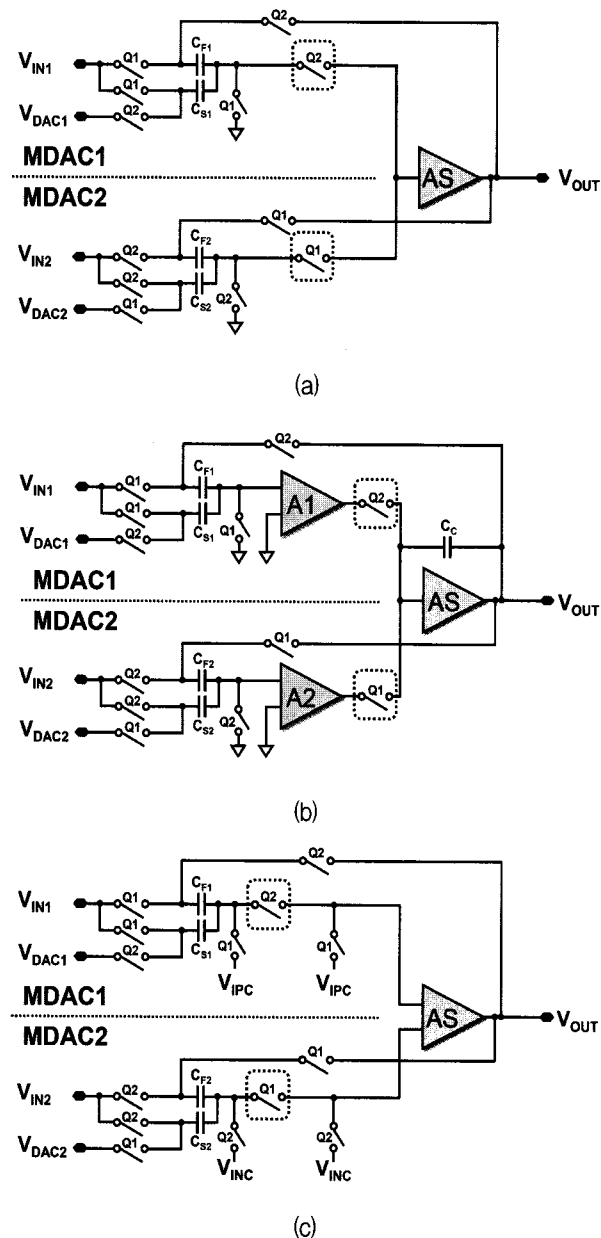


그림 2. 기존의 3가지 증폭기 공유기법 : (a) 공유된 단일 증폭기 구조^[8~9], (b) 공유된 두 번째 증폭기를 갖는 2단 증폭기 구조^[10] 및 (c) 바이어스 전류를 재사용하는 증폭기를 공유한 구조^[11]

Fig. 2. Three conventional op amp sharing techniques : (a) Shared single amplifier^[8~9], (b) two separate amplifiers with a shared second-stage amplifier^[10], and (c) shared op amp with bias current reuse^[11].

로 인한 전력이 소모된다.

그림 2(b)와 같은 또 다른 형태의 기존의 공유기법^[10]은 2단 증폭기 구조를 사용하며, 두 번째 증폭기만을 공유하는 기법이다. 이 공유기법의 경우 증폭기가 두 개의 입력 단을 사용하여 하나의 입력 단이 사용될 때

다른 하나의 입력 단을 리셋 함에 따라 메모리 효과에 의한 입력 단에서 발생할 수 있는 오차 요인을 제거할 수 있다. 그러나 첫 번째 증폭기 A1과 두 번째 증폭기 A2의 출력과 공동으로 사용하는 두 번째 단의 증폭기 사이에 연결된 스위치의 저항 성분에 의해 증폭기 정착 수준에 오차가 생기는 동시에 증폭기 정착 시간이 느려질 수 있으며, 2단 증폭기의 구현을 위해 큰 전압 이득과 작은 출력 신호 폭을 갖는 추가적인 증폭기로 인한 전력이 소모되는 단점을 갖는다. 한편 그림 2(c)의 구조는 그림 2(a)와 유사한 구조를 사용하였으나, 바이어스 전류를 재사용하는 두 개의 입력 단을 갖는 단일 증폭기를 사용한 구조를 보여주며^[11], 그림 3과 같이 두 개의 입력 단을 가지며 바이어스 전류를 재사용하는 증폭기를 사용하여 증폭기로 동작하지 않는 입력 단을 리셋 함으로써 리셋이 없는 기존 구조의 문제를 해결하였다. 그러나 그림 2(c) 구조의 경우에도 커패시터 열과 증폭기 사이에 있는 스위치의 온 저항에 의한 정착 수준의 변화와 정착 시간의 지연이 발생한다. 반면, 본 논문에서는 기존에 발표된 증폭기 공유기법들의 단점인 커패시터 열과 공유된 증폭기의 입력 단 간의 스위치에 의한 문제와 공유된 증폭기 입력 단의 메모리 효과를 해결하기 위해 새로운 구조의 증폭기 공유기법을 제안한다.

제안하는 ADC의 증폭기 공유기법은 그림 4와 같으며 두 개의 MDAC이 두 번째 증폭기를 공유하고 있는 구조로서, 그림 3과 같이 두 개의 입력 단을 가지며 바이어스 전류를 재사용하는 증폭기를 사용하여 하나의 입력 단으로 신호가 인가될 때 다른 입력 단의 MOS 트랜지스터가 단지 능동 저항으로만 사용되도록 하였다. 간략하게 표현된 커패시터 열 C_{F1} , C_{S1} 과 2단 증폭기를 이루는 증폭기 A1 및 AS가 MDAC1의 동작을 수행하며, 커패시터 열 C_{F2} , C_{S2} 와 증폭기 A2 및 AS가 MDAC2의 역할을 한다.

그림 4(a)는 클록 Q1이 high일 때의 MDAC 동작을 보여주며, 이 때 MDAC1의 C_{F1} , C_{S1} 이 SHA의 출력을 샘플링 하는 반면 MDAC2는 A2와 AS로 이루어진 2단 증폭기를 이용하여 MDAC1의 출력 신호를 증폭한다. 한편, 클록 Q2가 high인 경우에는 그림 4(b)와 같이 MDAC2의 C_{F2} , C_{S2} 가 MDAC1의 출력을 샘플링 하며, 증폭기 A1과 AS로 이루어진 MDAC1은 SHA의 출력 신호를 증폭하여 FLASH2와 MDAC2의 입력 단으로 전달한다. 제안하는 MDAC의 경우 기존의 증폭기 공유기법에서 사용하였던 직렬로 연결된 스위치를 사용하지

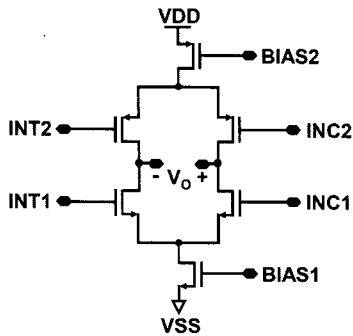


그림 3. 바이어스 전류를 재사용하는 증폭기
Fig. 3. Op amp with bias current reuse.

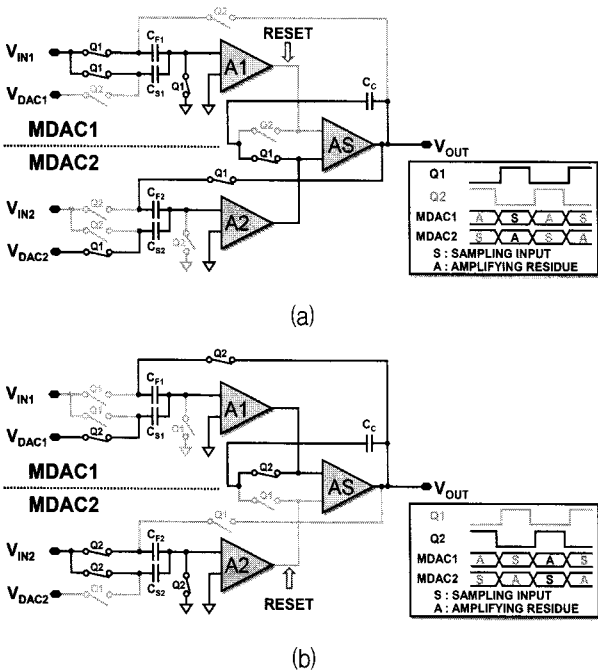


그림 4. A1 및 AS 사이의 스위치 저항이 제거된 ADC에 사용된 제안하는 증폭기 공유기법 : (a) 클럭 Q1이 high일 때의 동작 및 (b) 클럭 Q2가 high일 때의 동작
Fig. 4. Proposed op amp sharing technique used in the ADC removing switch resistance between A1 and AS : (a) with Q1 phase high and (b) with Q2 phase high.

않았으며, 증폭기에 주파수 보상을 위한 커패시터만을 선택적으로 연결하여 잔류 전압을 증폭하므로 기존의 증폭기 공유기법에서 발생할 수 있는 스위치에 의한 정착 수준의 변화와 정착 시간의 지연을 해결할 수 있다. 또한, 증폭기 AS의 하나의 입력 단이 증폭 동작을 할 때, 다른 하나의 입력 단은 리셋 할 수 있으므로 공유된 증폭기 입력 단의 메모리 효과로 인한 오차의 영향을 동시에 제거할 수 있다.

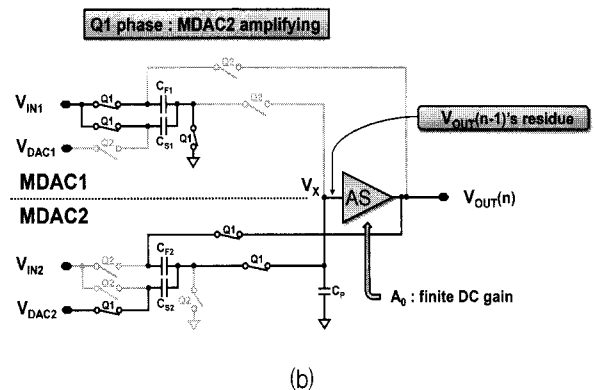
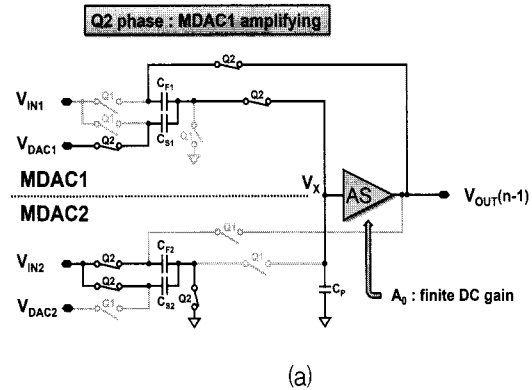


그림 5. 메모리 효과를 가지는 증폭기 공유기법 : (a) 클럭 Q2가 high일 때의 동작 및 (b) 클럭 Q1이 high일 때의 동작

Fig. 5. Op amp sharing technique showing a memory effect : (a) with Q2 phase high and (b) with Q1 phase high.

증폭기의 입력 단을 리셋 하지 않을 경우에 메모리 효과는 증폭기 입력 단의 기생 커패시턴스 (C_p)와 증폭기의 유한한 전압 이득 (A_0)에 의해 발생하며, 증폭기 이전의 출력인 $V_{OUT(n-1)}$ 이 다음의 출력 신호인 $V_{OUT(n)}$ 에 영향을 주어 전체 ADC의 선형성을 떨어뜨린다. 즉 그림 5와 같이 증폭기의 입력 단이 하나인 경우에 증폭기 입력이 리셋 될 시간이 없으므로 메모리 효과가 발생하게 된다.

메모리 효과는 다음과 같은 식으로 나타낼 수 있다. 즉 그림 5(a)와 같이 클럭 Q2가 high일 때 MDAC2의 커패시터 열에 MDAC1의 출력 신호가 식 (1)과 같이 샘플링 되며, 기생 커패시터에는 이전의 출력 신호인 $V_{OUT(n-1)}$ 를 증폭기의 전압 이득으로 나눈 값이 샘플링 된다. 반면, 그림 5(b)와 같이 Q1이 high일 때는 MDAC2가 증폭 동작을 하게 되므로 커패시터 열의 전하량을 식 (2)와 같이 나타낼 수 있다. 식 (1)과 식 (2)는 같은 값을 가지며, V_x 값은 출력 노드의 값을 A_0 로

나는 값이므로 식 (3)에 의해 식 (4)와 같이 나타낼 수 있다. 증폭기의 출력 신호는 증폭기의 전압 이득이 무한한 값을 갖는 경우 식 (5)와 같음을 알 수 있다. 제안하는 증폭기 공유기법의 경우 두 개의 입력 단을 갖는 증폭기를 사용하였으므로 식 (6)과 같은 메모리 효과에 의한 오차가 발생하지 않는다.

$$Q_S = (C_{F2} + C_{S2}) \cdot V_{IN2}(n) - C_P \cdot \left(-\frac{V_{OUT}(n-1)}{A_0} \right) \quad (1)$$

$$Q_F = (V_{OUT}(n) - V_X) \cdot C_{F2} - V_X \cdot C_P + (V_{DAC2} - V_X) \cdot C_{S2} \quad (2)$$

$$Q_S = Q_F, \quad V_X = -\frac{V_{OUT}(n)}{A_0} \quad (3)$$

$$V_{OUT}(n) = \frac{C_{F2} + C_{S2}}{C_{F2} + \frac{1}{A_0}(C_{F2} + C_{S2} + C_P)} \cdot V_{IN2}(n) - \frac{C_{S2}}{C_{F2} + \frac{1}{A_0}(C_{F2} + C_{S2} + C_P)} \cdot V_{DAC2} + \frac{\frac{C_P}{A_0}}{C_{F2} + \frac{1}{A_0}(C_{F2} + C_{S2} + C_P)} \cdot V_{OUT}(n-1) \quad (4)$$

$$V_{OUT}(n) \cong \frac{C_{F2} + C_{S2}}{C_{F2}} \cdot V_{IN2}(n) - \frac{C_{S2}}{C_{F2}} \cdot V_{DAC2} + \frac{C_P}{C_{F2} + C_{S2} + C_P} \cdot V_{OUT}(n-1) \quad (5)$$

$$\Delta V_{error} \cong \frac{C_P}{C_{F2} + C_{S2} + C_P} \cdot V_{OUT}(n-1) \quad (6)$$

설계된 ADC 시제품은 1.8V 전원 전압을 사용할 경우 100MS/s의 동작 속도에서 27.2mW의 전력을 소모하며, 기존의 증폭기 공유기법^[8~13]과 제안하는 증폭기 공유기법을 비교하여 표 1에 나타내었다.

제안하는 증폭기 공유기법은 두 개의 입력 단을 가지는 증폭기를 사용하므로 한 개의 입력 단을 갖는 증폭기를 사용하였을 때보다 출력 신호 폭이 약간 감소하지만, 1.8V의 전원 전압에서 목표 사양인 1.2V_{FP} 이상의 출력 신호 폭을 구현하는데 전혀 문제가 없으며, 기존의 증폭기 공유기법에서 사용된 스위치에 의한 정착 수준의 오차 및 정착 시간의 지연이 발생하지 않는다. 또한, 제안하는 증폭기 공유기법은 추가적인 스위치를 이용하여 신호의 극성을 바꿈으로써 메모리 효과를 감소

표 1. 기존의 증폭기 및 제안하는 증폭기 공유기법 비교

Table 1. Comparison of recently reported op amp sharing techniques with the proposed op amp sharing technique.

Works	Architecture	Features
[8]-[9]	Shared single stage	Series switches and summing node non-reset
[10]	Two stage with shared 2 nd amplifier	Series switches, somewhat more power consumption, and summing node non-reset
[11]	Shared single stage with two input amplifier	Series switches, summing node reset, and slightly reduced signal swing range
[12]	Shared single stage with feedback signal polarity inversion	Series switches and reduced error from summing node non-reset with additional switches
[13]	Shared single stage with passive capacitor error-averaging	Series switches, reduced error from summing node non-reset with four phase clock and additional capacitors
This work	Two stage with shared 2 nd amplifier	No series switches, somewhat more power consumption, summing node reset, and slightly reduced signal swing range

시키는 기법^[12]과 추가적인 커패시터와 스위치를 이용하여 오차 성분을 평균화시킴으로써 메모리 효과를 감소시키는 기법^[13]보다 간단한 구조를 갖는 동시에 메모리 효과를 해결하였다는 장점을 갖는다.

2. 면적 및 전력 효율성을 갖는 flash ADC 회로의 공유기법

제안하는 ADC는 MDAC의 증폭기 공유기법뿐만 아니라 전력 및 면적을 최소화하기 위하여 flash ADC에도 여러 가지 다양한 회로 공유기법을 사용하였다. 그림 6은 세 개의 4비트 flash ADC로 이루어진 제안하는 전체 flash ADC의 구조를 보여준다. 면적과 전력 소모를 감소시키기 위하여 세 개의 4비트 flash ADC에 필요한 저항 열은 단 하나만 사용하였으며, 차동 오차 증폭기 (differential difference amplifier : DDA)를 이용하여 FLASH2와 FLASH3의 프리앰프를 공유하는 동시에 보간 (interpolation) 기법을 사용하여 필요한 프리앰프의 수를 절반으로 줄였다^[17]. 또한, 제안하는 flash ADC는 프리앰프의 공유로 인하여 증가하는 비교기의 킥-백 잡음을 최소화하기 위하여 낮은 킥-백 잡음을 갖는 비교기를 사용하였다.

제안하는 flash ADC는 저항 열을 공유함으로써 면적이 감소할 뿐만 아니라 기준 전압 발생기로부터 전달되는 기준 전압 (REFTOP, REFBOT) 신호가 세 개의 flash ADC에 인가될 때 하나의 입력 단을 갖는 간단한 구조를 갖게 되며, 기준전류가 흐를 때 금속선의 기생 저항 성분에 의한 전압 강하로 인하여 각 flash ADC에 조금씩 다른 전압의 REFTOP, REFBOT 신호가 인가됨에 따른 전체 ADC의 선형성 저하를 최소화하였다. 또한, 본 논문에서 제안하는 MDAC의 증폭기 공유기법

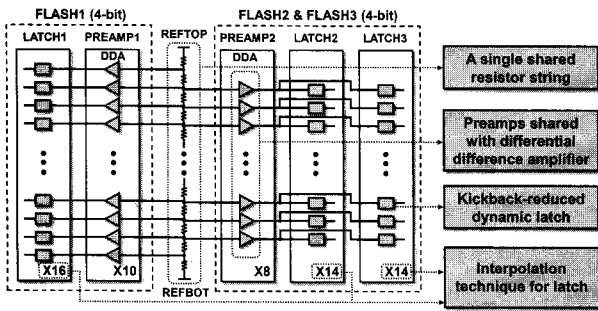


그림 6. 제안하는 3개의 4비트 flash ADCs
Fig. 6. Proposed three 4b flash ADCs.

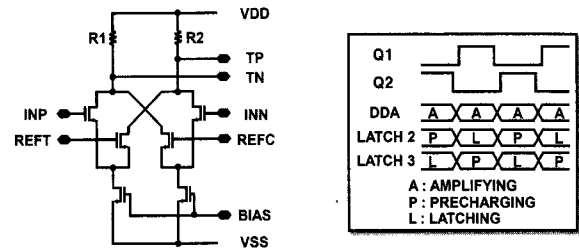


그림 8. 프리앰프 공유회로를 위해 제안하는 차동 오차 증폭기
Fig. 8. Proposed differential difference amplifier (DDA) for pre-amplifier sharing circuit.

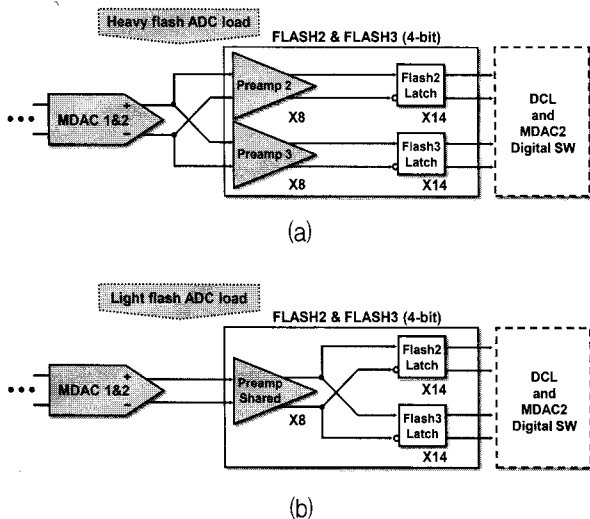


그림 7. Flash ADC2 및 ADC3의 프리앰프 공유기법 :
(a) 기존의 프리앰프를 공유하지 않은 구조 및
(b) 제안하는 프리앰프를 공유한 구조
Fig. 7. Pre-amp sharing technique in the flash ADC2 and ADC3 : (a) conventional pre-amp non-sharing circuit and (b) proposed pre-amp sharing circuit.

을 사용할 때 flash ADC에서 프리앰프를 공유하지 않을 경우 그림 7(a)와 같이 MDAC1의 출력과 MDAC2의 출력이 하나의 도선을 통하여 FLASH2의 프리앰프와 FLASH3의 프리앰프에 각각 연결된다. 이 경우 도선에 있는 기생 성분과 MDAC의 출력단에 연결된 부하가 증가함에 따라 MDAC의 속도가 저하됨을 막기 위해 더 많은 전력 소모가 필요하다. 제안하는 flash ADC는 그림 7(b)와 같이 DDA 구조를 프리앰프 공유회로에 사용하여 MDAC의 부하를 줄이는 동시에 한 주기 동안 계속하여 증폭 동작을 할 수 있게 하였다.

그림 8은 프리앰프의 공유를 위해 사용된 DDA 회로를 보여준다. 클록 Q2가 high인 경우에는 MDAC1의 출력 신호를 받은 DDA가 증폭 동작을 하며, FLASH2

의 비교기인 LATCH2가 DDA의 출력 신호를 받아 Q2가 low가 될 때 비교 동작을 한다. 반면, Q1이 high인 경우에는 MDAC2의 출력 신호를 받은 DDA가 증폭 동작을 하며, FLASH3의 비교기인 LATCH3가 DDA의 출력 신호를 받아 Q1이 low가 될 때 비교 동작을 한다. 따라서 공유된 DDA의 출력은 식 (7)과 같이 나타낼 수 있다^[18]. 이와 같이 공유된 DDA는 Q1, Q2가 high인 경우 계속하여 증폭 동작을 할 수 있으므로 LATCH2와 LATCH3의 오프셋 극복을 위한 공유된 프리앰프로 사용될 수 있다.

$$TP - TN = A_0 \times [(INP - INN) - (REFT - REFC)],$$

where A_0 : DC gain of DDA (7)

제안하는 flash ADC는 세 개의 flash ADC에 모두 보간 기법을 적용하여 필요한 프리앰프의 수를 반으로 줄였으며, 전체 flash ADC의 면적 및 전력 소모를 감소시켰다. 그림 9은 제안하는 flash ADC에서 사용한 보간 기법을 보여주며, FLASH2와 FLASH3은 프리앰프를 공유하므로 프리앰프 출력 노드인 TP 및 TN 노드가 각각 네 개의 비교기 입력단에 연결된다.

한편, 킥-백 잡음은 비교기가 pre-charge 상태에서 비교 동작으로 바뀔 때와 비교 동작에서 pre-charge 상태로 바뀔 경우에 발생하며, 이 킥-백 잡음은 비교기의 입력 단 MOS 트랜지스터의 드레인과 소스의 전압 변화가 크면 클수록 커지게 된다^[19]. 제안하는 flash ADC의 프리앰프는 출력단이 네 개의 비교기를 구동하면서 프리앰프의 출력으로 들어오는 비교기의 동적 래치로부터의 킥-백 잡음이 프리앰프에 공유기법을 사용하지 않았을 때보다 두 배만큼 커지게 되는데, 이러한 킥-백 잡음의 증가는 SHA 및 MDAC의 출력 신호의 정착 시간 지연과 인접한 프리앰프의 기준 전압에 영향을 주어

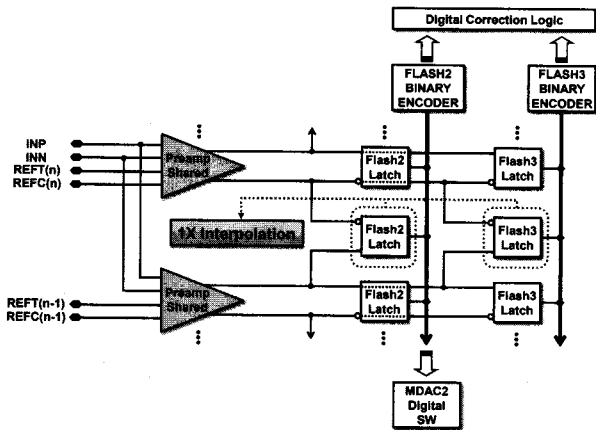


그림 9. 보간 기법을 이용한 flash ADC2 및 ADC3
Fig. 9. Interpolated latch in the flash ADC2 and ADC3.

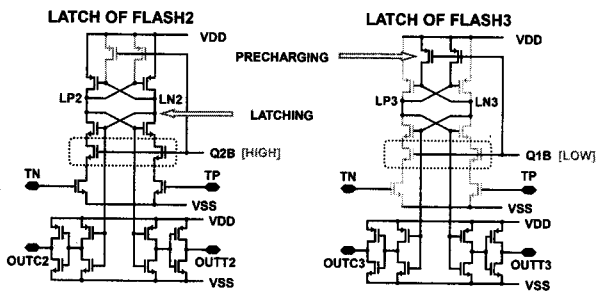


그림 10. 제안하는 킱-백 잡음을 줄인 래치 회로
Fig. 10. Proposed kickback-reduced dynamic latch circuit.

ADC의 정확도를 감소시킬 수 있다. 이 문제를 해결하기 위해 제안하는 flash ADC는 킱-백 잡음이 적은 비교기를 사용하였으며, 제안하는 비교기의 동작을 그림 10에 나타내었다. 제안하는 비교기의 경우 큰 전압 변화를 갖는 LN2(LN3), LP2(LP3) 노드와 입력 단 MOS 트랜지스터 사이에 스위치를 넣어 LN2(LN3), LP2(LP3) 노드로부터 프리앰프의 입력 단으로 들어오는 전압 변화의 영향을 작게 만들면서 낮은 킱-백 잡음을 갖도록 하였다.

제안하는 ADC에 사용된 MDAC과 flash ADC의 공유기법을 통하여 기존에 0.18um CMOS 공정으로 구현된 4-4-4 구조의 ADC와 비교하여 면적의 경우 MDAC과 flash ADC 각각 기존보다 10%만큼 감소하였으며, 전력 소모의 경우 MDAC은 33%, flash ADC는 30%만큼 감소하였다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 10비트 100MS/s ADC는 0.18um 1P6M

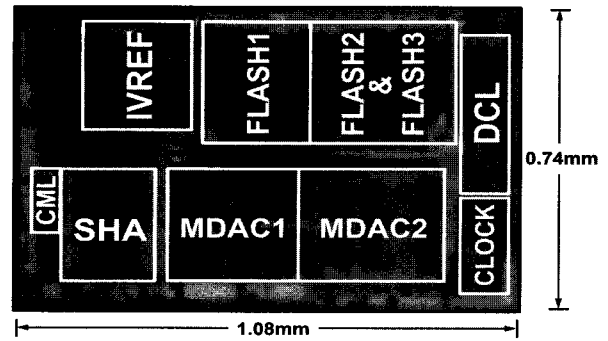


그림 11. 제안하는 10비트 100MS/s 0.18um CMOS ADC 시제품 칩 사진 (1.08mm × 0.74mm)

Fig. 11. Die photograph of the proposed 10b 100MS/s 0.18um CMOS ADC (1.08mm × 0.74mm).

표 2. 기존 10비트 100MS/s CMOS ADC와의 성능 비교

Table 2. Performance comparison of recently reported 10b 100MS/s CMOS ADCs.

	Resolution (bits)	Speed (MS/s)	Supply Voltage (V)	Power (mW)	Area (mm ²)	Process (nm)
This work	10	100	1.8	27.2	0.80	180
ISSCC08 [3]	10	100	1.2	4.5	0.07	65
JSSC07 [20]	10	100	1.0	33.0	4.03	90
CICC05 [21]	10	100	1.0	40.0	0.52	90
CICC07 [22]	10	100	1.2	45.6	0.98	130

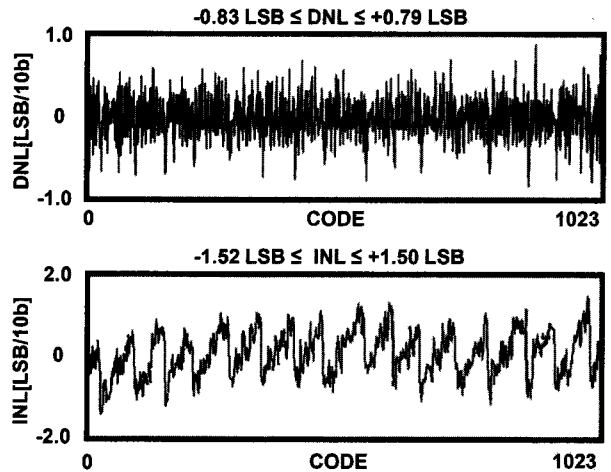


그림 12. 시제품 ADC의 측정된 DNL 및 INL

Fig. 12. Measured DNL and INL of the prototype ADC.

CMOS 공정으로 제작되었다. 시제품 ADC의 칩 사진은 그림 11과 같고 유휴 공간에는 각 회로 블록 간의 간섭, EMI 문제 및 전원 전압의 고주파 잡음을 줄이기 위해 decoupling MOS 커패시터를 온-칩으로 집적하였다.

시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 0.80mm²이며, 100MS/s의 동작 속도에서 1.8V 전원 전압을 인가하였을 때 27.2mW의 전력을 소모한다. 시제품 ADC는 제안하는 공유기법을 적용하여 면적과 전

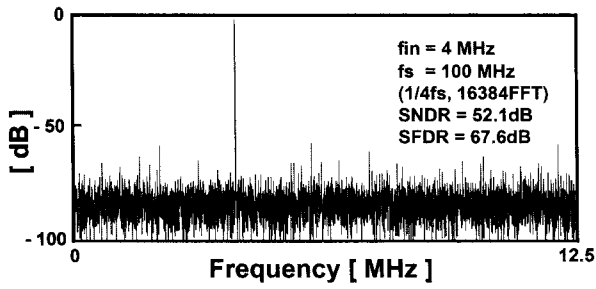
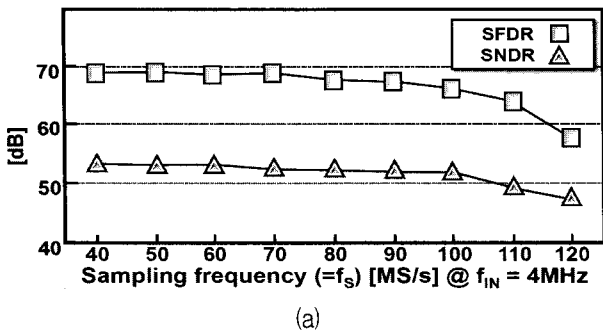
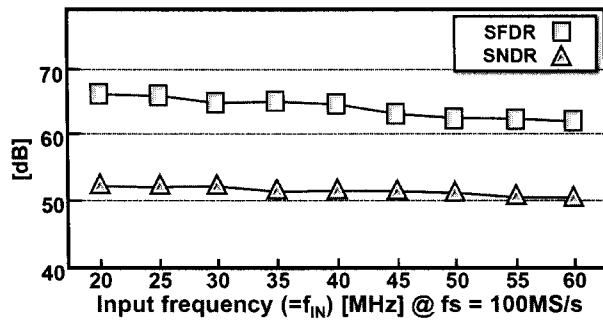


그림 13. 시제품 ADC의 측정된 FFT 스펙트럼 (1/4fs 다운 샘플)

Fig. 13. Measured FFT spectrum of the proposed ADC (1/4fs down sampled).



(a)



(b)

그림 14. 시제품 ADC의 측정된 동적 성능 : (a) 동작 속도 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 14. Dynamic performance of the prototype ADC : Measured SFDR and SNDR versus (a) fs and (b) fin.

력 효율성을 가지며, 최근 학회 및 저널을 통해 발표된 10비트 100MS/s 사양의 ADC와의 전력 소모 및 칩 면적을 표 2에 정리하였다.

시제품 ADC의 측정된 DNL 및 INL은 그림 12와 같이 각각 최대 0.83LSB, 1.52LSB 수준을 보여준다. 그림 13는 시제품 ADC에 대해서 4MHz 입력 주파수, 100MS/s 동작 속도에서 측정된 전형적인 신호 스펙트럼을 나타낸다. 디지털 출력은 100MS/s로 동작하는 ADC 내부의 온-칩 분주기를 사용하여 100MHz의 클럭을 1/4 다운 샘플링 하여 측정하였다.

표 3. 시제품 ADC 성능 요약

Table 3. Performance summary of the prototype ADC.

Resolution	10bits
Max. Conversion	100MSample/s
Process	0.18um CMOS
Power Supply	1.8V
Input Range	1.2V _{P-P}
SNDR (at f_{in} =4MHz)	52.1dB
SFDR (at f_{in} =4MHz)	67.6dB
Power Consumption	27.2mW
DNL	- 0.83LSB / + 0.79LSB
INL	- 1.52LSB / + 1.50LSB
Figure of Merit (FOM)	0.82pJ/conversion-step
Active Die Area	0.80mm ² (= 1.08mm × 0.74mm)

*FOM=Power/(2^{ENOB}·fs)

그림 14은 제안하는 시제품 ADC의 측정된 동적 성능을 보여준다. 그림 14(a)는 ADC의 동작 속도를 40MS/s에서 120MS/s까지 증가시킬 때, 4MHz의 차동 입력 주파수에서의 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)를 각각 나타낸 것이다. 동작 속도가 100MS/s 까지 증가할 때 시제품 ADC의 측정된 SNDR과 SFDR은 각각 52.1dB, 67.6dB 이상 유지된다. 그림 14(b)는 100MS/s의 최대 동작 속도에서, 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 각각 나타낸 것이다. 입력 신호가 Nyquist 주파수까지 증가할 때, 측정된 SNDR과 SFDR은 각각 51.0dB, 61.3dB 수준을 유지하며 Figure of Merits (FOM)은 0.82pJ/conversion-step이다. 표 3에는 제안하는 시제품 ADC의 주요 성능을 요약하였다.

IV. 결 론

본 논문에서는 IEEE 802.11n과 같은 차세대 근거리 무선통신망 시스템에 온-칩으로 집적하기 위한 10비트 100MS/s 0.18um CMOS ADC를 구현하기 위하여 다음과 같은 설계 기법들을 제안하였다.

제안하는 ADC는 요구되는 해상도와 높은 신호 처리 속도를 얻는 동시에 두 개의 MDAC에 사용되는 증폭기를 공유하기 적합한 구조로 각 단에서 4비트를 결정하는 3단 파이프라인 구조로 설계하였다. 제안하는 증폭기 공유기법은 기존 증폭기 공유기법의 직렬로 연결된 스위치의 온 저항에 의한 정착 수준의 오차 및 정착 시간의 지연 문제와 메모리 효과에 의한 선형성 저하를 해결하였다. 또한, flash ADC의 전력 소모 및 면적을 최소화하기 위하여 하나의 저항 열에서 나오는 기준 전

압을 세 개의 flash ADC에서 공유하여 사용하였고, flash ADC의 전력 소모 중에 많은 부분을 차지하는 프리앰프를 공유하여 하나의 프리앰프가 FLASH2와 FLASH3에서 동시에 동작할 수 있도록 하였다. 보간 기법을 flash ADC에 적용하여 요구되는 프리앰프의 수를 절반으로 줄였으며, 공유기법과 보간 기법으로 인하여 발생할 수 있는 킥-백 잡음을 최소화하기 위해 낮은 킥-백 잡음을 갖는 비교기를 사용하였다.

제안하는 설계 기법을 적용하여 구현한 시제품 ADC의 칩 면적은 0.80mm²를 차지하며, 측정된 DNL 및 INL은 각각 최대 0.83LSB, 1.52LSB 수준을 나타낸다. 또한, 100MS/s의 동작 속도에서 4MHz 입력신호를 사용한 결과 측정된 SNDR 및 SFDR은 각각 52.1dB, 67.6dB 수준을 보여주며, 소모 전력은 1.8V 전원 전압을 사용할 경우 27.2mW이다.

참고 문헌

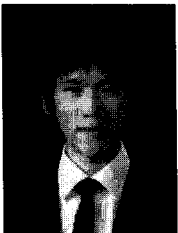
- [1] T. Paul and T. Ogunfunmi, "Wireless LAN Comes of Age: Understanding the IEEE 802.11n Amendment," in *IEEE Circuits and Systems Magazine*, pp. 28-54, Jan. 2008.
- [2] Y. Park, S. Karthikeyan, F. Tsay, and E. Bartolome, "A 10b 100MSample/s CMOS Pipelined ADC with 1.8V Power Supply," in *ISSCC Dig. Tech Papers*, Feb. 2001, pp. 580-583.
- [3] M. Boulemlakher, E. Andre, J. Roux, and F. Paillardet, "A 1.2V 4.5mW 10b 100MS/s Pipeline ADC in a 65nm CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2008, pp. 250-251.
- [4] S. Shin, Y. You, S. Lee, K. Moon, and J. Kim, "A Fully-Differential Zero-Crossing-Based 1.2V 10b 26MS/s Pipelined ADC in 65nm CMOS," in *Symp. VLSI Circuits Dig. Tech Papers*, Jun. 2008, pp. 218-219.
- [5] J. Hu, N. Dolev, and B. Murmann, "A 9.4-bit, 50-MS/s, 1.44-mW Pipelined ADC using Dynamic Residue Amplification," in *Symp. VLSI Circuits Dig. Tech Papers*, Jun. 2008, pp. 216-217.
- [6] P. N. Singh, A. Kumar, C. Debnath, and R. Malik, "A 1.2v 11b 100Msps 15mW ADC realized using 2.5b pipelined stage followed by time interleaved SAR in 65nm digital CMOS process," in *Proc. CICC*, Sept. 2008, pp. 305-308.
- [7] K. El-Sankary and M. Sawan, "10-b 100-MS/s Two-Channel Time-Interleaved Pipelined ADC," in *Proc. CICC*, Sept. 2006, pp. 217-220.
- [8] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger, "A 250-mW, 8-b, 52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 312-320, Mar. 1997.
- [9] J. Li, X. Zeng, L. Xie, J. Chen, J. Zhang, and Y. Guo, "A 1.8-V 22-mW 10-bit 30-MS/s Pipelined ADC for Low-Power Subsampling Applications," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 321-329, Mar. 2008.
- [10] P. C. Yu, and H. Lee, "A 2.5-V, 12-b, 5-MSample/s Pipelined CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1854-1861, Dec. 1996.
- [11] S. Ryu, B. Song, and K. Bacrania, "A 10-bit 50-MS/s Pipelined ADC With Op amp Current Reuse," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 475-485, Mar. 2007.
- [12] B. Min, P. Kim, D. Boisvert, and A. Aude, "A 69mW 10b 80-MS/s Pipelined CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2031-2039, Dec. 2003.
- [13] Y. Chiu, P. R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS pipeline ADC with over 100-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2139-2151, Dec. 2004.
- [14] M. Waltari and K. A. I. Halonen, "1-V 9-Bit Pipelined Switched-Op amp ADC," *IEEE J. Solid-State Circuits*, vol. 36, no. 1, pp. 129-134, Jan. 2001.
- [15] H. Kim, D. Jeong, and W. Kim, "A 30mW 8b 200MS/s Pipelined CMOS ADC Using a Switched-Op amp Technique," in *ISSCC Dig. Tech Papers*, Feb. 2005, pp. 284-285.
- [16] W. Song, H. Choi, S. Kwak, and B. Song, "A 10-b 20-Msample/s low-power CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 30, no. 5, pp. 514-521, May 1995.
- [17] C. Lane, "A 10-bit 60 Msps flash ADC," in *Proc. Bipolar Circuits and Technology Meeting*, Sept. 1989, pp. 44-47.
- [18] H. Alzaher and M. Ismail, "A CMOS fully balanced differential difference amplifier and its application," *IEEE Transactions on Circuit and Systems II*, vol. 48, no. 6, pp. 614-620, Jun. 2001.
- [19] P. Figueiredo and J. C. Vital, "Kickback noise reduction technique for CMOS latched comparators," *IEEE Transactions on Circuit and Systems II*, vol. 53, no. 7, pp. 541-545, Jul. 2006.
- [20] M. Boulemlakher, E. Andre, J. Roux, and F.

Paillardet, "A 1.2V 4.5mW 10b 100MS/s Pipeline ADC in a 65nm CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2008, pp. 250-251.

[21] K. Honda, M. Furuta, and S. Kawahito, "A Low-Power Low-Voltage 10-bit 100-MSample/s Pipeline A/D Converter Using Capacitance Coupling Techniques," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 757-765, April. 2007.

[22] Young-Ju Kim, et al., "A Re-configurable 0.5V to 1.2V, 10MS/s to 100MS/s, Low-Power 10b 0.13um CMOS Pipeline ADC," in *Proc. CICC*, Sept. 2007, pp. 185-188.

저 자 소 개



윤근용(정회원)
2008년 서강대학교 전자공학과
학사.
2008년~현재 서강대학교
전자공학과 석사과정.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



최민호(정회원)
2009년 서강대학교 전자공학과
학사.
2009년~현재 서강대학교
전자공학과 석사과정.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이세원(정회원)
2007년 아주대학교 전자공학과
학사.
2009년 서강대학교 전자공학과
석사.
2009년~현재 하이닉스 반도체
Mobile 설계팀.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이승훈(평생회원)
1984년 서울대학교 전자공학과
학사.
1986년 서울대학교 전자공학과
석사.
1991년 미 Illinois 대 (Urbana-
Champaign) 공학박사.

1986년 KIST 위촉 연구원.
1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.
1990년~1993년 미 Analog Devices 사 Senior Design Engineer.
1993년~현재 서강대학교 전자공학과 교수.
<주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>