

논문 2009-46SD-4-6

# 저항 및 커패시턴스 스케일링 구조를 이용한 위상고정루프

## ( A Phase Locked Loop with Resistance and Capacitance Scaling Scheme )

송 윤 귀\*, 최 영 식\*\*, 류 지 구\*

( Youn-Gui Song, Young-Shig Choi, and Ji-Goo Ryu )

### 요 약

본 논문에서는 다중 전하펌프를 이용하여 저항과 커패시턴스 크기를 변화시키는 구조의 새로운 위상고정루프를 제안하였다. 제안된 위상고정루프는 세 개의 전하펌프를 사용하여 루프필터의 실효 커패시턴스와 저항을 위상고정 상태에 따라 각 전하펌프의 전류량 크기와 방향 제어를 통해 증감시킬 수 있다. 이러한 구조는 좁은 대역폭과 작은 루프 필터 저항 값을 가능하게 하여 좋은 잡음 특성과 기준 주파수 의사 잡음 특성을 가지도록 한다. 제안된 위상고정루프는 3.3V 0.35 $\mu$ m CMOS 공정을 이용하여 제작되었다. 851.2MHz 출력 주파수에서 측정된 위상 잡음은 -105.37 dBc/Hz @1MHz이며, 기준 주파수 의사 잡음은 -50dBc이다. 측정된 위상고정시간은 25 $\mu$ s이다.

### Abstract

A novel phase-locked loop(PLL) architecture with resistance and capacitance scaling scheme has been proposed. The proposed PLL has three charge pumps. The effective capacitance and resistance of the loop filter can be scaled up/down according to the locking status by controlling the direction and magnitude of each charge pump current. This architecture makes it possible to have a narrow bandwidth and low resistance in the loop filter, which improves phase noise and reference spur characteristics. It has been fabricated with a 3.3V 0.35 $\mu$ m CMOS process. The measured locking time is 25  $\mu$ s with the measured phase noise of -105.37 dBc/Hz @1MHz and the reference spur of -50dBc at 851.2MHz output frequency

**Keywords :** PLL, low phase noise, locking status indicator(LSI), adaptive bandwidth.

### I. 서 론

정보통신 기술이 발전함에 따라 마이크로프로세서와 DSP(Digital Signal Processor)에 필요한 높은 클럭 신호를 생성하고, 신호를 보다 빠르고, 정확하게 송수신하기 위해 무선 통신 시스템들에서 주파수 합성기를 널리 사용하고 있다. 이러한 주파수 합성기들은 집적화가 용

이한 위상고정루프(PLL; Phase Locked Loop) 방식이 일반적으로 사용되고 있다. 시스템이 고속화되고 저 전력화 되면서 잡음의 영향이 점점 커지고 있으며 통신에 응용되는 위상고정루프의 경우 잡음 특성이 회로의 성능에 직접적인 영향을 미치므로 좋은 잡음 특성을 갖는 회로를 설계하는 것이 매우 중요하다<sup>[1]</sup>. 그리고 한정된 통신 주파수를 효과적으로 사용하기 위해서는 다른 채널에 영향을 미치는 기준 주파수 의사 잡음을 최소화하는 것도 점점 중요해지고 있다.

최근 위상잡음과 기준 주파수 의사 잡음을 줄이기 위한 연구가 활발하게 진행되고 있으며 다양한 구조들이 제안되었다. 일반적으로 위상고정루프는 낮은 위상 잡음 특성과 낮은 기준 주파수 의사 잡음을 위해 좁은 루프 대역폭을 가지는 적응성 구조를 사용하고 있다<sup>[2-3]</sup>.

\* 정회원, \*\* 평생회원, 부경대학교 전자컴퓨터정보통신공학부

(Division of Electronics, Computer and Telecommunication Engineering, Pukyong National University)

※ 이 논문은 2007년도 부경대학교 연구년 교수 지원 사업에 의하여 연구되었음 (PS-2007-019)

접수일자: 2009년1월22일, 수정완료일: 2009년3월3일

낮은 이득을 가지는 전압제어발진기도 위상잡음 향상을 위해 널리 사용되고 있는 방법이다<sup>[4]</sup>. [4]는 낮은 이득을 가지는 전압제어발진기로 넓은 주파수 영역에서 동작하기 위해 dual loop와 switched-capacitor networks를 사용하였으나 회로가 복잡하고 위상고정 속도가 늦어지는 문제점을 가지고 있다. [5]는 위상 주파수 검출기나 전하펌프에서 발생하는 데드존 문제나 전류 부정합과 같은 비선형성에 의해 발생하는 위상잡음을 줄일 수 선형화 기법을 제안하였다. 하지만 전하펌프의 비선형성 개선에 따른 트랜지스터의 늘어난 동작시간에 의해 잡음이 증가하는 문제점이 있다.

일반적으로 낮은 잡음 특성을 위해 넓은 공간을 차지하며, 설계의 어려움을 수반하는 LC 발진기를 사용하고 있으나, 최근에는 집적화가 용이하며 넓은 동작 영역을 가지며, 작은 면적을 장점으로 하는 링 발진기(Ring oscillator)를 사용한 위상고정루프의 잡음 개선 연구가 많이 진행되고 있다.

본 논문에서는 다중 전하펌프를 이용하여 저항과 커패시턴스 크기를 변화시키는 구조의 새로운 위상고정루프를 제안하였다. 제안된 위상고정루프는 작은 값의 저항을 사용하여 전압제어 발진기의 제어전압 흔들림 폭을 최소화하여 낮은 기준 주파수 의사 잡음을 얻도록 하였으며, 링 발진기 사용에 따른 위상잡음을 줄이기 위하여 대역폭을 최소화 하였다. 이러한 좁은 대역폭을 이용한 설계에서 발생하는 위상고정 시간의 지연 문제를 해결하기 위해 다중 전하펌프를 이용하여 루프필터의 저항과 커패시턴스를 스케일링하여 위상고정 시간을 최소화 하였다.

## II. 제안한 위상고정루프의 구조

### 1. 다중 전하펌프를 이용한 위상고정루프

위상고정루프에서 기준 주파수 의사 잡음(Reference spurs)은 전압제어 발진기(VCO; Voltage controlled oscillator)의 제어전압의 주기적인 리플(periodic ripples)에 의해 생성된다. 이러한 현상의 주요한 원인은 전하펌프의 부정합과 위상/주파수 검출기(PFD; Phase Frequency Detector) 신호의 타이밍 에러 때문에 발생한다. 기준 주파수와 의사 잡음의 크기는 협대역 주파수 변조 근사화에 의해 쉽게 계산 될 수 있다<sup>[6]</sup>. 캐리어 주파수의 진폭과 의사 잡음의 진폭 사이의 관계는 다음과 같이 나타낼 수 있다.

$$\frac{A_{spur}}{A_{carrier}} = \frac{1}{2} \cdot \frac{K_{VCO} \times V_m}{2\pi f_{ref}} \quad (1)$$

여기서,  $K_{VCO}(\text{Hz/V})$ 는 전압제어 발진기(VCO)의 이득,  $V_m$ 은 전압제어 발진기의 제어 전압 리플 진폭, 그리고  $f_{ref}$ 는 기준 주파수를 의미한다.  $V_m$ 은 전하펌프 전류와 루프 필터의 저항 값의 크기에 비례한다.

일반적으로 위상고정루프에서 위상잡음과 위상고정 시간은 교환관계(trade-off)관계에 있다. 즉, 빠른 위상고정을 위해서는 넓은 대역폭이 필요한 반면, 낮은 위상잡음을 위해서는 좁은 대역폭이 요구된다. 일반적으로 2차 루프필터를 사용한 type-2 위상고정루프의 대역폭은 다음과 같이 나타낼 수 있다<sup>[7]</sup>.

$$\omega_{BW} = \frac{\frac{I_p}{2\pi} K_{VCO} R_z}{N} \quad (2)$$

여기서,  $K_{VCO}$ 는 전압제어 발진기의 이득,  $I_p$ 는 전하펌프의 전류,  $R_z$ 은 루프필터의 저항 그리고  $N$ 은 분주비이다.

식 (1)과 (2)에 따라 전하펌프의 전류와 루프필터의 저항을 최소화 하여 좁은 대역폭을 만들고 전압제어 발진기 입력 신호의 주기적인 리플 진폭을 최소화 하였다. 이러한 경우, 좁은 대역폭과 작은 리플 진폭을 위해 작아진 저항에 의해 커패시턴스의 크기는 증가하게 되고, 좁은 루프 대역폭으로 위상고정 시간이 길어지는 문제가 발생하게 된다. 이러한 위상고정 시간 지연과 커패시턴스 증가 문제를 해결하기 위해 그림 1과 같은 다중 전하펌프를 이용한 위상고정루프 구조를 제안하였다.

제안된 다중 전하펌프 위상고정루프에서 복합 위상/주파수 검출기(Composite PFD)는 위상/주파수 검출기와 래치 버퍼가 결합된 구조로 세 개의 전하펌프 동작에 필요한 입력신호를 생성한다. 위상고정 상태 표시기(Locking status indicator; LSI)는 위상고정루프의 위상고정 상태에 따라 세 개의 전하펌프의 동작을 제어하는 신호를 생성한다.

그림 1과 같이 본 구조에서 사용된 루프필터는  $R_{Z1}$ ,  $R_{Z2}$ ,  $C_Z$  그리고  $C_P$ 로 구성되며 전달함수는 다음과 같다.

$$V_{\alpha} = \frac{sC_Z\{R_{Z1} + (A+1)R_{Z2}\} + (A-B+1)}{s^2C_P C_Z R_Z + s(C_P + C_Z)} I_p \quad (3)$$

여기서 총 저항  $R_Z$ 는  $R_{Z1}$ 과  $R_{Z2}$ 의 합이며, 위 수식은 다음과 같이 표현될 수 있다.

$$I_P = \frac{\left[ s + \frac{1}{\frac{C_Z}{(A-B+1)} \{R_{Z1} + (A+1)R_{Z2}\}} \right] C_Z \{R_{Z1} + (A+1)R_{Z2}\}}{s^2 C_P C_Z R_Z + (S_P + C_Z)} \quad (4)$$

식 (4)로부터 전하펌프2와 3에 흐르는 전류량 비 A와 B에 따라 루프필터의 저항  $R_Z$ 와 커패시턴스  $C_Z$ 의 실효값이 변화되는 것을 알 수 있다. 이러한 스케일링 효과를 이용하여 위상고정 상태에 따라 적응적 대역폭이 가능하도록 하였다.

전하펌프1은 위상고정 상태 표시기의 신호에 따라 두 개의 다른 크기의 전류를 루프필터에 공급한다. 전하펌프2와 전하펌프3은  $R_{Z2}$ 와  $C_Z$ 에 흐르는 전류를 각각 고정된 크기만큼 더하고 빼는 형태로 동작한다. 위상고정루프가 고정되지 않은 상태일 때 전하펌프2의 전류는 전하펌프 3 보다 크게 하여  $C_Z$ 는 전하펌프1과 전하펌프 2의 전류에 의해 빠르게 충전된다. 이러한 전하펌프의 큰 전류에 의해  $C_Z$ 의 실효 커패시턴스는 작아지고  $R_{Z1}$ 과  $R_{Z2}$ 로 구성된  $R_Z$ 의 실효 저항 값은 증가하게 되어 보다 넓은 루프 대역폭을 가지게 되어 위상고정 시간이 길어지는 문제를 해결할 수 있다. 반면 위상고정루프의 위상이 고정되면 위상고정 상태 표기 신호에 의해 전하펌프2는 꺼지고, 전하펌프1의 전류는 전하펌프3보다 약간 크게 흐르게 되어  $C_Z$ 의 실효 커패시턴스는 커지게 되고 저항 값은 원래 작은 값이 되어 좋은 기준 주파수의 사 잡음 특성을 가지게 하며, 또한 좋은 위상 잡음 특성을 제공하는 좁은 루프 대역폭을 갖게 한다.

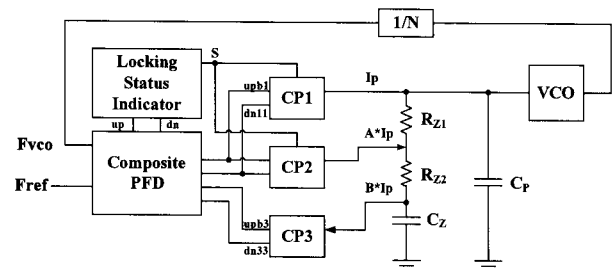


그림 1. 제안한 위상고정 루프의 구조  
Fig. 1. Functional block diagram of the proposed PLL.

## 2. 위상고정루프 회로 설계

본 논문에서 제안한 위상고정루프는 총 세 개의 전하

펌프를 사용하며, 각각의 사용 목적에 맞는 입력신호를 만들기 위하여 위상 주파수 검출기와 래치버퍼로 구성된 복합 위상주파수 검출기를 사용하였다. 슈미트 트리거 회로의 히스테리시스 동작을 이용하여 만든 위상 고정상태 표시는 위상고정루프의 위상 고정 상태에 따라 전하펌프1과 전하펌프2를 제어하기 위한 신호를 생성하여 각 전하펌프의 동작 여부와 위상고정 상태에 따라 루프필터에 공급되는 전류의 양을 제어하게 된다. 전하펌프1은 일반적인 위상고정루프에서 전하펌프의 역할을 담당한다. 하지만 이러한 기본적인 기능에 더하여 위상 고정 상태에 따라 루프필터에 공급되는 전류의 양을 제어하여 빠른 위상고정시간과 낮은 위상잡음 특성을 위해 요구되는 넓은 대역폭과 좁은 대역폭을 갖도록 루프 대역폭을 조절할 수 있게 하였다. 전하펌프2는 위상이 고정되지 않을 때, 실효 저항과 커패시터를 제어하기 위해 일정한 양의 전류를 루프필터에 흘리도록 설계되었으며, 전하펌프3은 위상고정루프의 위상 고정 상태와 상관없이 항상 일정량의 전류를 루프필터에서 빼내도록 설계되었다. 이는 전하펌프3에 의해 제어되는 전류가 전하펌프1과 전하펌프2에 비해 상대적으로 작고, 위상이 고정된 후 전하펌프1의 전류차가 불과  $2\mu A$ 에 불과하기 때문에 최대한 안정적인 동작을 보장하기 위해 선택된 구조이다<sup>[8]</sup>.

본 논문에서는 링 발진기(Ring Oscillator) 형태의 전압제어발진기를 사용하였다. 링 발진기는 LC 발진기에 비해 좋지 않은 위상잡음 특성을 갖는 단점을 가지고 있지만 설계의 용이성과 넓은 발진 주파수 영역 및 작은 칩 면적 등의 장점으로 주파수 합성기 설계에 많이 사용되고 있다. 본 논문에서는 링 발진기의 위상잡음 특성을 개선하기 위하여 루프필터의 출력전압을 전류로 선형적으로 변환시키는 전압제어저항(VCR; Voltage Controlled Resistor)과 3단 래치 구조 지연 소자로 구성된 새로운 전압제어발진기를 제안하였다. 전압제어저항은 입력 전압에 선형적으로 비례하는 전류를 발생시켜 전압제어발진기의 출력 주파수를 제어하는 블록으로 상대적으로 작은 입력 전압의 변화를 더 큰 전류 변화로 바꾸어 전압제어발진기의 넓은 발진영역을 만들어 준다. 래치 구조 지연 소자의 MP2, MP3, MN2 그리고 MN3는 지연 소자의 짧은 on-time 특성을 갖게 하여 위상잡음 특성을 보다 향상시키게 된다<sup>[9]</sup>. 또한 전압제어저항에 연결된 래치 구조 지연 소자의 MP1과 MP4는 지연 소자에 흐르는 전류와 지연시간을 조절하게 된

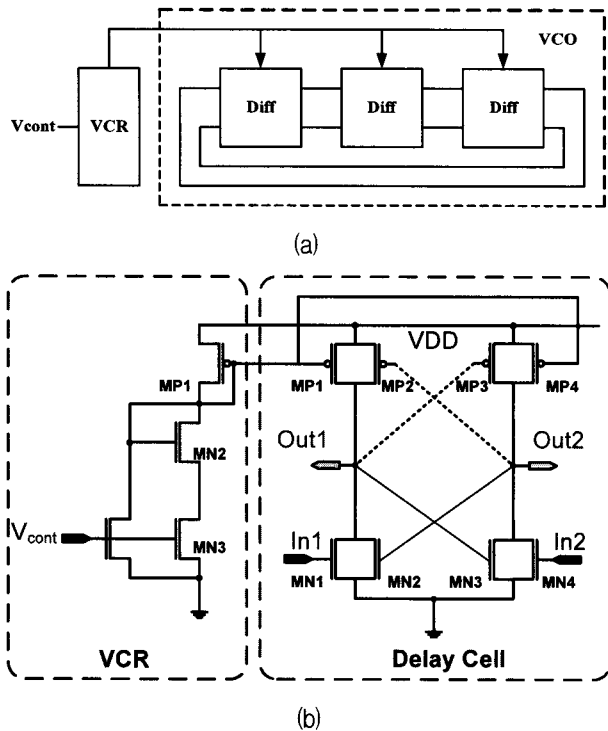


그림 2. 제안된 전압제어발진기  
 (a) VCR과 래치 구조 지연 소자를 포함한 전압 제어발진기 구조 (b) VCR과 래치 구조 지연 소자 회로  
 Fig. 2. Proposed voltage controlled oscillator  
 (a) Voltage controlled oscillator with VCR and latch type delay cell (b) Circuits of the VCR and latch type delay cell.

다. 전압제어저항과 래치 구조 지연 소자로 구성된 제안된 전압제어발진기 구조를 그림 2에 나타내었다. 그림 3은 제안된 전압제어발진기의 시뮬레이션 결과로서, (a)는 루프필터의 출력전압을 입력으로 받은 전압제어저항의 출력 전류 특성으로 매우 선형적인 특성을 보이고 있다. 그림 3. (b)는 전압제어발진기의 주파수 출력 특성으로 600MHz에서 1.08GHz로 넓은 동작 주파수를 가지며 전압제어발진기의 이득은 150MHz/V 으로 나타났다.

3. 위상고정루프의 동작 영역 및 특성

본 논문에서 제안한 위상고정루프는 동작 초기 단계 I, 위상 추적 단계인 II, 그리고 위상이 고정된 III 단계의 동작 영역을 가지고 있다. 위상고정루프에 전원이 인가되어 동작을 시작하는 초기 상태 영역인 I와 위상이 고정된 상태인 III에서의 각 전하펌프의 동작은 동일하다. 위상이 고정된 상태인 III에서는 전하펌프1에서 루프필터로 공급된 전류를 전하펌프3을 이용하여 C<sub>2</sub>로

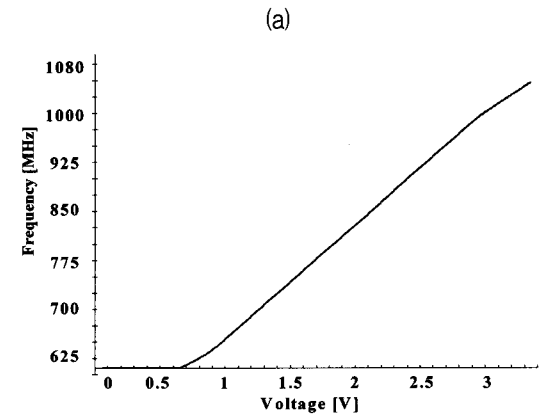
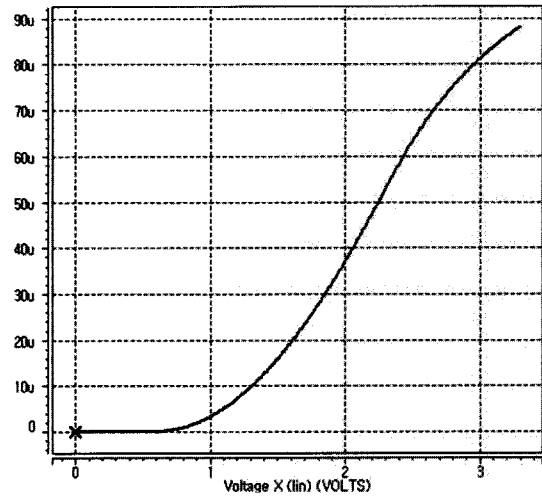


그림 3. 전압제어발진기 특성  
 (a) 전압제어저항의 출력 전류 특성  
 (b) 전압제어발진기의 출력 주파수 특성  
 Fig. 3. Characteristics of voltage controlled oscillator  
 (a) Output current characteristic of the VCR  
 (b) Output frequency characteristic of the VCO.

흐르는 전류량을 감소시켜 루프필터의 실효 커패시턴스를 증가시킨다. 증가된 실효 커패시턴스는 작은 전하펌프1의 전류와 함께 이 영역에서는 좁은 대역폭을 가지도록 하여 위상 잡음을 줄이도록 하였다. 위상을 고정시키는 단계인 영역 II에서는 전하펌프2가 많은 전류를 R<sub>22</sub>와 C<sub>22</sub>로 흘려보내 루프 필터의 실효 저항은 증가시키고, 실효 커패시턴스를 감소시킨다. 이와 함께 전하펌프1은 많은 전류를 루프필터에 공급하여 이 영역에서는 넓은 대역폭을 가지도록 하여 빠른 위상고정이 가능하도록 한다.

위상고정루프의 동작 상태에 따른 각 전하펌프의 전류량은 표 1에 나타낸 것과 같이 동작 영역에 따라 달라진다. 저항과 커패시턴스 및 각 전하펌프의 전류량은 우수한 위상 잡음 특성을 위한 좁은 루프 대역폭과 빠

표 1. 동작영역에 따른 전하펌프 전류의 크기  
Table 1. The magnitudes of charge pump current depending on operating region.

Region CP( $\mu$ A)	I	II	III
CP1(Ip)	20	500	20
CP2(A*Ip)	0(A=0)	500(A=1)	0(A=0)
CP3(B*Ip)	18(B=0.9)	18(B=0.036)	18(B=0.9)

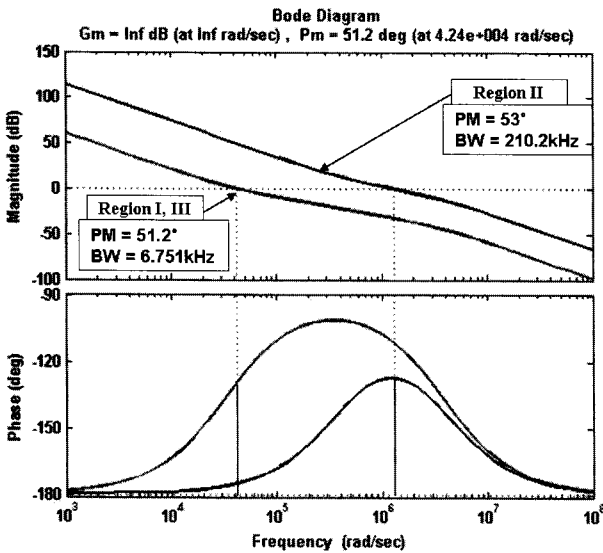
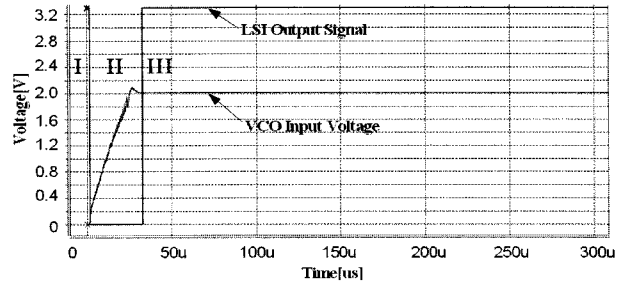


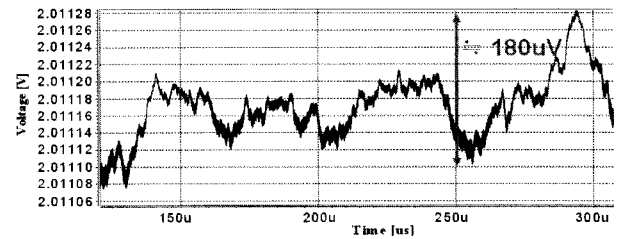
그림 4. 제안된 위상고정루프의 보드선도  
Fig. 4. Bode plot of the proposed PLL.

른 위상고정이 가능한 넓은 대역폭을 변화 시킬 수 있으면서 충분한 위상 여유를 갖도록 MATLAB 시뮬레이션을 통해 설정 하였다. MATLAB 시뮬레이션을 통해 결정된 각 전하펌프의 전류량과 저항 그리고 커패시턴스를 이용한 시뮬레이션 결과 보드선도를 그림 4에 나타내었다. 시뮬레이션 결과, 위상고정 상태에 따른 동작 영역 I과 III의 위상 여유는 51.2° 이며 루프 대역폭은 6.75KHz이다. II 영역에서의 위상 여유는 53°이며, 루프 대역폭은 210.2KHz로 나타났다. 위와 같이 제안한 다중 전하펌프를 이용한 실효 저항과 커패시턴스의 변화로 위상 고정되기 전 단계에서는 넓은 대역폭을 가지며 위상이 고정된 후에는 충분한 위상마진과 좁은 대역폭을 가짐을 확인할 수 있다. 일단 동작이 되고 나면 동작영역은 위상을 고정시키는 단계인 영역 II와 위상이 고정된 상태인 III만 존재한다. MATLAB 시뮬레이션에 의해 최적화된 루프 필터의 저항은 각각 200 $\Omega$ (R<sub>21</sub>)과 300 $\Omega$ (R<sub>22</sub>)이며, 600pF(C<sub>p</sub>)과 6nF(C<sub>2</sub>)의 커패시터로 구성되었다.

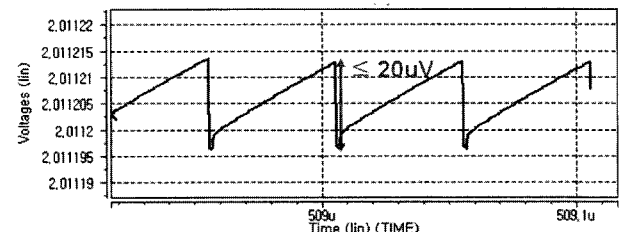
그림 5의 (a)는 루프의 위상고정 상태에 따른 전압제



(a)



(b)



(c)

그림 5. 시뮬레이션 결과  
(a) 전압제어발진기의 입력 전압과 위상 고정상태 표시기의 출력 신호 (b) 전압제어발진기 입력 전압 확대 - 전체 영역 (c) 전압제어발진기 입력 전압 확대 - 짧은 영역

Fig. 5. Simulation results  
(a) VCO input voltage and LSI output signal  
(b) Enlargement of the VCO input voltage - long term (c) Enlargement of the VCO input voltage - short term.

발진기의 입력전압과 위상고정 상태 표시기의 출력 신호를 나타내고 있다. I는 위상 고정상태 표시기가 동작하기 시작하는 초기 상태를 의미하며, II는 위상고정루프가 위상을 일치시켜 나가는 추적단계이며 III는 위상이 고정된 상태이다. 위 시뮬레이션 결과로부터 제안된 구조의 위상 고정시간이 30 $\mu$ s로 나오는데 이는 초기 동작상태 I 단계 때문이다. 따라서 다른 주파수로 합성할 때는 보다 빠른 위상 고정시간을 갖게 된다. 실제 측정 결과에서도 위상 고정시간은 30 $\mu$ s 이하인 25 $\mu$ s로 나타났다. 그림 5의 (b)와 (c)는 전압제어 발진기의 입력전압을 확대한 것으로 전체적인 VCO 입력 전압의 흔들

림은 최대  $180\mu V$ 로 나타났으며, 짧은 영역에서의 흔들림은 최대  $20\mu V$ 이다. 짧은 영역에서의 작은 흔들림은 작은 저항과 작은 전하펌프 전류를 사용한 결과이며 기준 주파수 의사 잡음을 작게 만들 수 있도록 해준다. 전체적인 작은 VCO 입력 전압의 흔들림은 전압제어발진기의 발진 주파수의 변화폭이 작다는 것을 의미하며, 우수한 지터 특성과 그리고 위상 잡음 특성을 가지도록 한다.

### III. 측정 결과

본 논문에서 제안한 다중 전하펌프를 이용한 저잡음 위상고정루프를  $3.3V$   $0.35\mu m$  표준 CMOS 공정을 이용하여 제작하여, 그 특성을 실험적으로 검증하였다. 그림 6은 제작된 위상고정루프의 칩 사진으로 외부에 연결되는 커패시터  $C_2$ 를 제외한 루프필터의 모든 구성 요소를 포함하여  $1700\mu m \times 670\mu m$  면적을 가지고 있다.

그림 7은 제안된 위상고정루프의 위상고정 시간 측정 결과로서  $25\mu s$ 의 위상고정 시간을 갖는 것으로 나타났다으며, 이는 시뮬레이션 결과와도 일치한다. 그림 8은 제안된 구조의 출력 스펙트럼 측정 결과로서

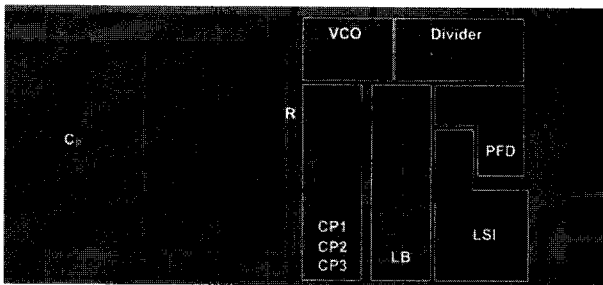


그림 6. 제안된 위상고정루프 칩 사진  
Fig. 6. Die photograph of the proposed PLL.

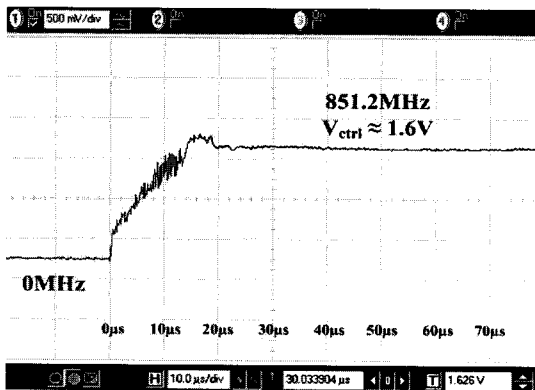


그림 7. 측정된 위상고정 시간  
Fig. 7. Measured locking time.

$13.3MHz$ 의 입력 주파수에 64분주된  $851.2MHz$ 의 출력 주파수를 확인할 수 있었다. 그림 9는 위상잡음 특성으로 출력주파수인  $851.2MHz$ 에서  $1MHz$  오프셋으로 측정된 위상잡음은  $-105.37 dBc/Hz$ 이었다. 그림 10은 기준 주파수 의사 잡음 특성으로 출력 주파수  $851.2MHz$ 에서는  $-3 dBm$ 이었으며 이로부터  $13.3MHz$  떨어진 위

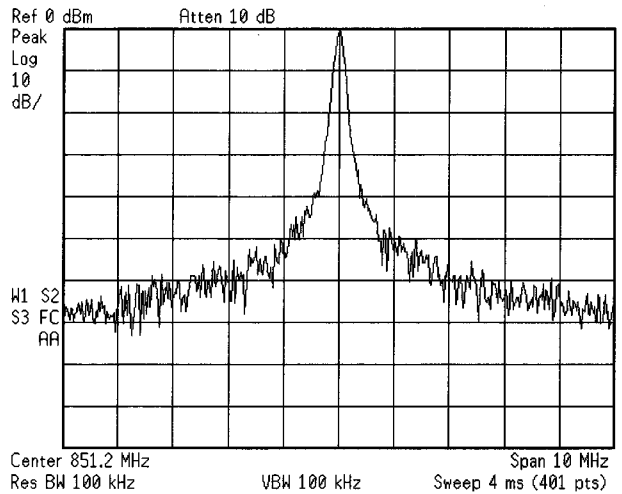


그림 8. 측정된 출력 스펙트럼 @851.2MHz  
Fig. 8. Measured output spectrum @851.2MHz.

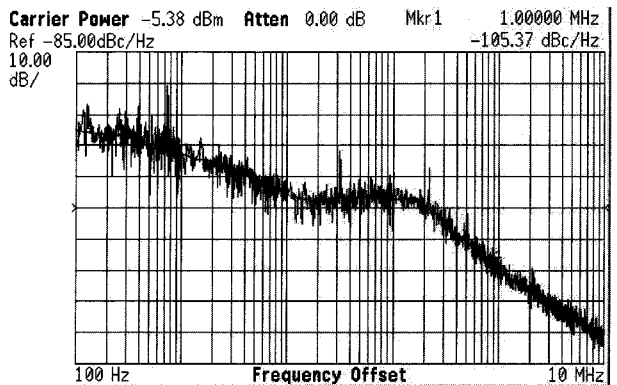


그림 9. 측정된 위상 노이즈 @1MHz offset  
Fig. 9. Measured phase noise @1MHz offset.

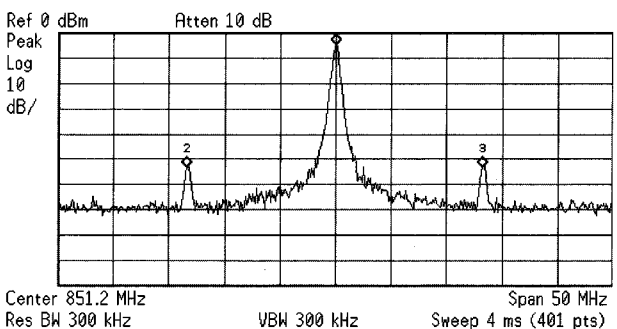


그림 10. 측정된 기준 주파수 의사 잡음  
Fig. 10. Measured reference spurs.

표 2. 제안된 위상고정루프의 성능 요약  
Table 2. Performance summary of the proposed PLL.

공정	0.35 $\mu$ m CMOS
전압	3.3V
출력 주파수	851.2MHz
입력 주파수	13.3MHz
위상잡음	-105.37 dBc/Hz @ 1MHz
위상고정 시간	25 $\mu$ s
기준 주파수 의사 잡음	-50 dBc
칩 크기	1700 $\mu$ m $\times$ 670 $\mu$ m

치에서의 측정된 값은 -53 dBm 이었다. 이러한 결과로부터 기준 주파수 의사 잡음은 약 -50 dBc 임을 확인할 수 있었다.

표 2에 제안된 위상고정루프의 측정 결과와 성능을 요약하여 나타내었다.

#### IV. 결 론

본 논문에서는 다중 전하펌프를 이용하여 저항과 커패시턴스 크기를 변화시키는 구조의 새로운 위상고정루프를 제안하였다. 제안된 위상고정루프는 위상고정 상태에 따라 각 전하펌프의 전류량과 방향이 제어되는 세 개의 전하펌프를 가지고 있는 구조이다. 위상고정루프의 위상이 고정되지 않은 상태에서는 상대적으로 큰 전류를 흘려주며 루프필터의 실효 저항은 크게 하고 반대로 실효 커패시턴스를 작게 하여 넓은 루프 대역폭을 갖도록 하여 위상고정 시간을 최대한 단축하도록 하였다. 반면에 위상고정루프의 위상이 고정되면, 루프필터에 공급되는 전류를 최소화하고 실효 저항은 작게 그리고 실효 커패시턴스는 크게 하여 좁은 대역폭과 충분한 위상 여유를 확보하여 위상잡음과 기준 주파수 의사 잡음을 최소화 하였다. 또한 제안된 다중 전하펌프 구조로 실효 커패시턴스 값을 제어함으로써 상대적으로 면적을 많이 차지하는 커패시터의 크기를 줄일 수 있어 커패시터  $C_2$ 를 제외한 모든 블록을 단일 칩으로 집적화할 수 있다.

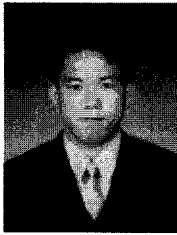
제안된 다중 전하펌프를 이용한 위상고정루프는 3.3V 0.35 $\mu$ m CMOS 공정을 통해 제작되었으며, 구조적 타당성을 실측을 통하여 검증하였다. 측정 결과를 통해 제안된 구조의 위상고정루프는 25 $\mu$ s의 위상고정 시간을

가지며, 851.2MHz 출력 주파수에서 측정된 위상잡음은 -105.37 dBc/Hz @1MHz이었으며 기준 주파수 의사 잡음은 -50 dBc로 나타났다.

#### 참 고 문 헌

- [1] Marianne M. KAMAL, Emad W. EL-SHEWEKH, and Muhammad H. EL-SABA, "Design and implementation of a low-phase-noise integrated CMOS Frequency Synthesizer for high-sensitivity narrow-band FM transceivers," *Microelectronics*, pp. 167-175, Cairo, Egypt. Dec. 2003.
- [2] Yan Ge, Wennan Feng, Zhongjian Chen, Song Jia and Lijiu Ji, "A Fast Locking Charge-Pump PLL with Adaptive Bandwidth," *ASIC*. vol. 1, ASICON, pp. 431-434, Oct. 2005.
- [3] Kyoohyun Lim, Chan-Hong Park, Dal-Soo Kim and Beomsup Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 807-815, June. 2000.
- [4] Tsung-Hsien Lin and William J. Kaiser, "A 900-MHz 2.5-mA CMOS Frequency Synthesizer with an Automatic SC Tuning Loop," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 424-431, March. 2001.
- [5] Shen Ye, Lars Jansson and Ian Galton, "A Multiple-Crystal Interface PLL With VCO Realignment to Reduce Phase Noise," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1795-1803, December. 2002.
- [6] T.H. Lin and W. J. Kaiser, "A 900-MHz 2.5-mA CMOS frequency synthesizer with an automatic SC tuning loop," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 424-431, Mar. 2001.
- [7] C. Y. Yang and S. I. Liu, "Fast-switching frequency synthesizer with a discriminator-aided phase detector" *IEEE J. Solid-State Circuits*, vol. 35, pp. 1445-1452, Oct. 2000.
- [8] 권태하, "Capacitance Scaling 구조와 여러 개의 전하펌프를 이용한 고속의  $\Sigma\Delta$  Fractional-N PLL", *대한전자공학회지*, vol. 43, pp. 90-96, 2006. 10
- [9] Chan-Hong Park and Beomsup Kim, "A Low-Noise, 900-MHz VCO in 0.6- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 586-591, May. 1999.

저 자 소 개



송 윤 귀(정회원)  
 2000년 동의대학교 물리학과  
 학사 졸업.  
 2002년 부경대학교 전자공학과  
 석사 졸업.  
 2002년 부경대학교 전자공학과  
 박사 과정.

<주관심분야 : PLL, DLL, CDRC 설계>



류 지 구(정회원)  
 1977년 동아대학교 전자공학과  
 학사 졸업.  
 1979년 동아대학교 전자공학과  
 석사 졸업.  
 1992년 영남대학교 전자공학과  
 박사 졸업.

1989년~1999년 도요하시 기술과학대학  
 디바이스 그룹 객원 연구원

1979년~현재 부경대학교 전자정보통신공학부  
 교수

<주관심분야 : RFIC, Sensor, actuator 설계>



최 영 식(정회원)-교신저자  
 1982년 경북대학교 전자공학과  
 학사 졸업.  
 1986년 Texas A&M University  
 전자공학과 석사 졸업.  
 1993년 Arizona State University  
 박사 졸업.

1987년~1999년 현대전자 책임연구원

1999년~2003년 동의대학교 전자공학과 교수

2003년~현재 부경대학교 전자정보통신공학부  
교수

<주관심분야 : PLL, DLL, CDRC 설계>