

## Parallel Structure of Viterbi Decoder for High Performance of PRML Signal

서 범 수\* · 김 종 만\*\* · 김 형 석†  
(Beom-Soo Seo · Jong-Man Kim · Hyong-Suk Kim)

**Abstract** - In this paper, we applied new analog viterbi decoder to decode PR(1,2,2,1) signal for DVD and analyze the specific and signal characteristics. We implemented the parallel analog viterbi decoder and the convolution digital viterbi decoder(the digital PRML) utilizing the technology of analog parallel processing circuits. The proposed analog viterbi decoder can replace the conventional digital viterbi decoder by a new one. Our circuits design the low distortion and the high accuracy over the previous implementation. Through the parallel structure of the proposed viterbi decoder, we got the achievement of the decoding speed by the multiple times.

**Key Words** : The Digital PRML, Analog Parallel Processing Circuits, Parallel Analog Viterbi Decoder

## 1. 서 론

최근 전기전자시스템의 입출력데이터의 안전 저장기술의 고 집적화가 가속화 및 Rading 속도의 고속화가 필수적인 사항으로 요구되고 있다. 비터비 디코딩은 전기전자 디지털통신 시스템에서 순방향 에러 정정을 위해 가장 많이 사용되는 방법 중의 하나이다. 정확하고 안전한 통신 기술의 요구와 함께 통신 속도의 고속화가 진행되고 이로 인해 고속으로 동작할 수 있는 비터비 디코더의 필요성이 점차 대두되고 있다[1-3]. 따라서 최근 멀티미디어에 대한 고품질, 고배속, 대용량에 대한 변화가 증가 추세이다. 이에 DVD, HD-DVD등 대용량 저장 매체 변화의 양산을 멀티미디어 및 광 디스크에 의한 LP 레코드의 완전 치환으로 디지털 기술의 혜택을 많은 사람들이 쉽게 인식 및 받아들여지게 되었다. 이에 따라서 데이터 저장 매체의 고집적화가 가속화되고 있으며, reading 속도의 고속화가 필수적인 요구사항이 되고 있다[1]. 데이터의 저장 특성은 최저값과 최고값을 단변에 변화하지 않고 점차 변하는 특성이 있으므로 이 특성에 적합한 RRML 방식이 보편화 되고 있다. 따라서 저장 신호의 급격한 변화를 피하고 멀티 레벨화 함으로써 상호간 신호의 간섭 현상을 줄이기 위하여 PR(Partial Response)기술을 이용하게 되었다[4]. 이 PR기술은 인접 심볼에 의한 간섭을 고려하여 인코딩시 상호간섭 파형 모델을 채널에 인가하는 방법이다. 이 같은 방법의 PRML (Partial Response Maximum Likelihood)기술은 재생신호를

PR 특성에 보정하는 등화기술과 기지의 부호 간 간섭을 적극적으로 이용하여 신호를 식별하는 복호 기술로 성립되고 있다. 또한 주로 자기 디스크 드라이브에 사용되는 중요 기술이 되었다. 따라서 최근에는 아날로그 방식의 PRML 연구에 관심을 갖기 시작하였다. 아날로그 방식으로 구현할 경우, A/D컨버터가 불필요하고 등화기, Timing recovery 회로 등에 아날로그 회로를 이용하므로 소비전력이 적고, 소형이라는 장점이 있다. 이러한 아날로그 비터비 디코더를 구성하기 위하여, 본 논문에서는 새로운 아날로그 병렬처리 회로 구조를 설계하였으며 구속장(Constraint Length)길이 만큼 트렐리스 다이어그램 방식으로 구현하고 이를 순환적으로 연결하여 무한대로 확장하는 트렐리스 다이어그램 방식으로 구현하였다.

## 2. 새로운 순환형 비터비 디코더 구조의 제안

일반적으로 비터비 디코더의 구현에서 비선형 데이터의 종속성을 갖는 ACS의 순환구조를 고려하여 Throughput을 높이는 가장 대표적인 방법으로 M-step의 트렐리스를 1-step의 트렐리스로 변환하여 ACS연산을 수행하는 것이다. 따라서 본 논문에서 제안한 비터비 디코더는 기존의 비터비 디코더들과 달리 트렐리스 다이어그램 상의 모든 노드에 아날로그 병렬처리 셀을 배치한 완전 아날로그 비터비 디코더를 기반으로 하였다.

## 2.1 아날로그 병렬처리 셀과 동적계획법

비터비 디코더의 기본 연산은 단순화된 동적계획법으로 각 노드에서는 입력된 정보들 중의 최소 값 계산을 통하여 목표점까지의 최소 오차 값을 계산한다. 즉, 노드 (k,l)로부터 목표점에 이르는 최소 오차 값을  $D_{k,l}$ 라고 하고, 노드 (i, j)와 (k, l)사이의 오차 값을  $d_{ij,kl}$ 라고 할 때, 목적 점에

\* 정 회 원 : 전북대학교 로봇비전연구실 연구원

\*\* 정 회 원 : 전남도립대 전기에너지시스템과 부교수·공박

† 교신저자 정회원 : 전북대학교 전자정보공학부 교수·공박

E-mail: hskim@chonbuk.ac.kr

접수일자 : 2009년 11월 18일

최종완료 : 2009년 11월 19일

서 노드(i, j)에 이르는 최소 오차 값  $D_{ij}$ 는 인접한 노드(k, l)에 이르는 데 소요되는 오차값  $d_{ij,kl}$ 과 그 위치로부터 목표점에 이르는 최소 오차 값  $D_{k,l}$ 을 합한 값 중 최소값을 취하는 식(1)과 같이 계산한다.

$$D_{i,j} = \min \{ D_{k,l} + d_{ij,kl}, (k, l) \in S \} \quad (1)$$

여기서, S는 노드 (i, j)의 인접한 노드들의 집합을 의미하며, min은 괄호안의 값들 중 최소값을 출력하는 함수를 나타낸다. 식(1)을 비터비 디코더에 적용하기 위해서  $d_{ij,kl}$ 에 트렐리스 다이어그램상의 부호어와 수신된 심볼과의 차이값을 인가하고, 각 노드에 식(1)을 수행할 수 있는 연산 유닛을 배치하게 되면, stage가 진행함에 따라 각 노드에는 오차 값이 누적되는데 마지막 stage의 노드 중 최소값을 갖는 노드의 경로를 역 추적하여 디코딩을 수행하게 된다. 여기서 min 연산방식은 하드웨어 구현시 복잡하기 때문에 아날로그 회로 구현이 용이한 Max회로를 이용하여 임의의 큰 값으로부터 거리 값을 감산하여 최대값 연산을 채택하였다.

$$y_{i,j} = \max \{ y_{k,l} - d_{ij,kl}; (k, l) \in S \} \quad (2)$$

임의의 큰 기준값을  $I_{ref}$ 라고 하고  $I_{ref}$ 와  $D_{k,l}$ 의 차이값을  $y_{k,l}$ 라하면, 식 (1)은 식(2)로 표현할 수 있다.

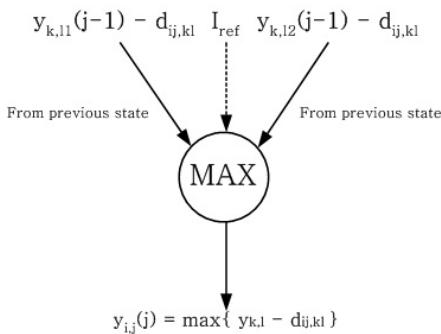


그림 1 아날로그 비터비 디코더 연산구조 도식화  
Fig. 1 Operation block diagram of analog viterbi decoder

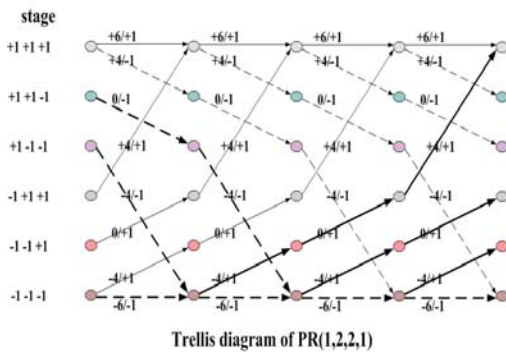


그림 2 PR(1,2,2,1)신호의 Trellis diagram  
Fig. 2 Trellis diagram of PR(1,2,2,1) Signal

제안한 비터비 디코더의 아날로그 신호처리 셀의 연결구조를 보여준다. 자신의 입력값과 전 상태의 출력에 지역 오차 값을 감한 값 중 최대값을 계산하는 구조로 도식화 할 수 있다. 그림 2는 비터비 디코더의 기본연산은 식(1)과 같은 단순화된 동적계획법으로서 각 노드에서는 입력된 정보들 중의 최소값 계산을 통하여 목표점까지의 최소 오차 값을 계산한다.

2.2 제안한 cylindrical 아날로그 비터비 디코더 병렬구조

제안한 순환형 구조의 트렐리스 아날로그 비터비 디코더 병렬구조를 보여준다. 트렐리스 아날로그 비터비 디코더 구조를 이용하여 하나의 입력을 두 개로 나누어 구현함으로써 비터비 디코더의 throughput을 향상시킬 수 있었다. 그림 3은 순환형 아날로그 비터비 디코더 병렬구조는 트렐리스 다이어그램의 각 노드에 최대값 연산을 수행하는 아날로그 신호처리 셀을 병렬로 배치한 구조이며, 마지막 열의 셀들과 연결한 순환형 구조이다.

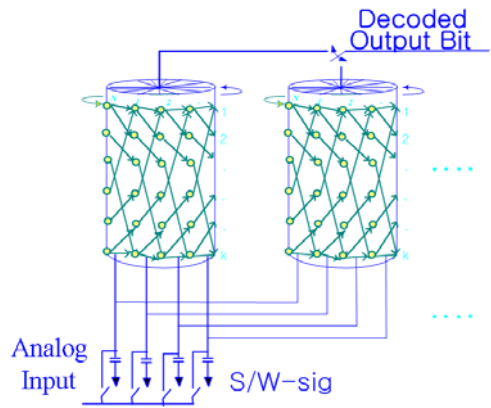


그림 3 제안한 아날로그 비터비 디코더의 병렬 구조  
Fig. 3 Parallel Structure of analog viterbi decoder

그림 4는 그림 3의 순환형 구조를 펼친 전개도로 현재의 디코딩 Stage를 지시하는 Stge Indecator, 디코딩 상태를 표시하는 State Indicator이다. 아날로그 신호의 출력 회로 및 입력 Capacitor로 구성되어 있다. 본 논문에서 제안한 방식은 처음 열의 '0' 또는 '1'의 경로를 절단한 후 신호의 변화 여부를 검출하는 방식이다. 즉, 첫 번째 stage의 '0'의 경로를 절단한 후 신호가 인가되었을 때, 마지막 단의 출력 여부 정도에 따라 '0'또는 '1'로 결정되는 원리이다.

그림 5는 제안한 기법의 비터비 디코더의 셀회로의 구조로 주변회로를 포함한 완전한 노드를 보여주고 있다. 입력 신호들과 브랜치 매트릭 코드들의 전압값은 V2I회로를 통하여 전류로 변환된다. 이 V2I회로는 왼쪽에 있는데,  $V_{cap}$ ,  $V_{Br}$ 이 입력 전압이고,  $V_{bias}$ 는 회로가 동작하기 위한 바이어스 전압을 나타낸다. V2I회로의 출력은 중앙 부분에 있는 절대값 변환회로로 전해지고, 이 회로에서 브랜치 매트릭과의 에러를 계산한다. 계산된 브랜치 매트릭 에러 전류와 이전 stage로부터 전과된 전류들로부터 오른쪽 부분의 최대값 연산회로에서 최대값 연산을 수행하여 다음 stage로 전과된다.

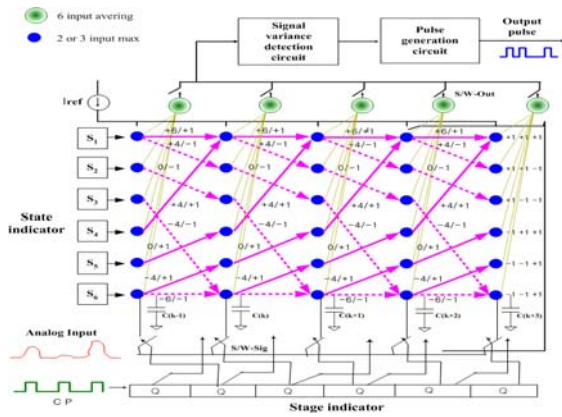


그림 4 아날로그 비터비 디코더 구조의 전개도  
 Fig. 4 Expansion Structure of analog viterbi decoder

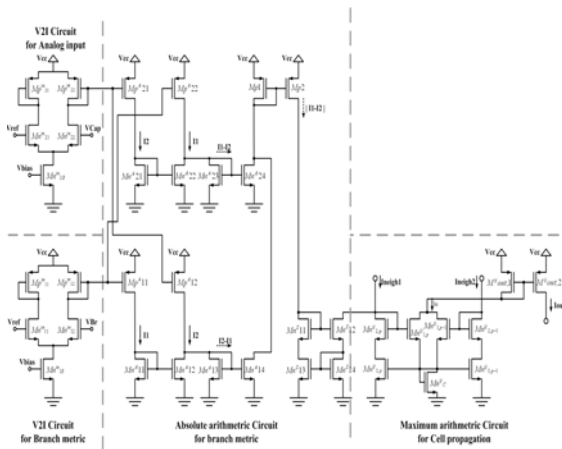


그림 5 제안한 비터비 디코더의 셀 회로  
 Fig. 5 Expansion Structure of analog viterbi decoder

### 2.3 시뮬레이션

제안한 아날로그 비터비 디코더 병렬구조의 성능을 검증하기 위하여 AWGN환경을 가정하여 MATLAB과 C언어를 이용하여 소프트웨어 시뮬레이션과 HSPICE를 이용한 회로 시뮬레이션을 수행하였고 그 성능을 기술하였다. 그림 6은 기존의 아날로그 비터비 디코더 5stage 사용하였고 구속장(K=3)의 출력 결과이다.

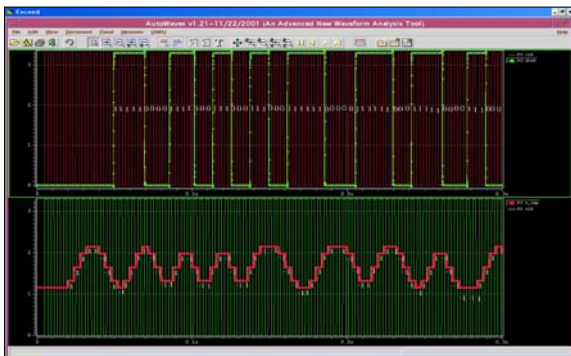


그림 6 기존의 단일 비터비 디코더의 처리 결과  
 Fig. 6 Processing Results of a existing analog viterbi decoder

그림 6은 제안한 순환형 아날로그 비터비 디코더 병렬구조와 그림 6의 비터비 디코더의 디코딩 결과를 비교하였다. 16db 노이즈를 인가후에 대한 디코딩 결과를 시뮬레이션을 통한 결과를 확인한 결과 안정적인 디코딩 능력을 갖게 됨을 확인하였다.

제안한 데이터 속도와 입력 노이즈에 대한 비터비 디코더의 하드웨어 시뮬레이션 결과이다. 12배속과 8배속은 각각 330Mbps, 250Mbps의 속도를 의미하며, 기존의 디지털 비터비 디코더와 비교하였을 경우 동등 이상 성능을 아날로그 비터비 디코더가 갖음을 보여준다. 그림 7은 이에 따라서 예러를 정정한 출력 값을 나타낸다.

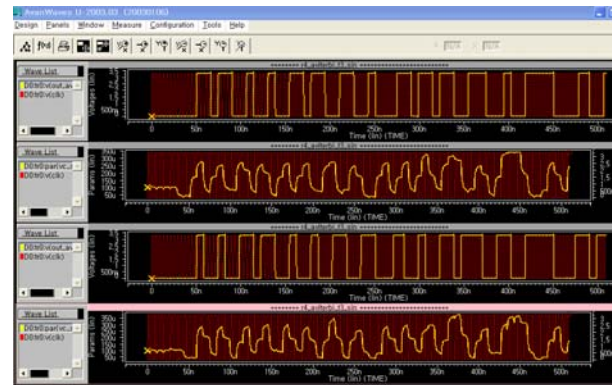


그림 7 제안한 비터비 디코더 구조에 의한 디코딩 결과  
 Fig. 7 Decoding Results of a proposed analog viterbi decoder

## 3. 결 론

전기전자시스템의 정확하고 안전한 통신 기술의 개발을 위하여 고성능 구조의 PRML 신호용 비터비 디코더의 병렬구조형 장치구조 시스템 방식을 설계·구현하였다.

기존의 제안된 순환형 아날로그는 내부의 스위칭회로와 입력신호 제어 신호들의 영향으로 인하여 결과값이 영향을 많이 받았다. 그러나 제안한 입력 순환 방식의 비터비 디코더는 제어 신호를 필요하지 않으므로 내부적인 영향을 적게 받아 안정적인 출력을 확보할 수 있게 되었다. 제안한 아날로그 비터비 디코더 병렬구조의 소프트웨어 시뮬레이션 결과 BER  $10^{-4}$  의 SNR 16dB를 기준으로 하였을 때, 기존의 아날로그 비터비 디코더와 동등하거나 더 나은 디코딩 능력을 보였고, Stage가 병렬로 나누어져 신호가 전파됨으로써 소요되던 지연시간을 75% 감소시켰으며 안정적인 성능이 확보되도록 향상시켰다. 따라서, 본 연구의 개발된 방법의 특성을 통해 N개의 디코더가 병렬로 연결될 경우, 디코딩 속도가  $(1+0.75(N-1))$ 배 증가하게 되는 성과를 거둘 수 있었다.

## 참 고 문 헌

[1] Sun-How Jiang and Feng-Hsing Lo, "PRML process of multilevel run length-limited modulation recoding on optical disk," *IEEE Trans. On magnetism*, Vol.41. no.2 pp.1070-1072, Feb.2005.

[2] Hyun-Soo Park et al, "Simplified error generation scheme for LMS adaptation of PRML channel," Proceeding of Satellite ISOM , pp. 70-71, 2000.

[3] G. D. Forney, JR. "The Viterbi Algorithm," Proc. of the IEEE, vol. 61, No. 3, Mar. 1973.

[4] Gene sonu et al, "Partial-Response Maximum -Likelihood core development for a CD/DVD controller integrated circuits," IEEE transaction on Magnetics, Vol. 37, No. e, March 2001.

[5] H. Kobayashi and D.T. Tang, "Application of patial response channel coding to magnetic recording system," IBM journal of research and development. pp.368-375, 1970.

[6] R. G. Yamasaki et al, "A 72Mb/s PRML disk drive channel chip with an analog sampled data signal processor," in Dig. Tech. Papers ISSCC, Feb., pp. 278-279, 1994.

[7] Jens Sparso. Henrik N Jorgenson," An Area-Efficient Topology for VLSI Implementation of Viterbi Decoders and Other Shuffle-Exchange Type Structures," IEEE Ir. solid-State Ciucuit, vol. SC-26 no.2 pp.90-96 Feb. 1991.



**김 종 만 (金 棕 晩)**

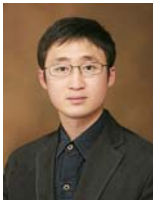
1986년 전북대학교 전기공학과 졸업(공학사). 1988년 전북대학교 대학원 전기공학과 졸업(공학석사). 1996년 전북대학교 대학원 전기공학과 졸업(공학박사). 1988~1991년 현대중공업(주) 산업전자설계부 연구원. 2000년~현재, 전남도립대학 전기에너지시스템과 부교수  
 Tel : 061-380-8639  
 Fax : 061-380-8639  
 E-mail : jmk@dorip.ac.kr



**김 형 석 (金 炯 奭)**

1980년 한양대학교 전자공학과 졸업(공학사). 1982년 전북대학교 대학원 전자공학과 졸업(공학석사). 1992년 University of Missouri, Columbia, Dept. of Electrical and Computer Eng.(공학박사). 1993년~현재, 전북대학교 전자정보공학부 정교수  
 Tel : 063-270-2477  
 Fax : 063-270-2477  
 E-mail : hskim@chonbuk.ac.kr

**저 자 소 개**



**서 범 수 (徐 範 洙)**

2007년 전북대학교 전기전자공학부 졸업(공학사). 2009년 전북대학교 대학원 전자정보공학과 졸업(공학석사). 2009년~현재, 전북대학교 로봇비전 연구실 연구원  
 Tel : 063-270-2477  
 Fax : 063-270-2477  
 E-mail : sbs787@hanmail.net