

## Control of the Subsystem for a Power System

이 용 근<sup>†</sup>  
(Yong-Geun Lee)

**Abstract** - A DC power system has many loads with various functions. In particular, these sizable loads take the form of power electronic converters. When they are tightly regulated, the loads appear as constant power loads and result in negative incremental input impedance. Under certain conditions the effect of such loads on the power system is causes instability. In this paper, converter with a large storage capacitor and a lag compensator is proposed as a DC bus conditioner to mitigate the voltage transients on the bus. In addition, the proposed control approach has the advantage of performing both the functions of mitigating the voltage bus transients and maintaining the level of energy stored. Simulation and experimental results showed that the proposed control method was operated well in a small-scale DC power system that contained subsystems with constant power characteristics, such as DC/DC converters and electrical drives.

**Key Words** : DC Power System, Bidirectional DC/DC Converter, DC Bus Conditioner

### 1. 서 론

최근 수년간 DC 전력시스템은 고효율, 고신뢰성, 모듈화의 용이성, 확장성 및 비용절감 등의 다양한 장점으로 연구가 광범위하게 진행되고 있다. 또한, 신재생에너지 분야와 연계되어 그 중요성은 더욱더 부각되고 있으며, 그 응용분야는 통신, 자동화설비, 및 항공우주분야 등으로 광범위하게 적용되고 있다 [1-2].

DC 전력시스템은 일반적으로 전력을 발생하는 generation part와 distribution part 그리고 load part로 구성되어 있고 각 부분은 서로 유기적으로 연결되어져 있다. 이러한 DC 전력시스템은 병렬구조, 직렬구조, 직병렬 구조, 분산형 구조등의 다양한 형태의 구조를 갖지만, 일반적으로 그림 1과 같이 두개의 서브시스템인 source converter와 load converter로 간략화 된다. 이러한 DC 버스 구조에서는 최소 두번의 전력 변환단계가 있으며, 적어도 한번의 정류와 한번의 전력변환 과정이 수행되어 진다 [1].

그림 1과 같은 DC 전력시스템의 기본구조에서는 필터와 정류기가 source converter를 구성하며, 또한 PFC(Power Factor Correction) 회로가 요구되어지는 경우는 source converter에 PFC 회로를 채택하기도 한다. 이러한 source converter는 front-end converter, line conditioner, back-plane power supply, primary power converter, pre-processor등으로 불리워지기도 한다. 또한 고신뢰성이 요구되어지는 시스템에서는 source converter를 병렬로 연결하여 운영하기도 한다. Source converter는 DC버스에 레귤레이션 되어진 전압을 공급하며 load converter는 부하에서 요구되어지는 전압을 DC 버스전압으로부터 변환한다. 이 경우 load converter는 다양한 부하를 운영하기 위하여 몇 개의 load converter가 병렬로 구성되어 있는 경우도 있다.

그러나, 위와같은 다양한 장점에도 불구하고 DC 전력시스템에서 서브시스템의 상호작용으로 인한 DC bus의 불안정(instability)이 중요한 관심사로서 연구되어지고 있다. 거의 모든 전력변환기들은 변환기들로부터 발생되어지는 고조파 전류(harmonic current)를 감소시키기 위하여 필터를 채택하여 사용하고 있다. 이러한 경우 필터, source converter, 그리고 load converter의 임피던스가 복잡한 공진시스템을 발생하여 바람직하지 않은 상호작용을 발생하기도 한다 [3]. 또한, DC 전력시스템은 다수의 전력서브시스템(smaller power subsystems)으로 구성되어 진다. 이러한 서브시스템들은 일반적으로 독립운전의 안정성을 기반으로 하여 개발되어있으며 대부분의 경우가 전력변환기들이다. 따라서, 서브시스템들이 집적화된 후에는 서브시스템들간의 상호작용은 전체 시스템의 성능저하 또는 시스템 불안정을 초래하기도 한다. DC 전력시스템에서 source converter는 DC bus를 통하여 load converter에 DC 전력을 공급한다. Load converter는 이 DC 전력을 다시 변환하여 부하에 전력을 공

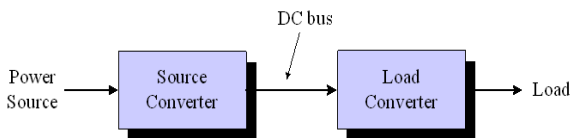


그림 1 간략화한 DC 전력시스템  
Fig. 1 A simplified DC power system

<sup>†</sup> 교신저자 정회원 : 인하공업전문대학 전기정보과 정교수 · 공학  
E-mail: leeyong@inhac.ac.kr

접수일자 : 2009년 8월 10일

최종완료 : 2009년 10월 14일

급한다. 이 과정에서 load converter에서의 constant power load특성으로 인한 negative impedance가 초래되어 DC 버스 불안정(DC bus instability)가 발생되기도 한다 [4].

그러므로 위와 같은 요인으로부터 발생된 DC 버스상에서의 과도상태의 전압을 완화시키기 위하여 보상장치(compensator)가 필요하다. DC bus conditioner [5]는 버스 상에서 과도상태에 있는 버스전압을 완화 또는 안정화키는 전력변환용 변환기로서 DC 전력시스템의 서브시스템을 안정화 할 수 있다. 이 논문에서는 전력시스템에서의 서브시스템으로 인한 DC버스의 불안정을 완화시키는 제어알고리즘 및 보상방법을 제안한다.

### 2. CPL (Constant Power Load)

그림 2는 DC/DC 컨버터 또는 모터구동장치와 같은 CPL(Constant Power Load)의 간략화 블록다이어그램이며 그림 4는 CPL의 negative impedance 특성을 나타낸 그래프이다. 그림 2에서 입력전력  $P_m$ 이 일정(constant)하기 때문에, 입력전력  $I_m$ 에 대한  $V_m$ 의 그래프는 그림 3과 같이 표현할 수 있다. 입력저항  $R_{in}$ 은 입력전류의 미소변화량(small-change)에 대한 입력전압의 미소변화량(small-change)이다 ( $R_{in} = \Delta V_m / \Delta I_m$ ). 즉, 입력저항  $R_{in}$ 은 CPL의 전압과 전류의 동작지점에 좌우되어진다.

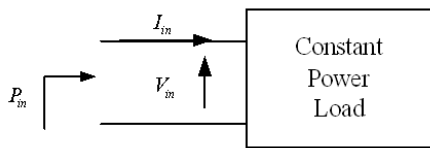


그림 2 CPL의 간략화된 블록다이어그램  
Fig. 2 A simple block diagram of a CPL

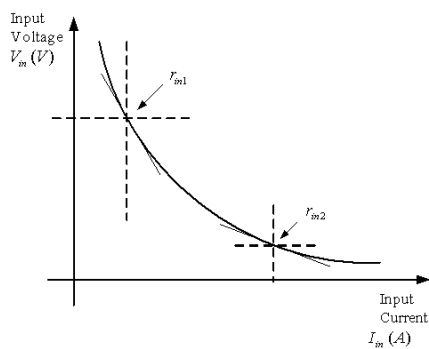


그림 3 CPL의 negative impedance의 동작  
Fig. 3 The negative impedance behaviour of a CPL

그림 3의 CPL특성곡선에서 서로 다른 동작지점에 존재하는 두 개의 다른 입력저항 ( $R_{in1}, R_{in2}$ )값은 음의 기울기에 기인하여 음의 값을 갖는다. 그러므로 입력전압이 증가(감소)하면 입력전류는 감소(증가)함을 의미하며 이 관계는 역으로도 성립한다. 그림 2에서 부하의 입력전력으로 부터

$$P_{in} = V_{in}/I_m \rightarrow V_{in} = P_{in}/I_m \quad (1)$$

식 (1)을 입력전류  $I_m$ 에 대하여 입력전압  $V_{in}$ 를 미분하고 또한 입력전력이 일정하다고 가정하면 다음 식이 주어진다.

$$\frac{dV_{in}}{dI_m} = r_{in} = -\frac{P_{in}}{I_m^2} = -\frac{V_{in}^2}{I_m} \quad (2)$$

식 (2)는 CPL의 소신호 입력저항 (small-signal input resistance)를 나타낸다. 또한 저항  $R_{in}$ 은 음의 값을 가지며 전류 또는 전압의 동작점에 좌우됨을 의미한다.

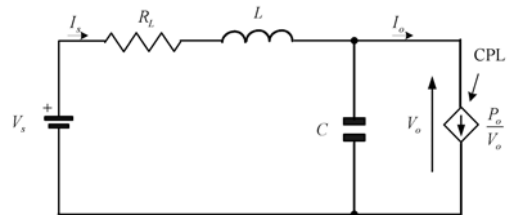


그림 4 DC 전력시스템에서의 CPL 모델  
Fig. 4 A CPL Model of the DC power system

그림 4는 DC 전력시스템에서의 CPL의 특성을 조사하기 위한 모델을 나타낸다 [6]. 정상상태를 가정하면 부하전류  $I_o$ 와 소스전류  $I_s$ 는 동일하다. 또한 CPL과 소스측을 고려하면, 부하전압  $V_o$ 는 다음과 같이 표현된다.

부하측 :

$$V_o = \frac{P_o}{I_o} \quad (3)$$

소스측 :

$$V_o = V_s - R_L I_o \quad (4)$$

위의 식 (3)과 (4)를 부하전압  $V_o$ 에 대하여 표현하면

$$V_o^2 - V_s V_o + P_o P_L = 0 \quad (5)$$

식 (5)로부터 부하전압  $V_o$ 는 다음과 같이 나타내어진다.

$$V_o = \frac{V_s}{2} \pm \sqrt{\left(\frac{V_s}{2}\right)^2 - P_o P_L} \quad (6)$$

식 (6)에서 평형점(equilibrium point)은  $P_o P_L \leq (V_s/2)^2$  이 성립하면 양의 실수값을 갖는다. 그러나  $P_o P_L > (V_s/2)^2$ 이면 복소값을 갖게 된다. 이와 같은 관계는 그림 5로서 쉽게 설명되어진다. 그림 5는 저항  $R_L$ 을 변화에 따른 식(3)과 식(4)의 CPL 특성곡선이다.

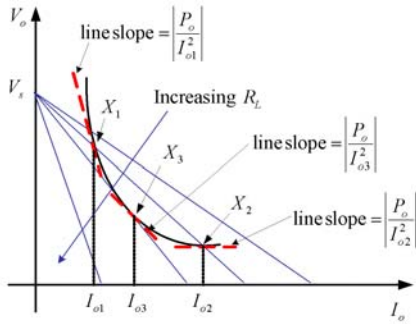


그림 5 CPL의 특성곡선  
Fig. 5 Characteristic of CPL

두 선의 교차점( $X_1, X_2$ )는 위 시스템의 안정도를 위한 가능성 있는 평형점을 보여주고 있다. 저항  $R_L$  값이 증가하면 두 개의 교차점( $X_1, X_2$ )은 하나의 교차점 ( $X_3$ )로 되고 저항  $R_L$  값이 더욱 증가하면 교차점은 사라지게 되어 평형점이 없어지게 되어 시스템은 불안정하게 된다. 그러므로 복소평형점을 피하기 위해서, 즉 안정된 시스템을 얻기 위하여 다음의 식이 만족되어야 한다.

$$\left(\frac{V_s}{2}\right)^2 - R_L P_o > 0, \therefore R_L < \frac{V_s^2}{4P_o} \quad (7)$$

그러나, 식 (7)은 매우 엄격한 조건이어서 이 조건을 만족하는 시스템을 설계하는 것은 매우 어렵고, 또한 위의 조건을 만족하지 못하면 시스템은 매우 불안정하게 될 것이다. 그러므로 위와 같은 요인으로부터 발생된 DC 버스 상에서의 불안정을 완화시키기 위하여 DC bus conditioner가 사용되어진다.

### 3. DC Bus Conditioner의 동작과 설계

그림 6은 DC 전력시스템에 연결된 DC bus conditioner의 블록 다이어그램이며 그림 7에서 DC bus conditioner의 회로도를 보여준다.

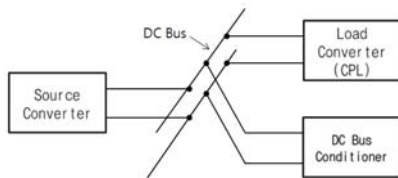


그림 6 시스템 연결 블록 다이어그램  
Fig. 6 A block diagram of a DC power system with DC bus conditioner

그림 7의 DC bus conditioner는 하나의 인덕터( $L$ )와 캐패시터 ( $C$ ) 그리고 half-bridge leg ( $T_1, T_2$ )로 구성된다. 스토리지 전압  $V_c$ 를 버스전압  $V_{in}$  보다 높게 한다면 두 전압의 차를 이용하여

DC bus에 에너지를 전달하여 버스에서의 불안정을 완화시킬수가 있다. 그러므로 두 스위치( $T_1, T_2$ )를 적절하게 제어하면 DC bus conditioner로 사용되는 양방향 컨버터(bi-directional converter)는 부하에 의하여 초래된 DC버스에서 전압불안정을 완화시키기 위하여 DC 버스에 전류를 주입하거나 흡수한다.

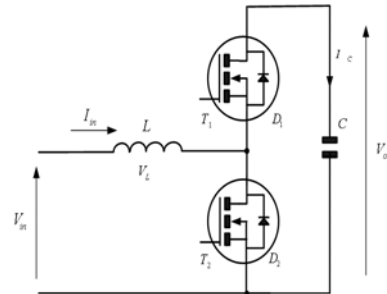


그림 7 DC Bus Conditioner  
Fig. 7 DC Bus Conditioner

두 스위치( $T_1, T_2$ )는 스위치  $T_2$ 에 의한 듀티비  $D$ 로써 안티페이즈(anti-phase)로 동작을 하며, 인덕터( $L$ )의 전류  $I_L$ 의 방향에 좌우되는 2개의 동작모드를 갖는다. 인덕터 전류  $I_L$ 이 양의 방향이면 컨버터는 step-up 컨버터로 동작하며 또한 에너지는 스토리지 캐패시터 ( $C$ )로 전달된다. 반면에, 인덕터전류  $I_L$ 이 음의 방향이면 변환기는 step-down 변환기로 동작하며 에너지는 스토리지 캐패시터로부터 DC bus로 되돌려진다. 인덕터 전류  $I_L$ 의 평균이 0이 되는 경우는 컨버터와 DC 버스사이에서의 에너지 전달은 0이 된다. 두 모드의 상세파형은 그림 8과 9로서 표현된다.

제한된 변환기의 동적특성과 제어기의 성능을 조사하기 위하여 시스템 파라미터를 선정하였다. 먼저 DC 버스 전압  $V_{in}$ 은 200[V]로 가정하였으며 변환기 출력전압  $V_o$ 는 400 [V]로 정하였다. 또한 스위치의 스위칭 주파수는 20 [kHz]로 하였으며 CPL은 10 J로 정하였다. 따라서 스토리지 캐패시터는 최소 10 J 이상으로 선정되어야 한다. 그러므로 필터인덕터  $L$ 은 1 [mH]로 피크 인덕터 전류가 2.5 [A]가 되도록 선정하였다. 스토리지 캐패시터  $C$ 는 약 1 [mF]로 선택되었다.

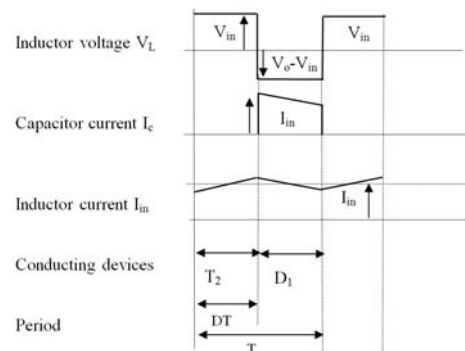


그림 8 양의 인덕터전류(+ $I_L$ )에 대한 이상적인 파형  
Fig. 8 Idealised circuit waveforms for positive current

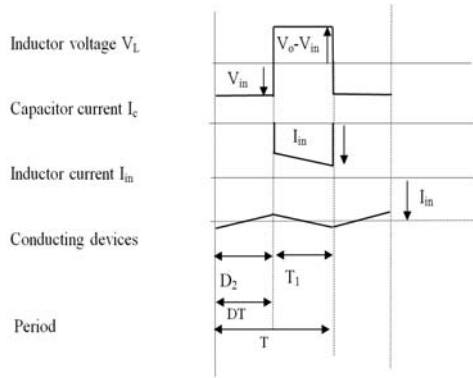


그림 9 음의 인덕터전류(-I<sub>L</sub>)에 대한 이상적인 파형  
Fig. 9 Idealised circuit waveforms for negative current

#### 4. DC Bus Conditioner의 제어

그림 10은 DC bus conditioner를 포함하고 있는 DC 전력 시스템이다. 시스템은 LC필터를 포함한 전원부와 CPL (Constant Power Load), 그리고 DC bus conditioner로 구성되며 여기에 제어부가 포함된다. 또한, Z<sub>s</sub>, Z<sub>D</sub> 그리고 Z<sub>L</sub>은 각각 전원부의 임피던스, DC bus conditioner에서 공급하는 임피던스, CPL에 초래되는 negative impedance이다. 그림 11은 전력시스템의 서브시스템을 제어하기 위한 DC bus conditioner의 제어블럭 다이어그램을 보여준다.

그림 11의 DC bus conditioner의 제어기는 두 개의 제어 루프로 구성된다. 주제어루프는 버스에서의 과도상태를 완화시키는 역할을 하는 제어기로서 DC 버스의 과도상태를 제어하는 역할을 한다. 반면, 보조제어루프는 스토리지 캐패시터의 전압을 일정하게 유지시켜주는 역할을 한다. 제안된 제어알고리즘은 필터캐패시터 C<sub>s</sub>의 캐패시터 전류 I<sub>c</sub>가 0으로 유지된다면 DC버스전압은 일정하게 유지될 것이다. 따라서 캐패시터 전류 I<sub>c</sub>의 변화량은 DC 버스전압의 변화량을 의미하므로 DC bus conditioner는 CPL에 의하여 초래된 negative impedance Z<sub>L</sub>을 보상하기 위한 positive impedance Z<sub>D</sub>를 전원부에 공급한다.

그림 11의 제어블럭선도에 캐패시터전류 I<sub>c</sub>는 버스전압 V<sub>in</sub>을 고대역필터(High-Pass Filter)을 이용하여 추정할 수 있다.

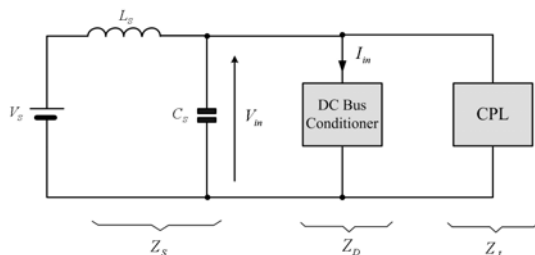


그림 10 DC bus conditioner를 포함한 DC 전력시스템  
Fig. 10 A DC power system with DC bus conditioner

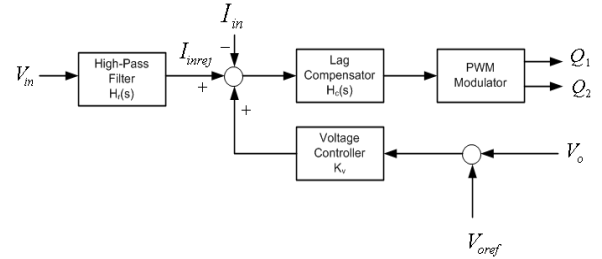


그림 11 DC bus conditioner의 제어블럭다이어그램  
Fig. 11 The control block diagram of the DC bus conditioner

$$H_r(s) = \frac{I_c}{V_{in}} = \frac{K_r s}{s + \omega_r} \quad (8)$$

식 (8)에서 s는 라플라스 연산자이다. 또한  $\omega_r$ 과  $K_r$ 은 필터의 corner frequency와 이득이며 이 두 값은 모의실험에 의하여 각각 1000 [rad/s]와 2로 선정하였다. 또한 식 (8)은 저주파수대역에서 또는 s가 0으로 수렴함에 따라서 필터의 전달함수는  $s/\omega_c$ 로 근사화되기 때문에 필터 캐패시터의 전류 I<sub>c</sub>는 식(8)의 일차 고대역 필터로 쉽게 추정할 수 있다. 따라서 전류 I<sub>c</sub>는 bus conditioner가 버스에 주입할 전류 I<sub>in</sub>의 지령전류(reference current)가 된다.

$$I_c = I_{inref} \quad (9)$$

식 (9)의 신호는 인덕터 L의 전류 I<sub>in</sub>과 보조제어기의 출력신호와 함께 스토리지 캐패시터를 충전 또는 방전하는 제어신호로 사용되어진다. 보조제어루프는 정상상태에서 스토리지 캐패시터의 전압을 일정전압(V<sub>oref</sub>)으로 유지시키는 역할을 하게 되며 비례제어기(proportional controller)를 사용하였으며 이득값 K<sub>p</sub>는 0.001이었다.

$$K_v(s) = K_p (V_{oref} - V_o) \quad (10)$$

두 제어기의 출력신호의 합은 지상보상기(lag compensator)를 통하여 PWM modulator로 보내어진다.  $\omega_c$ 는 필터의 corner frequency이며 모의실험에 의하여 16 rad/s로 선정하였다. 또한 보상기의 H<sub>c</sub>(s)의 전달함수는 다음과 같이 표현된다.

$$H_c(s) = \frac{\omega_c}{s + \omega_c} \quad (11)$$

#### 5. 실험결과

그림 12의 LC 필터를 포함한 전원부에서 인덕터 L<sub>s</sub> 과 캐패시터 C<sub>s</sub>는 고유주파수(natural frequency)가 280 Hz가 되도록 실험운영상의 안정과 시스템운영의 안정을 위하여 각각 5 mH와 64 μF으로 선정하였다. 부하는 1 kW의 CPL을 사용하였다. DC bus conditioner의 상세사항은 3절에서

상세히 설명되어 있다. 제안된 시스템은 제안된 시스템은 MATLAB Simulink를 사용하여 모의실험을 하였고, TI(Texas Instruments)사의 a fixed point 32-bit DSP (TMS320F2812)를 이용하여 실험을 하였다.

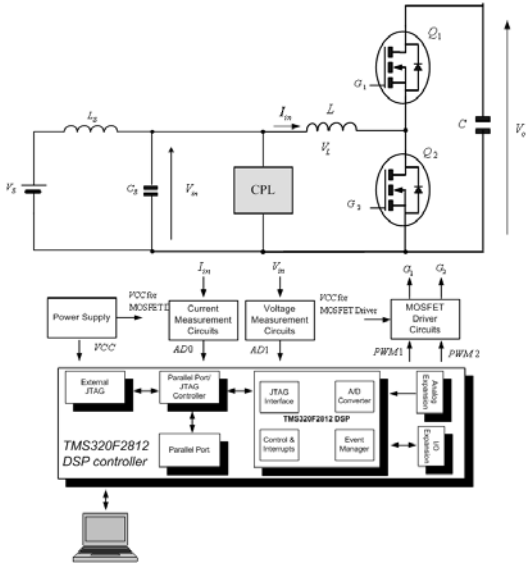


그림 12 DC 전력시스템을 위한 DC bus conditioner의 전체 시스템도

Fig. 12 The schematic diagram of the DC power system with DC bus conditioner

5.1 DC bus conditioner가 없을 때의 실험결과

그림 13은 그림 12의 1 kW의 CPL을 갖는 전체시스템에서 10 V의 스텝입력을 인가하였을 때의 DC 버스전압  $V_{in}$ 의 응답에 대한 모의실험 및 실험 결과를 보여주고 있다. 즉, DC bus에 과도상태의 전압을 인가하였을 경우 버스전압은 약 218 V까지 상승하며 필터 고유주파수 280 Hz의 공진이 발생하며 점차로 감소하는 것을 볼 수 있다. 이것은 DC 전력시스템에 CPL이 더욱더 증가한다면 시스템의 공진은 더욱더 증가하며 공진의 감소시간 또한 더 늘어날 것이다. 이러한 원인은 CPL의 negative impedance의 영향으로 초래된다.

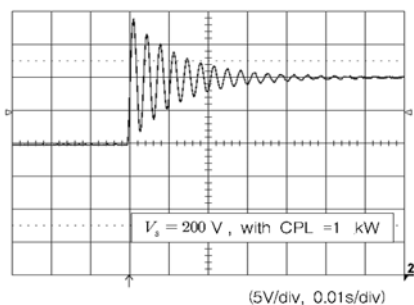


그림 13 DC bus conditioner가 없을 때의 DC bus 전압  $V_{in}$ 에 대한 실험결과

Fig. 13 A experimental result of the DC bus voltage  $V_{in}$  without DC bus conditioner

그림 14-16은 그림 12의 CPL을 갖는 전체시스템에서 DC bus conditioner를 추가하였을 경우 10 V의 스텝입력을 인가하였을 때의 DC 버스전압  $V_{in}$ 과 전력시스템에 주입되는 인덕터 전류(즉, 댐핑전류)  $I_{in}$  응답에 대한 모의실험 및 실험 결과를 보여주고 있다. 또한 그림 17은 스토리지 캐패시터의 전압 즉 DC bus conditioner의 출력전압  $V_o$ 의 실험결과 과형이다.

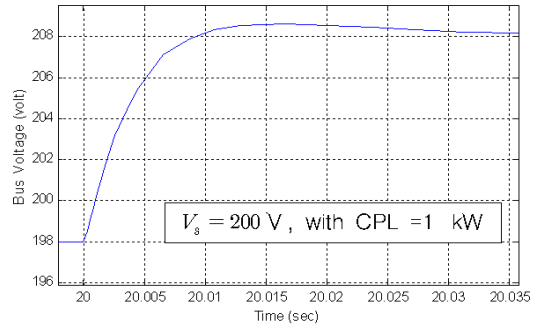


그림 14 DC bus conditioner가 있을 때의 DC bus 전압  $V_{in}$ 에 대한 모의실험결과

Fig. 14 A simulation result of the DC bus voltage  $V_{in}$  with DC bus conditioner

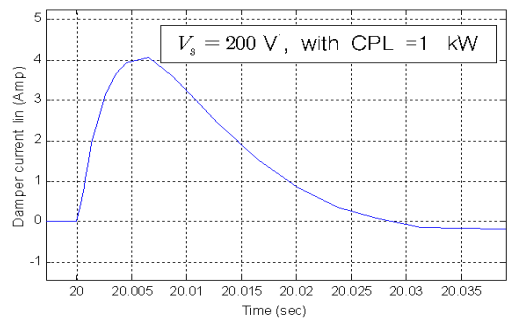


그림 15 DC bus conditioner가 있을 때의 인덕터 전류  $I_{in}$ 에 대한 모의실험결과

Fig. 15 A simulation result of the inductor current voltage  $I_{in}$  with DC bus conditioner

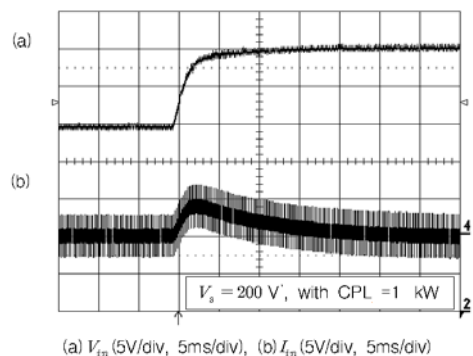


그림 16 DC bus conditioner가 있을 때의 DC bus 전압  $V_{in}$ 과 인덕터 전류  $I_{in}$ 에 대한 실험결과

Fig. 16 A experimental result of the DC bus voltage  $V_{in}$  and inductor current voltage  $I_{in}$  with DC bus conditioner

참 고 문 헌

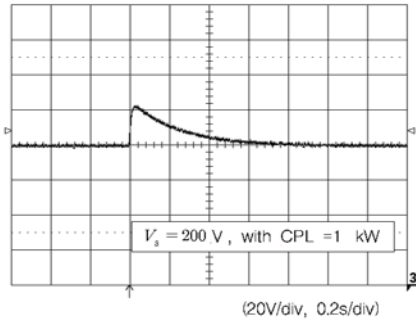


그림 17 DC bus conditioner가 있을 때의 스토리지 캐패시터 전압  $V_o$ 에 대한 실험결과

Fig. 17 A experimental result of the storage capacitor voltage  $V_o$  with DC bus conditioner

5.2 DC bus conditioner가 있을 때의 모의실험 및 실험결과

DC bus conditioner가 있는 DC 전력시스템에서 버스전압  $V_{in}$ 이 5-10 [msec]내에서 그림 13의 의 과도상태의 전압을 보다 더 잘 완화하여 DC 버스의 상태를 안정화시키는 것을 볼 수 있다. 버스전압  $V_{in}$ 은 약 200 [V] 그리고 인덕터 전류  $I_{in}$ 은 4 [A]까지 상승하나 그림 13에서의 공진이 제거되었음을 볼 수 있다. 이것은 그림 17의 스토리지 캐패시터의 에너지가 제어기를 통하여 적절히 제어됨으로써 전력시스템에 positive impedance  $Z_D$ 를 공급하여 negative impedance  $Z_L$ 를 완화한 것이다.

위 실험의 결과 비록 모의실험 및 실험에 있어서 약간의 차이는 존재하나 모의 실험 및 실험결과는 거의 일치하며 실험결과의 차이는 component tolerance로 인한 것으로 보인다.

6. 결 론

본 논문은 DC 전력시스템에서 CPL의 negative impedance로 인한 전력시스템의 불안정을 완화하여 서브시스템을 효율적으로 제어하기 위한 DC bus conditioner와 제어법을 제안하였다. 제안된 시스템은 모의실험과 실험을 통하여 제안된 시스템 및 알고리즘의 타당성과 실용성을 증명하였다.

DC 전력시스템에서 CPL(Constant Power Load)은 negative incremental impedance로 인하여 시스템의 불안정을 초래할수 있고 이것은 시스템의 입력필터와 함께 작용하여 불안정 현상을 더 심화시킬수 있다. 모의 실험 및 실험에서 CPL에서 발생하는 버스전압의 과도상태는 DC bus conditioner의 스토리지 캐패시터에 저장된 에너지를 적절하게 제어하여 전력시스템에 positive impedance를 제공하여 CPL에 의하여 초래된 negative impedance를 제거하였다. 실험결과 제안된 시스템 및 알고리즘은 버스전압을 효율적으로 안정화할 뿐만 아니라 전력시스템의 전력품질 및 안전화에 크게 기여하였다.

감사의 글

이 논문은 2008학년도 인하공업전문대학 교내연구비 지원에 의하여 연구되었음.

[1] W. A. Tabisz, M. M. Jovanovic, F. C. Lee, "Present and Future of Distributed Power Systems", Applied Power Electronics Conference and Exposition 1992, APEC'92, Conference Proceedings 1992, 7th Annual IEEE, Feb. 1992, Page(s) 11 - 18.

[2] S. Luo, "A Review of Distributed Power Systems, Part I: DC Distributed Power System", Aerospace and Electronic Systems Magazine, IEEE, Vol. 20, Issue 8, Part 2, Aug 2005, Page(s) 5 - 16.

[3] Y. Jang, R. E. Erickson, "Physical Origins of Input Filter Oscillations in Current Programmed Converters", IEEE Transactions on Power Electronics, Vol. 7, No. 4, Oct/ 1992, Page(s) 725 - 733.

[4] A. Emadi, A. Khakigh, C. H. Rivetta, G. A. Williamson, "Constant Power Loads and Negative Impedance Instability in Automotive Systems: Definition, Modeling, Stability, and Control of Power Electronic Converters and Motor Drives" IEEE Transactions on Vehicular Technology, Vol. 55. No. 4, Jul/2006.

[5] Richard Zhang, Fred C. Lee, Dusan Borjovic, "AC Load Conditioner and DC Bus Conditioner for a DC Distribution Power System", Power Electronics Specialists 2000, PESC 00 31<sup>th</sup> Annual IEEE, Vol. 1, Jun 2000, Page(s) 107 - 112.

[6] M. Belkhat, R. Cooley, A. Witulski, "Large Signal Stability Criteria for Distributed Systems with Constant Power Loads" Power Electronics Specialists Conference 1995, PESC'95, 6<sup>th</sup> Annual IEEE, Vol.2, Jun1995, Page(s) 1333 - 1338.

저 자 소 개



이 용 근 (李 龍 根)

1960년 11월 6일생. 1985년 인하대학교 전기공학과 졸업. 1989년 미국 University of Missouri-Columbia 전기공학 졸업(석사). 1993년 동 대학원 졸업(공학박). 1995. 3 - 현재 인하공업전문대학 전기정보과 정교수.

Tel : 032-870-2196

E-mail : leeyong@inhatc.ac.kr