

간섭제거기를 적용한 디지털 RF 시스템에 관한 연구

A Study on Digital RF System with Interference Cancellation System

주 지 한 · 이 상 주

Ji-Han Joo · Sang-Joo Lee

요 약

본 논문은 이동 통신 시스템에서 서비스 품질을 개선하고 기지국의 서비스 영역을 확장하기 위한 중계기 시스템 중 기존 RF 중계기가 가지고 있는 간섭 및 궤환 신호를 제거하기 위해 간섭 제거기를 적용한 디지털 RF 시스템에 관한 연구를 수행하였다. RF(Radio Frequency) 중계기에 DSP(Digital Signal Processing)와 FPGA(Field Programmable Gate Array)를 이용한 디지털 엔진을 탑재하여 간섭 및 궤환 신호를 제거하는 새로운 방식의 무선 중계기를 제안하였다. DSP와 FPGA로 이루어진 디지털 ICS(Interference Cancellation System) 엔진은 RF 회로와 일체형으로 설계되었으며, 디지털 플랫폼을 통해 하드웨어를 개발한 뒤 최적에 중계기 시스템에 적용하기 위해 일체형으로 설계 및 제작하였다. 논문에 적용된 간섭 및 궤환 신호 제거 기법으로는 LMS(Least Mean Square) 알고리즘을 적용한 적응형 IF(Intermediate Frequency) 방식을 적용하였으며, 개선된 수렴 속도와 성능을 가지게 되었다.

Abstract

In this paper, in order to improve a service quality and to broaden the service coverage in the mobile communication system a study on a digital RF repeater employed with an Interference Cancellation System(ICS) is performed. The digital RF repeater employed with an ICS is implemented to remove interference and feedback signals which are disadvantages of a conventional(or general) RF repeater. This thesis presents the design and experiments of the new wireless repeater. The proposed wireless repeater consists of a RF repeater mounted with digital engine. The digital ICS engine consists of a DSP and FPGA. The digital engine and RF circuit are designed into a one-piece. After developing hardware through the digital platform they are also designed and fabricated into a one-piece in order to apply a best performance repeater system. The method of removing interference and feedback signals is an adaptive IF technique employed with a LMS algorithm. The powerful performance and fast convergence speed is obtained by using this method.

Key words : RF Repeater, ICS, LMS

I. 서 론

WCDMA(Wideband Code Division Multiple Access) 이동통신 시스템에서는 서비스 품질 개선 및 유지를 위해 기지국의 서비스 영역을 확장하여 기지국과 중계기를 통해 통화권 영역을 형성한다. 또한 전파 음

영 지역을 해소하기 위해 중계기(repeater)를 사용함으로써 기지국의 출력 신호가 미약한 지역에 신호를 증폭한 후 재전송하여 보다 양질의 서비스를 제공한다^[1]. 기지국의 커버리지를 확장하고 보완하기 위한 중계기로는 대표적으로 광선로를 이용하는 광중계기, M/W(microwave) 신호를 이용하는 M/W 중계기,

LIG 넥스원(LIG Nex1)

· 논문 번호 : 20090727-074

· 수정완료일자 : 2009년 12월 3일

기지국에서 상용되는 주파수를 이용하는 RF(Radio Frequency) 중계기 등이 있다^[2]. 광중계기는 기지국의 RF 신호를 광신호로 변환하여 광선로를 통해 전송한 다음 중계기에서 광신호를 RF 신호로 바꾸어 송신하는 방식으로 광선로 인입이 가능한 곳이라면 어디라도 설치가 가능하나, 광선로 임대 비용이 비싸다는 점과 광선로가 인입되어 있는 곳에서만 서비스가 가능하다는 단점이 있고, M/W 중계기는 설치가 용이한 장점을 가지고 있으나, 기상 영향을 많이 받고 가시선이 확보되는 위치에 설치해야 하는 단점이 있다^[3]. 또한 기존의 RF 중계기는 기지국 신호를 수신하여 동일한 주파수로 증폭한 후 동일한 공간에서 송신하기 때문에 송수신 안테나간의 이격도(isolation) 부족으로 인하여 송신 안테나의 신호가 수신 안테나로 재입력(feedback) 되어 발생하는 발진(oscillation) 및 간섭(interference)으로 중계기 운용에 큰 어려움을 겪고 있다^[4]. 그림 1은 ICS 중계기 시스템의 개요로써 기지국에서 송신된 신호와 ICS 중계기에서 수신하여 재 송신된 신호가 궤환되어 오는 경로를 알 수 있다. 중계기 출력이 송신 안테나로 송신되고 송신된 신호가 다중 경로 페이딩(multi path fading)에 의해 다시 수신 안테나로 유입되면서 기지국에서 온 원하는 입력 신호를 왜곡(distortion)하며, 중계기 설치 환경에 따라 이동 물체에 의한 도플러(doppler) 현상에 의해 중계기 출력 신호가 변화함에 대처할 수 없는 실정이다. 따라서 현재는 이러한 발진이나 간섭 현상과 다중 경로 페이딩(multi path fading)이나 도플러 현상으로 인해 동일한 공간이나 동일한 주파수를 사용하는 RF 중계기를 운영할 수 없으며, 광선로를 이용한 광중계기, 입력 주파수와 출력 주파수를 다르게 하는 변파 중계기, 송수신 안테나를 다른 공간에 위치하는 RF 중계기 등이 사용되고 있고, 발진이 생기지 않는 범위 내에서 출력을 제한하는 방법을 이용한다^[5]. 그러나 송수신 안테나를 원하는 거리만큼 충분히 이격시킬 수 없는 환경이거나, 높은 이득을 요구하는 환경에서는 이러한 방법에도 많은 문제가 발생된다^[6]. 따라서 본 논문에서는 RF 중계기에 ICS(Interference Cancellation System) 개념을 추가함으로써 궤환 신호에 의한 발진과 다중 경로 페이딩(multi path fading)을 제거하고 정상적인 중계기 출력을 유지하며, 원하는 이득을 얻을

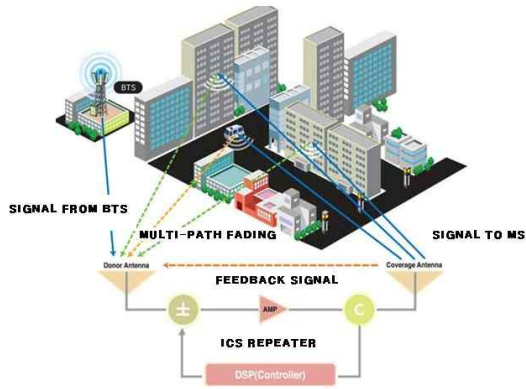


그림 1. ICS 중계기 시스템의 개요
Fig. 1. Instruction of ICS repeater system.

수 있는 디지털 무선 중계기를 설계하고 구현하는 것이 연구 목표이다. RF 중계기는 기지국에서 사용되는 서비스 주파수를 중계기에서 증폭한 다음 재사용하는 방식을 사용한다. 이러한 주파수 재사용 방식은 위에서 언급된 여러 가지 문제점을 가지고 있다^[7]. 송수신 안테나 사이의 확보된 격리도 값에 따라 중계기에서 운용할 수 있는 이득이 결정되고, 중계기 출력 및 중계기의 커버리지가 결정되므로 격리도 값을 최대한 확보할 수 있는 여러 가지 방안들이 연구되고 있다. 또한 중계기 설치 후 격리도 값이 고정되는 것이 아니라 주위 환경에 따라 변동되고, 이런 변동되는 값은 중계기의 오동작과 발진으로 이어져 전체 시스템의 서비스를 담당하고 있는 기지국에까지 영향을 초래하므로, 커버리지 확보뿐만 아니라 운용 및 안정성 측면에서도 격리도 개선이 필요하다. 또한 데이터 통신을 위한 WCDMA 망의 HS-DPA(High Speed Down-link Packet Access) 서비스를 위해서, 기존에 운용되고 있는 CDMA의 RF 중계기를 주파수만 변경하여 동일 방법으로 WCDMA에 중첩시킬 경우, WCDMA 3GPP(3rd Generation Partnership Project)에서 요구하고 있는 최소 EVM(Error Vector Magnitude)을 만족하지 못하게 된다^[8]. 따라서 데이터망에서 더욱더 중요시 되는 RF 중계기의 격리도 문제는 꼭 해결되어야 하는 문제이다.

본 논문은 RF 중계기의 간섭 신호에 의해 발생하는 발진 및 시스템의 불안정성을 해소하기 위한 시스템을 제안하고, 이를 통해 동일 주파수 중계 시스템의 최대 성능을 유지하게 하여 주는 시스템을 제

안한다. 설계구현 목표로 하는 중계기는 국내 WCDMA-MA향 ICS 중계기이며, 안테나를 내장하는 일체형과 도너(donor) 안테나를 외장형으로 스위칭할 수 있는 구조이다. 중계기는 크게 RF 송수신부, DSP(Digital Signal Processing) 제어부, CPU(Central Processing Unit) 제어부, 안테나부로 나눌 수 있으며, RF 송수신부는 순방향(forward link)과 역방향(reverse link)을 모두 송수신할 수 있는 구조이며, DSP 제어부는 핵심 코어로는 Xilinx Virtex4 FPGA와 16 bit DAC(Digital to Analog Converter)와 14 bit Dual ADC(Analog to Digital Converter)로 구성되어 있으며, CPU 제어부는 Atmel 128 cpu chip을 사용하여 구현하였다. 안테나부는 일체형인 경우 마이크로스트립 패치(microstrip) 안테나를 사용하였다. 초소형 중계기의 경우, 작은 합체 크기로 인한 방열을 고려한 합체 설계가 되어야 하며, 서비스(service) 안테나와 도너(donor) 안테나가 합체 양쪽에 실장되어야 하므로 각 모듈간에 적절한 인터페이스가 이루어져야 한다. 제안된 알고리즘 기법은 LMS(Least Mean Square)를 적용한 케환 신호 제거 알고리즘으로 중계기의 송수신 안테나의 커플링에 의해 발생하는 케환 채널을 유한 충격 응답(Finite Impulse Response: FIR) 필터링을 통해 추정하고, 추정된 케환 채널을 적응형 필터(adaptive filter)를 이용하여 케환 신호로 인한 왜곡을 보상하는 개념이다. 기지국에서 입력되는 원하는 신호는 처리가능한 수준의 충분한 신호 대 잡음비(signal to noise ratio)를 가지게 입력이 되어야 하며, ACLR (Adjacent Channel Leakage Ratio)과 기본 EVM (Error Vector Magnitude)을 만족된 상태에서 입력되어야 한다. 또한 RF 송수신부와 DSP 제어부와의 최적의 이득 분배를 위해 AGC(Automatic Gain Control) 회로가 구현되어야 한다.

II. 간섭 신호 제거 기법

그림 2는 WCDMA ICS 중계기에서 사용된 간섭 신호 제거 기법인 IF형 케환 신호 제거 기법의 구조이다. 이 구조는 RF 신호를 IF 대역의 신호로 변환하여 간섭 및 케환 신호를 제거하게 된다. IF 대역의 신호로 변환한다고 해서 IF형 케환 신호 제거 기법이라 불리지만, 실제 간섭 및 케환 신호를 제거는 기

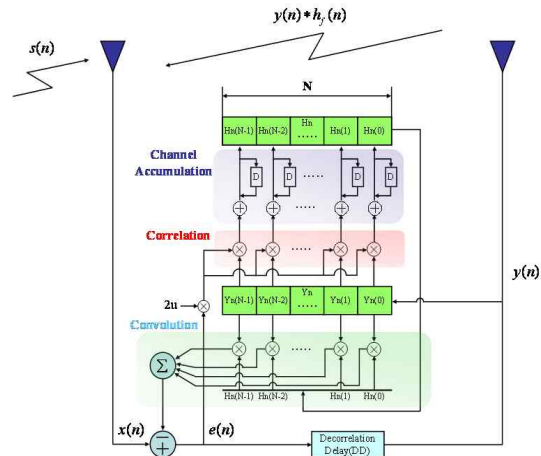


그림 2. WCDMA ICS 중계기의 내부 구조
Fig. 2. Internal structure of WCDMA ICS repeater.

지 대역에서 수행하게 된다. IF형 간섭 및 케환 신호 제거 기법은 중계기의 출력 신호와 케환되어 오는 신호와의 상관 관계(cross correlation)를 이용하여 케환 신호의 채널을 추정한다^[9]. 추정된 채널의 계수를 LMS 알고리즘을 적용하여 필터에 갱신하게 되고 중계기의 수신 안테나를 통해 수신되는 주 전송 신호를 $s(n)$ 이라 하고, 케환되어 오는 신호를 $f(n)$ 이라 하면, 중계기의 내부 입력 신호 $x(n)$ 은 식 (1)과 같이 표현된다.

$$x(n) = s(n) + f(n) = s(n) + h_f * y \quad (1)$$

간섭 및 케환 신호 제거기는 $x(n)$ 에 적응 필터 계수 h 와 중계기의 출력 신호인 $y(n)$ 을 미리 저장한 버퍼 y 를 이용하여 생성된 추정 케환 신호 $f_e(n)$ 을 감산 연산하여 간섭 및 케환 신호를 제거하게 된다. 복원된 신호 $e(n)$ 은 식 (2)와 같이 표현되며, 복원된 신호 $e(n)$ 은 출력 전력 증폭기를 거쳐 증폭되어 송신 안테나를 통해 방사된다.

$$e(n) = x(n) - f_e(n) = s(n) + h_f * y - h * y \quad (2)$$

$h_f * y - h * y$ 는 남아 있는 간섭 및 케환 신호의 성분으로서, 적응 필터의 계수가 케환 채널을 정확하게 추정하게 되면 이 성분은 0이 되고 $e(n)$ 은 $s(n)$ 신호가 된다. 적응 필터의 계수는 기준 신호가 되는 중계기의 출력 신호 $y(n)$ 과 케환되는 신호인 $f(n)$ 의 상관 관계를 통해 추정된 채널에 반영되고, 케환 채널의 계수와 적응 필터의 계수의 차이가 최소값

을 가지도록 갱신되어진다. 즉, $e(n)$ 과 $y(n)$ 의 상관 관계를 이용하여, 남은 제한 채널의 성분을 추정하고 적응 필터가 사용하는 알고리즘을 통해 갱신함으로써 실제의 제한 채널을 추정해 나가게 된다.

$$\begin{aligned}
 E[e(n)y^*] &= E[(s(n) + h_f * y - h * y)y^*] \\
 &= E[s(n)y^*] + (h_f - h)E[yy^*] \\
 &= (h_f - h)E[yy^*] \quad (3)
 \end{aligned}$$

간섭 및 제한 신호 제거기의 성능은 적응 필터의 계수 갱신에 사용되는 적응형 알고리즘에 따라 달라지는데, 본 논문에서는 LMS 알고리즘을 이용하여 다음의 식과 같이 적응 필터의 계수를 갱신해 나간다.

$$h(n+1) = h(n) + 2\mu u(n)e^*(n) \quad (4)$$

IF형 제한 신호 제거기의 단점은 중계기의 채널 보완의 역할을 수행할 경우, 강한 인접 채널에 의해 해당 채널의 신호가 크게 왜곡된다. 이런 왜곡 신호를 보상하지 않게 되면 중계기는 왜곡된 신호를 재전송하게 되어 채널의 보완 역할을 수행하지 못하게 된다. IF형 제한 신호 제거기는 송신 안테나의 출력에서 기준 신호로 사용하여 해당 채널의 신호뿐 아니라, 인접 채널의 신호를 같이 사용하여 두 신호를 모두 제거할 수 있다. 적응형 알고리즘은 재귀적 연산을 통해 원하는 신호와 적응 필터의 출력 오차를 최소가 되도록 줄여나감으로써 시스템 감정, 역 시스템 모델링, 신호 예측 및 간섭 신호 제거 등의 응용 분야를 가지게 된다. 각각의 알고리즘은 시스템 구조와 수렴 속도 및 요구되는 연산량을 가지게 되므로 사용자는 적응 알고리즘을 적용하고자 하는 시스템 및 알고리즘에 이해를 바탕으로 가장 적합한 적응 알고리즘을 채택하여야 한다. 최소 자승 추정 방법(Least Mean Square: LMS)을 기반으로 하는 적응형 알고리즘은 모든 시점에서 발생하는 오차 제곱에 가중치를 곱하여 합한 값을 최소화하도록 적응 필터의 개수를 갱신하게 된다. 이 알고리즘은 자체적으로 입력 신호의 통계적 특성을 추정해 나가므로 다른 알고리즘에 비해 좋은 성능을 가지게 된다. 하지만 입력 신호의 통계적 특성을 추정하기 위해 리소스가 많아지는 단점을 가지기도 한다. 따라서 하드웨어적으로 고려했을 때 LMS 알고리즘을 이용하

여 시스템을 구현하는 것이 현실적이나, 다른 성능이 좋은 알고리즘의 경우 하드웨어적인 구현이 힘들다. IF형 제한 신호 제거 방법은 LMS 알고리즘을 사용하여 적응 FIR 필터링을 이용하여 제한 채널을 추정하고 필터의 응답은 상관 관계 방법을 이용하여 추정되고 시스템 내부의 지연을 통해 자기 상관 관계의 영향을 없앤다. 그림 3은 WCDMA ICS 중계기의 내부 구조이다. 중계기 수신 안테나로부터 입력된 RF 신호는 하향 변환기를 통해 중심 주파수 62.5 MHz의 IF 주파수로 변환되어 ADC(Analog to Digital Convertor)로 입력되게 되고, ADC로 입력된 주파수는 50 MHz 샘플링 주파수에 의해 12.5 MHz로 변환하게 된다. FPGA(Field Programmable Gate Array)로 입력된 신호는 DDC(Digital Down Convertor)에 의해 기저 대역 신호로 변환되어 LMS 블록을 거치면서 연산되고, 연산된 주파수는 ALC(Automatic Level Control)를 거치면서 적정 레벨의 출력으로 만들어진 다음 DUC(Digital Up Convertor)를 거쳐 DAC(Digital to Analog Convertor)를 통해 다시 62.5 MHz의 IF 주파수 변환되어 출력되어진다. 출력 신호는 다시 상향 변환되어 DAC를 통과하고 상향 변환기와 HPA(High Power Amplifier)를 통해 송신 안테나로 방사된다. 출력 안테나에서 커플링된 신호를 이용하여 기준 신호로 활용하며 기준 신호는 LMS 알고리즘의 비교 신호로 활용된다.

그림 4는 WCDMA ICS 중계기의 디지털 블록도이다. FPGA는 Xilinx사의 Vertex 시리즈를 이용하였고, ADC와 DAC는 TI사의 디바이스를 이용하였다. 내부 구조는 DDC와 감산기, 증폭기, DUC, Pre-Buffer, ALC, LMS, CPU, Clock-distributer로 이루어져

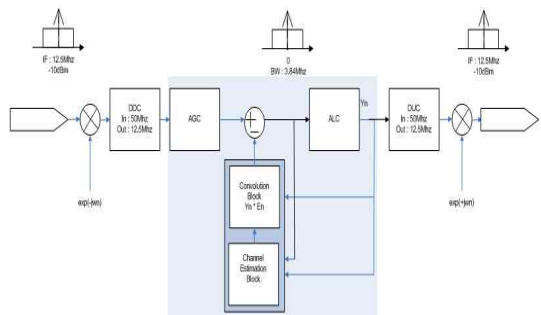


그림 3. 구현된 ICS 중계기의 내부 구조
Fig. 3. Internal structure of ICS repeater.

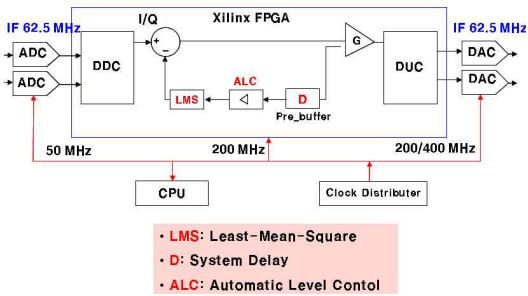


그림 4. WCDMA ICS 중계기의 내부 구조
Fig. 4. Internal structure of WCDMA ICS repeater.

있다. Pre-Buffer의 역할은 상위 경로와의 시간 지연을 맞춰 주기 위해 사용되었고, ALC는 입력되는 신호와 비교되는 신호의 출력 레벨 조절을 하기 위함이고, CPU는 중계기 내부에 감쇄기나 외부 인터페이스와의 조절을 위해 사용되었다.

III. 설계 및 제작

3-1 하드웨어 플랫폼

표 1은 ICS 중계기의 RF부 시스템 제원을 보여준다. WCDMA 대역을 위한 시스템은 현재 통신 서비스 중인 사양을 기반으로 작성되었다.

그림 5는 ICS 개발 환경 구축을 위한 하드웨어 플랫폼이다. 구성은 DSP 모듈, FPGA 모듈, 전원부 모듈로 구성된다. 하드웨어는 기본적으로 IF/RF 신호를 사용하게 되며, IF 대역의 신호를 상/하향 변환을 통해 RF 신호를 송수신하고 DSP 모듈에 소프트웨어를 변경하여 다양한 통신 신호처리 환경을 구축할 수 있다.

그림 6은 제작된 DSP 모듈이며, 고성능 Digital Signal Processor인 TI DSP TMS320C6713과 100만 게이트 Xilinx FPGA, 메모리(SDRAM 16 MB, Flash 4 MB), 10/100 이더넷 인터페이스, 그리고 Dual 포트 RS-232를 탑재한 SDR 플랫폼을 설계 및 제작하였다. 제작된 DSP 보드에는 부트 로더 프로그램을 개발하여 포팅되었으며, 이 프로그램을 이용하여 다양한 명령어 셋과 스크립트, 파일 시스템, 네트워크 기능을 제공하게 프로그램하였다. DSP 모듈의 외부 인터페이스는 이더넷과 RS-232, JTAG 에뮬레이터의 인터페이스가 구현이 되어 있고, 내부 전원을 위한

표 1. RF 부 시스템 제원
Table 1. Specification of the RF system.

항 목	Uplink	Downlink
주파수 대역	1,940.88 ~ 1,959.32 MHz	2130.88 ~ 2149.32 MHz
대역 평탄도	3 dBp-p	3 dBp-p
Input power range	-50 dBm/Total 미만	-68 ~ -38 dBm/FA
Maximum output power	27 dBm/Total	37 dBm/FA 43 dBm/Total
시스템 이득	70 ~ 100 dB (30 dB)	75 ~ 105 dB (30 dB)
System delay	9 us 이하	
EVM	12.5 % 이하	
PCDE	-35 dB 이하	
Frequency stability	0.01 ppm 이하	
정재파비	1.5 : 1 이하	
Tx/Rx isolation	110 dB 이상	
Noise figure (역방향)	7 dB 이하	-
Spectrum emission mask	3 Gpp TS-25.141	
Spurious emissions	3 Gpp TS-25.141 category A	
InBand spurious		40 dBc 이상
Out band ACLR	45 dB 이상 @ $f_c \pm 5$ MHz 50 dB 이상 @ $f_c \pm 10$ MHz	
ACLP	-	-12 dBm/3.84 MHz 이하
2nd harmonics	80 dBc 이하	
Stop band rejection	10 dBc 1,937.5 MHz 이하 10 dBc 1,962.5 MHz 이상	10 dBc 2,127.5 MHz 이하 10 dBc 2,152.5 MHz 이상

커넥터도 구현되었다. TI사의 TMS320C6713은 300 MHz의 클럭(clock)으로 동작하는 고속 신호처리용 프로세서로서 32 bit 버스로 구성되어 대용량의 연산 처리에 적합하다. 4개의 외부 인터럽트, 2개의 MCBSP(Multi-Channel Buffered Serial Ports) 및 2개의 I2C 포트(port)와 같은 직렬 통신 포트를 내장하고 있어 다양한 통신이 가능하다. 프로그램 메모리로 4 MByte의 플래시 메모리(flash memory)를 내장하고 있으며, 데이터의 내장 메모리로 16 MByte의 SD-

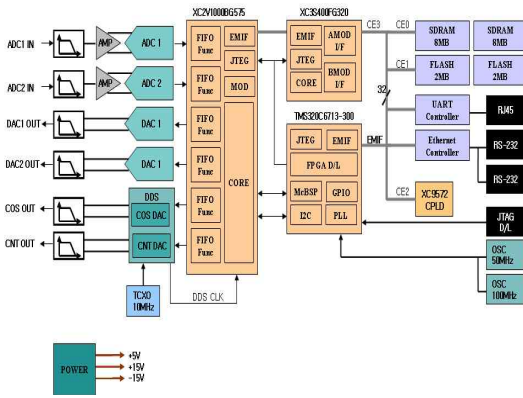


그림 5. 플랫폼 블록도
Fig. 5. Platform block-diagram.



그림 6. 제작된 DSP 모듈
Fig. 6. Photograph of DSP module.



그림 7. 제작된 FPGA 모듈
Fig. 7. Photograph of FPGA module.

RAM(Synchronous Dynamic RAM)을 사용하고 있다. SDRAM은 128 MByte까지 확장 가능하고 DSP 클럭으로 사용되는 발진기(oscillator)는 두 가지로서, 50 MHz의 발진기는 내부에서 6배로 체배되어 DSP 내부 코어의 클럭으로 사용되고, 100 MHz는 외부 메

모리 접속을 위한 EMIF 클럭으로 사용된다. UART는 DUAL UART 칩(chip)을 이용하여 최대 115,200 bps까지의 통신이 가능하게 설계하였고, 2포트로 구성되었다. 이더넷(ethernet)은 SMSC의 LAN91C111를 이용하여 10/100 Mbps의 네트워크(network) 통신이 가능하도록 구성하였다.

FPGA 보드는 IF 신호를 수신하기 위한 ADC부와 송신하기 위한 DAC부, ADC부와 DAC부의 표본 클럭을 가변하기 위한 DDS(Direct Digital Synthesizer), 그리고 이들 칩(chip)들을 제어하고 DSP 모듈과의 패러럴 통신을 하기 위한 FPGA 등 4부분으로 구성되어 있다. 입력된 IF 신호는 VGA(Variable Gain Amplifier)와 OP-AMP를 통해 ADC의 원하는 입력 레벨로 조정되어 ADC로 입력하게 된다. 입력된 신호는 디지털 신호로 변환되어 버스(bus)를 통해 FPGA로 입력되어 다양한 필터 बैं크와 로직을 통하게 된다. 이렇게 처리된 신호는 다시 버스를 통해 DAC로 통해 IF 신호로 변환하게 된다.

본 논문에서 구현한 FPGA 모듈에서는 80~125 MHz의 샘플링 속도, 12 Bit, 65 dB 이상의 신호 대 잡음비(signal to ratio)를 가지는 고성능 ADC와 DAC를 장착하여 다양한 어플리케이션에 적용 가능한 플랫폼을 구성하였다. 1~100 MHz까지 신호를 출력할 수 있는 DDS도 내장하여 RF 송수신단의 IF로 사용 가능하게 설계되었고, 2채널의 IF 신호의 입력과 2채널의 IF 신호의 출력 채널을 가질 수 있다. FPGA 모듈은 DSP와의 인터페이스, ADC 또는 DAC와의 인터페이스, DDC(Digital Down Converter), 그리고 DUC(Digital Up Converter) 로직 등을 구현하기 위한 재구성이 가능하며, 응용 분야에 따른 목표 시스템에 따라서 디바이스의 변경만으로 새로운 시스템 구성이 가능하게 설계되었다.

3-2 플랫폼 소프트웨어

플랫폼의 실시간 운영 체제(real time operation system)는 DSP/BIOS를 적용하였다. 실시간 운영 체제 구현은 SOFT와 HARD의 요구 사항에 맞게 설계되었다. SOFT란 태스크(task)의 빠른 수행을 의미하며, HARD란 태스크의 수행 시점이 정확한 시간에 수행되도록 하는 것을 의미한다^[10]. 그림 8은 uMon 프로그램의 기능 블록도를 보여준다. 운영 체제를 부팅

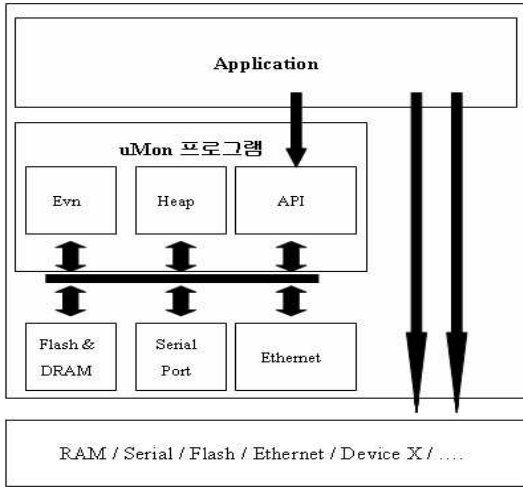


그림 8. uMon 기능 블록도
Fig. 8. Functional block-diagram of uMon.

시키는 역할을 하는 프로그램을 부트 로더(boot loader)라고 하며, 지원하는 부트 플랫폼 이외에 파일 시스템과 어플리케이션을 타겟 보드로 전송하기 위한 통신 인터페이스, 명령어 등을 구현하여 개발 환경 제공이 가능하게 구현하였다.

본 논문에서는 드라이버 작성과 포팅을 용이하게 하기 위해 드라이버를 두 계층으로 나누어 설계하였다. 한 계층은 전적으로 하드웨어와는 무관한 기능을 수행하고 나머지 다른 계층은 하드웨어와 관련된 기능만 수행하게 구성하였다. 하드웨어와 관련 없는 드라이버에서는 어플리케이션 소프트웨어에 일관된 인터페이스를 제공하고, 하드웨어와 관련 있는 드라이버에서도 상위 드라이버에 일관된 인터페이스를 제공한다면 소프트웨어를 재사용할 수 있다. 그림 9는 어플리케이션이 두 계층으로 된 드라이버 모델을 사용할 때 어플리케이션과 드라이버의 관계를 도식적으로 보여준다. 최상위 레벨의 어플리케이션은 직접적으로 미니 드라이버의 함수들을 호출하지 않지만 클래스 드라이버를 사용하여 미니 드라이버의 함수들을 간접 호출한다. 각각의 클래스 드라이버는 어플리케이션에게 API를 제공하고 IOM 미니 드라이버와 통신한다. 클래스 드라이버는 동기화 문제와 같은 OS 서비스들을 사용하기 위해 DSP/BIOS API를 사용한다. 또한 미니 드라이버의 표준 인터페이스 함수들을 호출하여 주변 하드웨어 장치들을 액세스

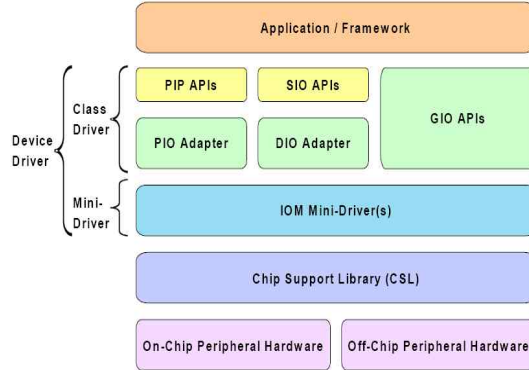


그림 9. 어플리케이션 구조와 드라이버 컴포넌트
Fig. 9. Application layer and driver components.

스하게 된다. 그림 9는 어플리케이션 구조와 드라이버 컴포넌트를 보여주며, 논문에서 사용된 실시간 운영 체제인 DSP/BIOS는 3가지 종류의 클래스 드라이버(PIP/PIO, SIO/DIO, GIO)를 정의하고 있다. PIP/PIO와 SIO/DIO 클래스 드라이버의 어플리케이션이 사용하는 API는 기존 DSP/BIOS의 PIP와 SIO 함수들이다.

이들 API들은 해당 어댑터와 통신하며 이들 어댑터는 또다시 미니 드라이버와 통신하게 된다. GIO 클래스 드라이버 같은 경우 어플리케이션은 새로운 API들을 호출하는데 이들은 어댑터를 거치지 않고 직접 미니 드라이버와 통신한다. 한 어플리케이션에서 동시에 한 종류 이상의 클래스 드라이버를 사용할 수 있다. 각각의 미니 드라이버는 표준화된 미니 드라이버 인터페이스 함수들을 클래스 드라이버에게 제공하여 클래스 드라이버가 하드웨어를 액세스할 때 사용하게 되며, 미니 드라이버는 Chip Support Library(CSL)을 사용하여 주변 하드웨어 장치의 레지스터, 메모리, 인터럽트 자원들을 인터페이스 한다. 그림 10은 클래스 드라이버가 미니 드라이버를 호출하는 모습을 보여주고 있다. 여기서 보인 IOM_Packets란 구조체는 클래스 드라이버가 미니 드라이버에게 어떤 요청을 하기 위한 수단이다. 이 IOM_Packets이란 구조체는 데이터 버퍼를 가리키는 포인터를 포함한다.

3-3 WCDMA ICS 중계기 설계 및 구현

그림 11은 WCDMA Tx/Rx의 주파수 대역을 보여

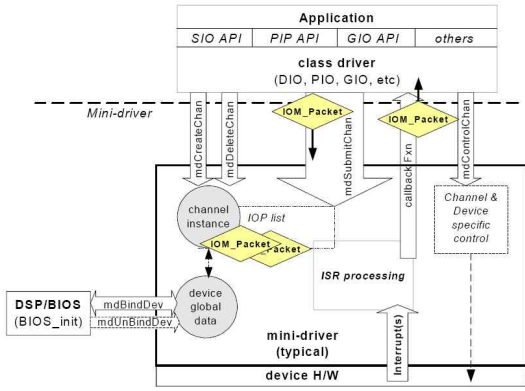
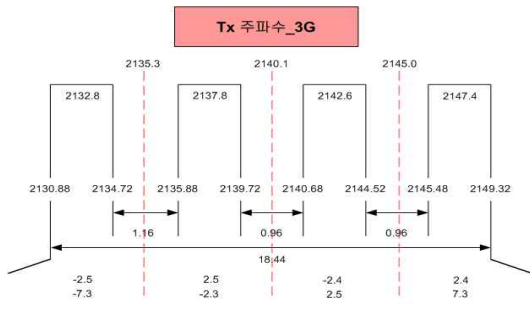
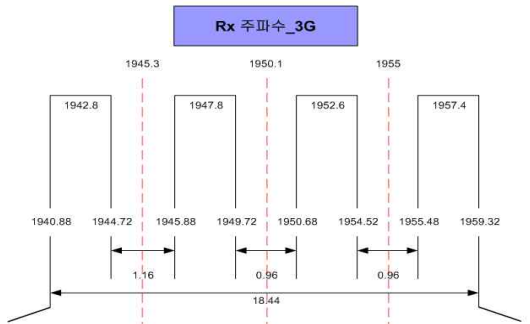


그림 10. 미니 드라이버의 데이터 흐름
Fig. 10. Flow of mini-driver.



(a) WCDMA Tx 주파수 대역
(a) Frequency band of WCDMA Tx



(b) WCDMA Rx 주파수 대역
(b) Frequency band of WCDMA Rx

그림 11. WCDMA Tx/Rx 주파수 대역
Fig. 11. Frequency band of WCDMA Tx/Rx.

주고 있다. 총 4개의 FA로 분리되어 있으며, 사업자 간 약간의 차이가 있다. 그림 12는 중계기 전체의 구조를 나타내고 있다. 수신 안테나와 LNA(Low Noise Amplifier) 블록을 거치면서 중계기의 잡음지수(noise figure)를 만족한 신호는 하향 변환기를 통해 IF 주

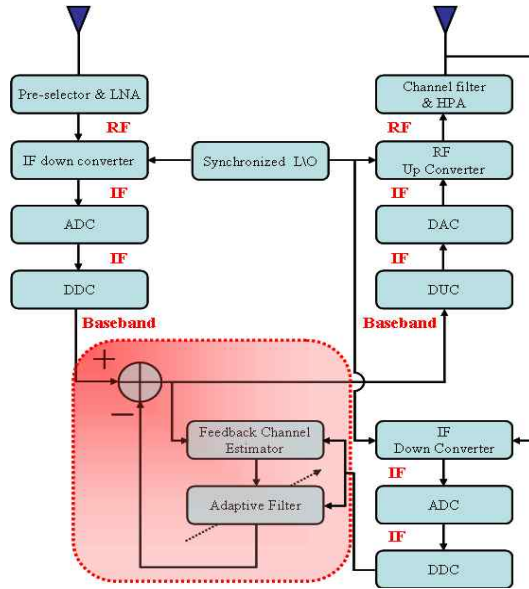


그림 12. WCDMA ICS 중계기 구조
Fig. 12. Structure of WCDMA ICS repeater.



그림 13. 제작된 ICS 중계기
Fig. 13. Fabrication of WCDMA ICS repeater.

파수로 변환된다. IF 주파수는 ADC로 입력되어 디지털 신호로 변환되어 DDC 블록을 통해 기저 대역 신호로 다시 변환하게 된다. 기저 대역 신호로 변환된 입력 신호는 적응형 필터 블록을 지나면서 연산 과정을 거치게 되고, 간섭 및 왜곡 신호가 제거되고, 원하는 입력 신호만이 다시 DUC를 통해 IF 신호로 변환되고, IF 신호는 다시 상향 변환기를 통해 RF 주파수로 변환되어 송신 안테나로 방사되게 된다. 그림 13은 제작된 ICS 중계기의 구조이다. 크게

RF 송수신부와 DSP부, CPU 제어부, 안테나부로 나눌 수 있으며, CPU 제어부를 제외하고 모든 모듈을 단일 보드 형태로 제작하였다. CPU 제어부는 DSP부의 상단에 위치하여 FPGA와 통신을 수행하면서 중계기의 상태 및 제어를 수행하게 된다. 안테나는 외장형과 내장형을 동시에 사용가능한 스위칭 타입으로 제작하였고, 외부 전원 9 V를 사용하게 제작되었다. 순방향 링크와 역방향 링크가 하나의 보드에 설계되어야 하므로 PLL(Phase Lock Loop) 파트와 RF Saw Filter는 보드의 아랫 부분에 구현되어 있다.

방열량이 많은 FPGA는 보드의 아랫 부분에 위치시켜 방열체와 밀착되게 구성하였다. ADC는 dual 모드로 동작되는 것으로 면적과 비용을 줄이기 위해 사용되었고, 각 경로별로 전체 중계기의 이득과 최적 성능을 보완하기 위해 입출력단에 감쇄기를 위치시켜 CPU를 통해 제어하도록 설계하였다.

송수신 안테나의 경우, 일체형으로 집적하기 용이한 마이크로스트립 패치 안테나를 사용하였으며, 향후 스위칭이 가능한 구조로 설계하였다. 각 경로별로 ADC로 입력되는 전력은 FPGA 내부의 power meter 기능을 통해 순간 순간의 전력을 모니터링하여 중계기 시스템의 이득과 전력을 제어할 수 있게 하였다. FA on/off 기능도 사용 가능한 구조로 설계되었고, 이는 설치자가 전파 환경을 고려해 설치할 수 있으며, 서비스 사업자의 시스템을 효율성을 높이기 위함이다. WCDMA ICS 중계기의 제어 구조는 CPU와 DSP, 그리고 RF 하드웨어가 유기적인 관계를 가지고 있다. 모든 제어와 상태 항목들은 DSP를 통해 FPGA 내부에 레지스터에 기록되어 있으며, CPU는 제어를 위해 필요한 작업들을 FPGA에서 읽어 들어 수행하게 된다. 이런 구조는 CPU의 로드를 줄여줌으로써 다양한 부가 기능을 수행할 수 있게 한다.

IV. WCDMA ICS 중계기 시험 및 결과

그림 14는 중계기의 송신 안테로부터 유입되는 직접 궤환 신호 제거 정도를 측정하기 위한 실험 구성도이다. 궤환 신호의 경로상에 가변 감쇄기를 위치시켜 송수신간의 격리도를 다르게 하여 궤환 신호의 제거 정도를 측정하게 된다.

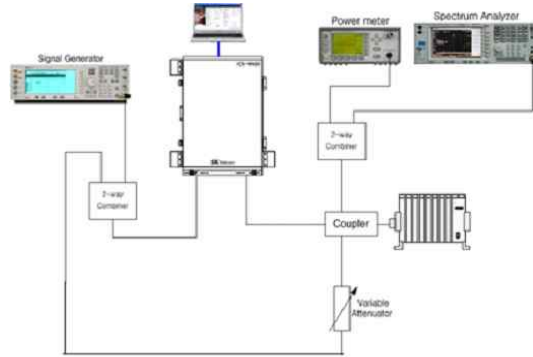


그림 14. 간접 신호 측정을 위한 실험 구성도
Fig. 14. Test set-up of multi-path-fading test.

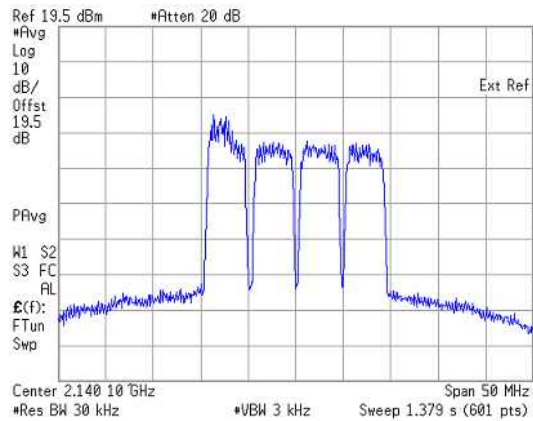


그림 15. 발진 현상(I+25 dB)
Fig. 15. Oscillation(I+25 dB).

그림 15는 중계기 송수신간의 격리도 부족으로 인해 궤환 신호가 유입되면서 중계기가 발진을 하는 현상을 보이고 있다. 수신 신호 대비 궤환 신호 레벨이 25 dB 큰 경우의 출력 신호로 대역 내의 발진 현상으로 잡음 전력의 증가와 좋지 못한 평탄도 특성을 나타낸다. 그림 16은 그림 15의 상황에서 5 dB 궤환 신호를 증가한 것으로 I+30 dB의 스펙트럼 결과이다. 궤환 신호의 크기가 더욱 더 커지면서 SNR 비가 무너지는 현상과 동시에 FA에 발진 신호가 증가되면서 중계기가 오동작을 일으키게 된다.

순방향 경로의 중계기의 궤환 신호의 크기가 수신 신호에 비해 10 dB가 커지는 지점의 출력 스펙트럼을 그림 17에서 보여준다. 동일한 출력을 유지하면서도 간섭 및 궤환 신호에 의한 발진 현상을 보이지 않고 안정된 출력을 보이고 있다. 그림 18은 순방

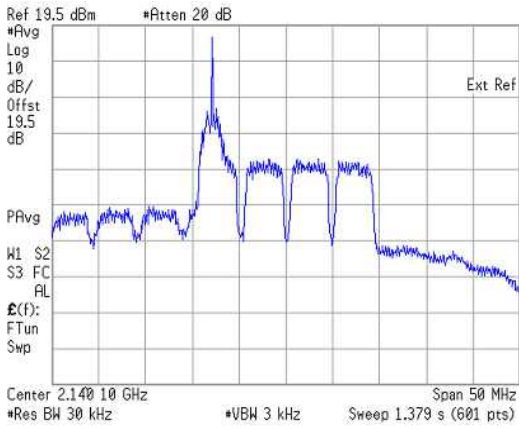


그림 16. 발진 현상(I+30 dB)
Fig. 16. Oscillation(I+30 dB).

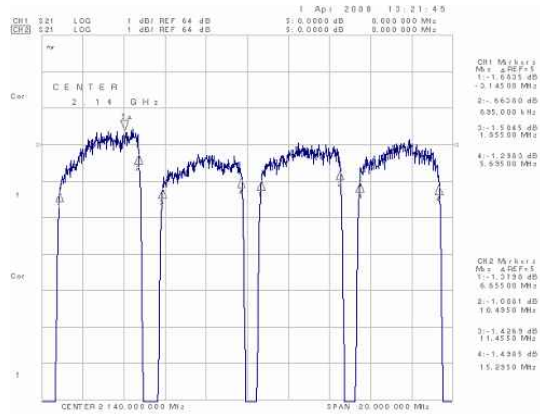


그림 19. 대역 평탄도 특성(Tx)
Fig. 19. Band flatness(Tx).

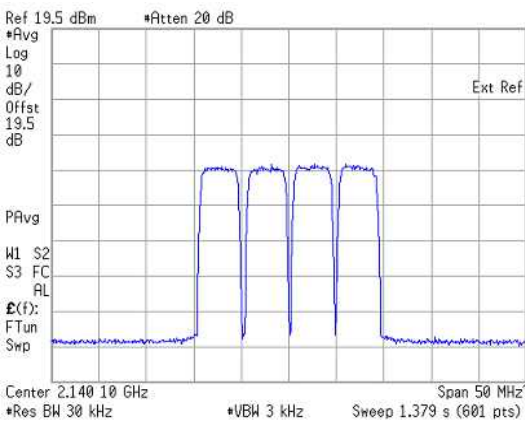


그림 17. ICS 중계기의 출력 스펙트럼(I+10 dB)
Fig. 17. Output spectrum of ICS repeater(I+10 dB).

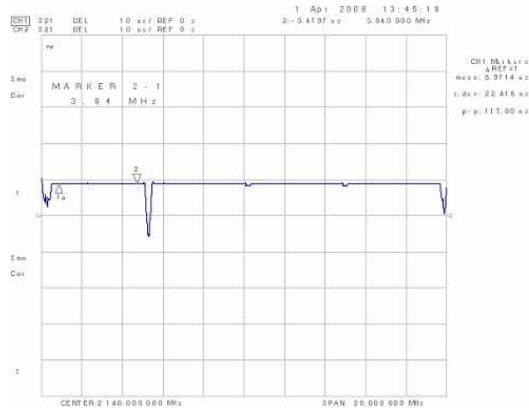


그림 20. ICS 지연 시간(Tx)
Fig. 20. Group delay(Tx).

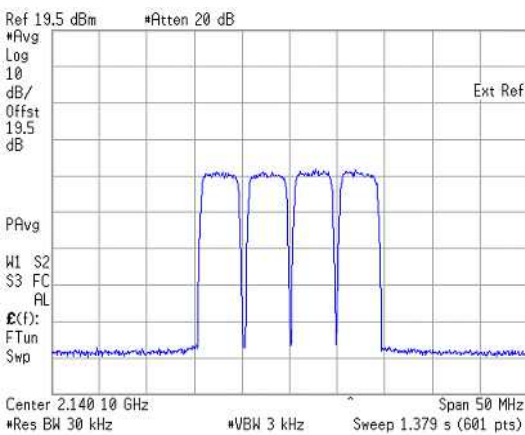


그림 18. ICS 중계기의 출력 스펙트럼(I+20 dB)
Fig. 18. Output spectrum of ICS repeater(I+20 dB).

향 경로의 중계기의 왜곡 신호가 수신 신호에 비해 20 dB 커지는 지점인 I+20 dB의 출력 스펙트럼이다. 입력 전력은 서비스 사업자의 요구 사항대로 가변하며 측정이 되며, 논문에 표현된 스펙트럼은 입력 전력이 -55 dBm일 때 측정 결과이며, up-link 결과만을 보여주고 있다.

그림 19는 대역폭 및 통과 대역 평탄도 시험으로 순방향 경로를 측정된 결과이다. 시스템의 요구 사항의 ± 1 dB를 만족함을 알 수 있으며, 각 FA 별로 조금 다른 특성을 나타냄을 볼 수 있다. 이는 RF 상/하향 변환기 전, 후단에 위치한 증폭기의 이득 특성을 보정함으로써 좀 더 정확한 특성을 만족할 순 있지만 시스템 요구 사항에 부합하는 수준의 결과이다. 그림 20은 중계기의 순방향에 입력되는 신호가 출력

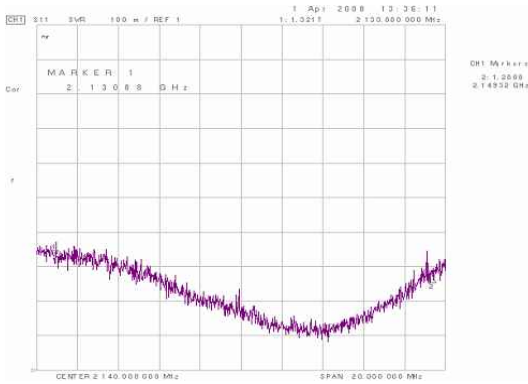


그림 21. 반사 손실(Tx)
Fig. 21. Return loss(Tx).

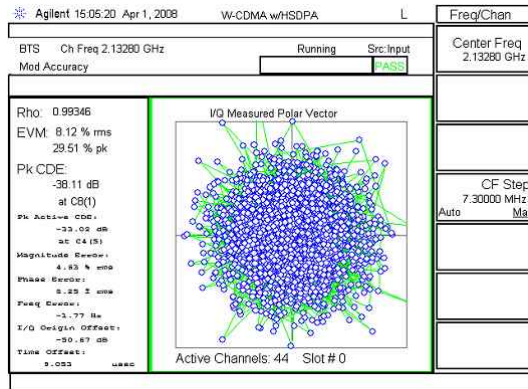


그림 22. EVM, PCDE, 주파수 안정도(Tx)
Fig. 22. EVM, PCDE, frequency stability(Tx).

되는 과정 동안의 시스템 지연 시간을 측정 한 결과 이다. 지연 시간이 클 경우 궤환 신호를 놓치게 된다. 측정 결과로는 현재 시스템에 현재 요구 사항을 만족함을 알 수 있다.

그림 21은 중계기의 순방향 경로의 입력 반사 손실을 측정 한 결과이다. 현재 시스템의 요구 사항인 1.5:1을 만족함을 알 수 있다. 그림 22는 중계기 순방향 경로의 EVM, PCDE, frequency stability를 측정 한 결과이다. 측정 결과 EVM이 8.12 %, PCDE가 -38.11 dB, frequency error가 -1.77 Hz로 측정되었고 지연시간은 총 9 usec로 측정되었다. 이는 시스템 요구 사항인 EVM 12.5 %를 능가하는 성능이다.

V. 결 론

본 논문에서는 기존 RF 중계기 시스템의 최대 단

점인 간섭 및 궤환 신호의 의한 중계기 발진 현상과 오동작을 제거하기 위해 간섭 제거기를 적용한 디지털 무선 중계기에 관한 연구를 수행하였다. LMS 알고리즘을 적용한 IF 방식의 하드웨어 구조를 제안하였고, 적응형 필터와 ALC 기능을 여러 신호를 최소화하는 방법으로 구현되었다. DSP 기반의 플랫폼 환경에서 연구를 수행하였으며, TI사의 6713 DSP를 사용하여 디버깅을 수행하였고, FPGA는 Xilinx Ver-tax 시리즈를 이용하여 구현되었다. 플랫폼 환경에서 개발된 ICS 엔진은 RF 송수신부와 일체형 단일 보드로 재구성하여 설계 및 구현되었고, 방열과 설치를 고려한 기구 설계가 이루어졌다. 저 비용 설계를 위해 dual ADC를 장착하였고 각 경로마다 DAC를 각각 사용하였고, 소형 및 초소형 중계기에 적합한 구조로 구현하기 위해 RF 송수신부와 DSP부와 CUP 제어부를 하나의 보드에 구성하여 저가형 모델로 구현하였다. 실험 결과로 현재 서비스 사업자가 요구하는 시스템 요구 사항을 모두 만족하였으며, 특히 궤환 신호의 크기가 원신호 대비 20 dB 큰 신호가 유입되더라도 발진을 제거할 수 있는 성능인 I+20 dB에서 EVM 10 % 만족하였으며, 본 논문에 결과로 향후 국내의 소형 및 초소형 ICS 중계기 하드웨어 구조에 적용 가능할 것으로 사료된다.

참 고 문 헌

- [1] Paul Burns, *Software Defined Radio for 3G*, Artech House, 2003.
- [2] J. Glossner, D. Lancu, J. Lu, E. Hokenek, and M. Moudgill, "A software-defined communications base-band design", *IEEE Commun. Magazine*, pp. 120-128, Jan. 2003.
- [3] A. Higashi, T. Taguchi, and K. Ohno, "Performance of coherent detection and rake for DS-CDMA up-link channels", *Proc. VTC'95*, pp. 779-783, Chicago, Jul. 1995.
- [4] Walter Tuttlebee, *Software Defined Radio: Enabling Technologies*, John Wiley & Sons Ltd., Chichester, 2002.
- [5] X. H Huang, K. L. Du, "A unified software radio architecture", *IEEE Signal Processing Workshop*,

- pp. 330-333, Mar. 2001.
- [6] Joseph Mitola III, *Software Radio Architecture*, John Wiley & Sons Inc., New York, 2000.
- [7] D. B. Chester, "Digital IF technology for 3G systems: An introduction", *IEEE Commun. Magazine*, vol. 37, no. 2, pp. 102-107, Feb. 1999.
- [8] Hiroshi Harada, Ramjee Prasad, *Simulation and Software Radio for Mobile Communications*, Artech House, Massachusetts, 2002.
- [9] 이원철, "멀티모드용 SDR 기반 디지털 IF 기술", *한국통신학회지*, 19(11), pp. 85-108, 2002년 11월.
- [10] J. G. Proakis, *Digital Communication*, McGraw-Hill, New York, 1989.
- [11] 서경환, "동일 채널 이중 편파를 적용하는 디지털 무선중계기의 직교편파간섭제거기 설계에 관한 연구", *한국전자과학회논문지*, 13(3), pp. 225-236, 2002년 3월.
- [12] 김선진, "적응성 궤환간섭 제거 장치", *한국 특허*, 특허등록번호 1003420020000.
- [13] 고성선, "인접 송수신 안테나간의 무선 주파수 간섭 제거 시스템", *한국 특허*, 특허등록번호 100-226360000.

주 지 한



2002년 8월: 충북대학교 전파공학과 (공학사)
 2004년 8월: 광주대학교 전파공학과 (공학석사)
 2008년 8월: 광주대학교 전파공학과 (공학박사)
 2008년 7월~현재: LIG넥스원(주)

선임연구원

[주 관심분야] Microwave Active/Passive Circuit, Radar System

이 상 주



1986년 3월: 홍익대학교 전자공학과 (공학사)
 1988년 3월: 홍익대학교 전자공학과 (공학석사)
 1990년 4월~현재: LIG넥스원(주) 수석연구원
 [주 관심분야] 위상배열 레이더, 안테나 및 송수신기