논문 2009-46SC-2-11

시리얼 데이터 통신을 위한 기준 클록이 없는 3.2Gb/s 클록 데이터 복원회로

(A 3.2Gb/s Clock and Data Recovery Circuit without Reference Clock for Serial Data Communication)

김 강 직*, 정 기 상*, 조 성 익**

(Kang-Jik Kim, Ki-Sang Jung, and Seong-Ik Cho)

요 약

본 논문은 별도 기준 클록 없이 고속 시리얼 데이터 통신을 위한 3.2Gb/s 클록 데이터 복원(CDR) 회로를 설명한다. CDR회로는 전체적으로 5부분으로 구성되며, 위상검출기(PD)와 주파수 검출기(FD), 다중 위상 전압 제어 발진기(VCO), 전하펌프(CP), 외부 루프필터(LF)로 구성되어 있다. CDR회로는 half-rate bang-bang 타입의 위상 검출기와 입력 pull-in 범위를 늘릴 수 있도록 half-rate 주파수 검출기를 적용하였다. VCO는 4단의 차동 지연단(delay cell)으로 구성되어 있으며 튜닝 범위와 선형성 향상을 위해 rail-to-rail 전류 바이어스단을 적용하였다. 각 지연단은 풀 스윙과 듀티의 부정합을 보상할 수 있는 출력 버퍼를 갖고 있다. 구현한 CDR회로는 별도의 기준 클록 없이 넓은 pull-in 범위를 확보할 수 있으며 기준 클록 생성을 위한 부가적인 Phase-Locked Loop를 필요치 않기 때문에 칩의 면적과 전력소비를 효과적으로 줄일 수 있다. 본 CDR 회로는 0.18um 1P6M CMOS 공정을 이용하여 제작하였고 루프 필터를 제외한 전체 칩 면적은 1x1㎟이다. 3.2Gb/s 입력 데이터 율에서 모의실험을 통한 복원된 클록의 pk-pk 지터는 26ps이며 1.8V 전원전압에서 전체 전력소모는 63mW로 나타났다. 동일한 입력 데이터 율에서 테스트를 통한 pk-pk 지터 결과는 55ps였으며 신뢰할 수 있는 입력 데이터율 범위는 약 2.4Gb/s에서 3.4Gb/s로 나타났다.

Abstract

In this paper, a 3.2Gb/s clock and data recovery (CDR) circuit for a high-speed serial data communication without the reference clock is described This CDR circuit consists of 5 parts as Phase and frequency detector(PD and FD), multi-phase Voltage Controlled-Oscillator(VCO), Charge-pumps(CP) and external Loop-Filter(LF). It is adopted the PD and FD, which incorporates a half-rate bang-bang type oversampling PD and a half-rate FD that can improve pull-in range. The VCO consists of four fully differential delay cells with rail-to-rail current bias scheme that can increase the tuning range and tuning linearity. Each delay cell has output buffers as a full-swing generator and a duty-cycle mismatch compensation. This materialized CDR can achieve wide pull-in range without an extra reference clock and it can be also reduced chip area and power consumption effectively because there is no additional Phase Locked- Loop(PLL) for generating reference clock. The CDR circuit was designed for fabrication using 0.18um 1P6M CMOS process and total chip area excepted LF is 1x1㎟. The pk-pk jitter of recovered clock is 26ps at 3.2Gb/s input data rate and total power consumes 63mW from 1.8V supply voltage according to simulation results. According to test result, the pk-pk jitter of recovered clock is 55ps at the same input data-rate and the reliable range of input data-rate is about from 2.4Gb/s to 3.4Gb/s.

Keywords: Clock and data recovery (CDR), Phase detector (PD), Frequency detector (FD), Charge pump (CP), Voltage-controlled oscillator (VCO)

* 학생회원, ** 정회원, 전북대학교 전자정보공학부
(Division of Electronics and Information Engineering, Chonbuk University)
접수일자: 2008년11월21일, 수정완료일: 2009년3월13일

Ⅰ. 서 론

데이터 통신 시스템이 점차적으로 고속화, 대용량화 되어감에 따라 시스템간의 고속 데이터 전송이 요구되고 있다. 일반적으로 전송 대역폭의 한계를 극복하기 위해 여러 개의 저속 병렬 버스를 사용하여 전체 데이터 전송 속도를 증가시켰으나 이 방법은 여러 채널간의 스큐(skew)와 간섭을 야기 시킬 뿐만 아니라 데이터의 오정렬 등으로 인해 에러를 발생시키게 되고 최종적으로 수신단 데이터의 신뢰도를 저하시키게 된다. 또한 채널수의 증가로 인한 부가적인 회로 설계와 추가비용의 상승을 피할 수 없게 된다. 최근 고속의 광통신을 비롯한 네트워크 분야뿐만 아니라 시스템 간 및 칩 간의 인터페이스 분야에서 병렬전송의 한계점을 해결하기 위해 송신단에서 병렬 데이터를 직렬화(serializer)하여 시리얼 링크(serial link) 채널을 통해 전송하고, 수신 단에서는 제한된 채널로 전송된 클록 및 데이터를 복원하여 데이터 처리를 위해 다시 병렬화(deserializer)하게 된다(SERDES)[1]. 특히, 고속의 장거리 통신을 위한 광통신 시스템이나 이더넷 시스템에서는 채널수 절감 위해 클록과 데이터 두 신호를 따로 구성하지 않고 데이터 신호만을 전송하여 수신 데이터에서 클록 정보를 추출하고 이를 이용하여 데이터를 복원하게 된다. 수신단에서 전송 중 왜곡된 랜덤 NRZ(non return to zero) 데이터로부터 정확한 클록의 동기 및 데이터의 복원을 위해 CDR회로를 이용하게 된다.

수신단의 CDR회로에서 위상검출기는 랜덤 입력 데이터로부터 천이를 검출하고 복원하는 주요 블록으로써, Phase Locked Loop(PLL)에서 일반적으로 사용되는 3-state 위상/주파수 검출기(PFD)형태는 연속되는 DC 상태의 입력데이터를 놓치는 경우가 발생하기 때문에 적용될 수 없고, Hogge, Alexander 등의 형태의 위상검출기(PD)가 사용한다.[2~3] 그러나 기존의 PD는 고속 동작 및 전체 시스템의 구조적 한계를 수반하여 응용분야의 제한이 따른다. CDR회로는 샘플링 방식에 따라 특성과 목적을 구분 지울 수 있다. 오버샘플링 방법을 이용한 데이터 복원 기술에는 다중 위상 샘플링 데이터로부터 디지털 회로를 통해 가장 적절한 위상의 정보를 찾아 선택하는 비동기식 위상 선택 방법(Phase picking)과 위상의 정보를 연속적으로 피드백 하여 데이터의 중앙 부분의 위상 값을 선택하는 PLL 방식의 동기식 위상 트랙킹(Phase tracking) 방법이 있다.[2]

본 논문에서는 오버샘플링 PD와 half-rate 주파수검출기(FD)[4] 및 부가적인 디지털 로직을 추가하여 샘플링 방식 중 위상 선택 및 트랙킹 방식의 장점을 접목한 트래키드 오버샘플링(Tracked oversampling)방식의 CDR회로를 설계하였으며, PD의 출력에 의존한 기존 FD에서[5] 입력데이터로부터 독립적으로 입력데이터 율을 트래킹 할 수 있는 FD로 구현하였다. 즉, 별도의 기준 클록 없이 순수한 입력 데이터만으로 FLL루프에서 입력데이터 율을 독립적으로 트래킹하고 최종적으로 위상 잠김 상태에서 PLL루프의 다중 위상 VCO 클록을 이용하여 데이터를 복원한다. FLL루프를 독립적으로 구현함으로써 입력데이터에 따른 각각의 대역폭 설정이 가능하고 전체 루프의 정상 상태에서는 부가적인 디지털 로직을 이용해 FD의 동작을 멈추게 함으로써 안정적으로 PLL루프만 동작할 수 있게 된다.

Ⅱ. 클록 데이터 복원 회로 구조

본 논문의 구조는 크게 5개의 부분으로 구성된다. PD, FD, CP, LF와 8개의 클록을 생성하는 VCO로 되어 있다. PD는 4x오버샘플링기법을 이용하여 입력 데이터(3.2Gb/s NRZ Random Data)를 8개의 클록(Clk0, Clk0b~Clk3, Clk3b)으로 샘플링하여 데이터의 천이 위

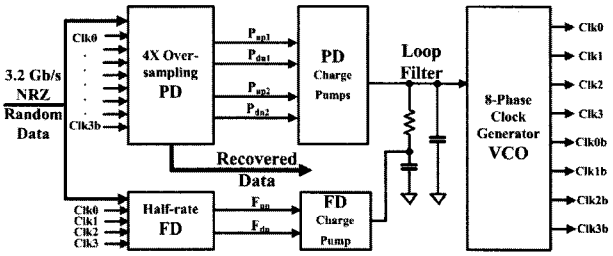


그림 1. 클록 데이터 복원회로 전체 구조
Fig. 1. Architecture of the CDR circuit.

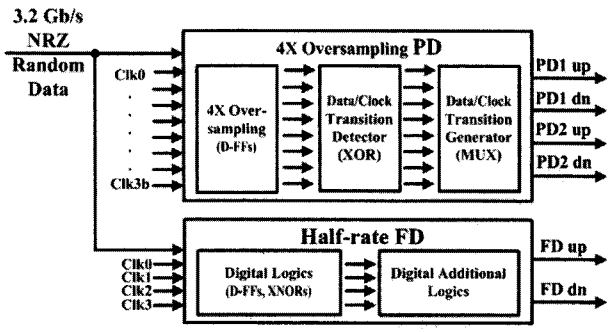


그림 2. PD/FD의 블록도
Fig. 2. Block diagram of the PD/FD.

치에 따라 4개(PD1up, PD1dn, PD2up, PD2dn)의 위상 정보를 검출하는 기능을 수행하고 각각의 위상정보를 PD-CP1,2에 전달하게 된다. FD는 4개의 클록(Clk0, Clk1, Clk2, Clk3)으로 입력 데이터를 샘플링하여 주파수 정보(FDup, FDdn)를 검출하고 FD-CP에 전달하게 된다.

그림 2는 PD와 FD의 전체 블록도를 보여주고 있다. PD와 FD에서 나오는 6개의 위상과 주파수에 대한 정보는 VCO를 제어하기 위한 값으로 변경하기 위해 3개의 CP로 보내진다. PD-CP1은 PD1up과 PD1dn신호, PD-CP2는 PD2up과 PD2dn신호 그리고 FD-CP는 FDup과 FDdn신호를 각각의 서로 다른 전류의 양으로 LF에 전달하게 되고, LF의 평균값은 VCO를 제어하기 위한 전압 값으로 사용된다. LF는 기본적인 2차 루프필터인 C1, C2와 R로 구성되어 VCO를 제어한다.

VCO는 일반적인 4단의 Delay cell로 구성되어 있고 LF를 통한 제어 전압에 의해 각각 45도의 위상차를 갖는 8개의 클록신호가 출력으로 내보낸다. VCO에서 생성된 클록은 PD 및 FD에 입력되는 데이터를 샘플링할 때와 MUX에서 데이터를 복원 할 때 사용된다. MUX는 PD에서 연속된 2개의 데이터를 샘플링한 8개의 샘플링 된 데이터 중에서 첫 번째(D0)와 다섯 번째(D0b) 샘플링 된 데이터를 복원 데이터로 만들기 위해 사용된다.

Ⅲ. 세부 블록 설계

1. Phase Detector

VCO 8개의 클록신호(Clk0, Clk0b~Clk3, Clk3b)는 PD에서 입력데이터를 4x 오버샘플링하는데 사용된다[6]. 그림 3은 PD의 세부 블록을 나타내고 있으며 그림 4는 PD1up 신호의 발생 순서를 예로 PD의 동작과 PD의 출력을 도식화 했다. VCO의 클록은 각각 45도의 위상차를 가지고 출력되며 이 클록을 통해 데이터의 한 주기는 8개의 구간으로 나뉘게 된다. 이 8개의 구간 중 어느 구간에서 연속되는 2개의 입력 데이터의 천이가 발생하는지를 보고 입력데이터와 VCO의 클록 신호간의 위상차를 검출하게 된다. 즉, Clk1과 Clk2사이에서 입력데이터 천이가 발생한다면 구간 1에서 데이터 천이가 발생한 것으로 판단하게 된다. 우선 위상이 잠금 상태가 되는 경우는 Clk2와 Clk2b신호에서 입력 데이터의 천이가 발생하는 경우로 정의된다. 이 상태를 기준으로

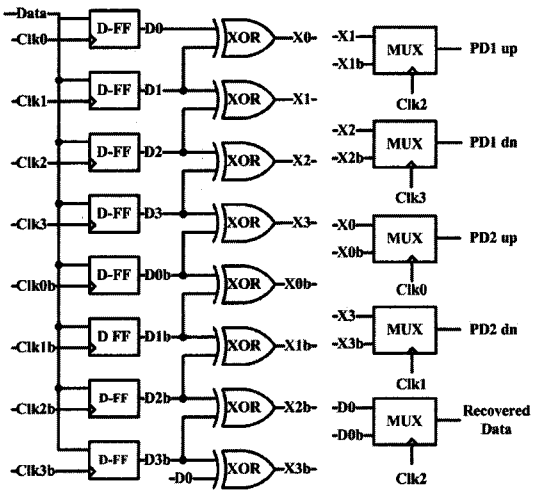


그림 3. 오버샘플링 PD의 세부블록
Fig. 3 Block diagram of the oversampling PD.

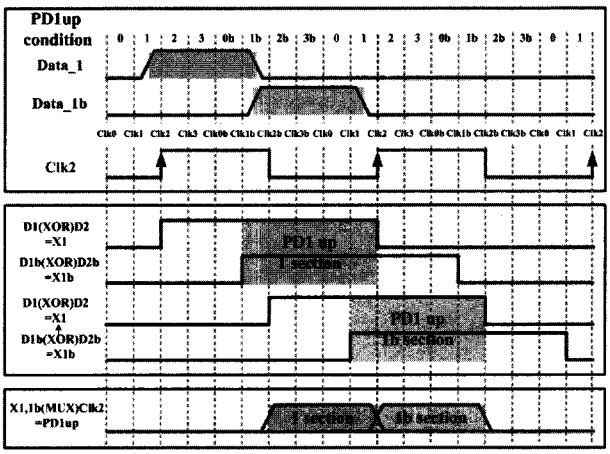


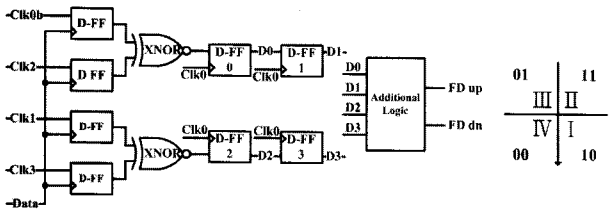
그림 4. PD1up 발생 상태도
Fig. 4. Operating condition of PD1up.

위상차가 작은 경우과 큰 경우 2가지로 나누어 up/dn 신호를 출력하게 되므로 총 4개의 위상 신호가 출력된다. 위상차가 작은 경우에는 PD1up신호와 PD1dn신호가 출력되는데 이는 구간2와 구간2b에서 데이터 천이의 발생은 클록의 위상을 왼쪽으로 이동하라는 PD1up신호를 생성하게 되고 구간 3과 구간 3b에서 데이터 천이의 발생은 클록의 위상을 오른쪽으로 이동하라는 PD1dn신호를 생성하게 된다. 마찬가지로 위상차가 큰 경우에는 PD2up신호와 PD2dn신호가 출력된다. 구간 0와 구간 0b에서 데이터 천이가 발생하게 되면 PD2up신호가 구간 3와 구간 3b에서 데이터 천이가 발생하게 되면 PD2dn신호가 생성된다. 즉, 작은 위상차에는 PD1, 큰 위상차에는 PD2가 동작하게 된다. 그림 4는 입력 데이터의 천이 위치(1, 1b 구간)에 따른 PD1up신호의 생성 순서를 도식적으로 보여주고 있다. 최종 복원 데이터는

전체 루프가 위상 잠김 상태가 되면 D0와 D0b의 정보로부터 Clk2로 멀티플렉싱하여 얻어질 수 있다.

2. Frequency Detector

본 회로에서 사용된 FD는 그림 5(a)에서 보인 8개의 D-FF(D FlipFlop), 두 개의 XNOR게이트와 부가 디지털 로직으로 구성되어있다.



(a) (b)

그림 5. (a) FD의 세부 블록 (b) FD 부가 회로의 상태도
Fig. 5. (a) Block diagram of the FD
(b) State of additional FD logic.

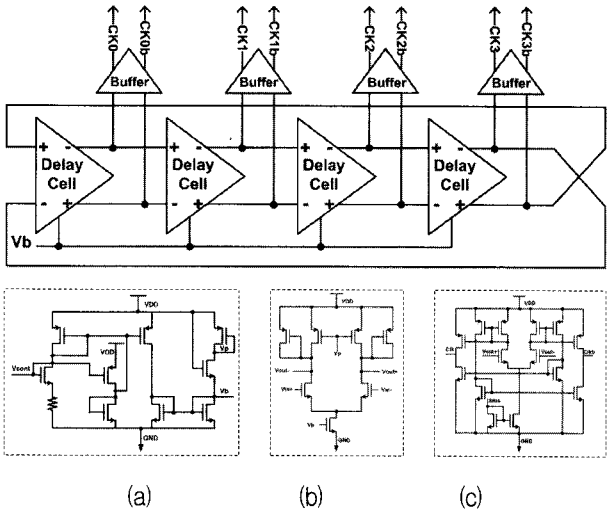
표 1. FD 부가 회로의 진리표
Table 1. Truth table of additional FD logic.

D-FF 0,1 / D-FF 2,3	State I 10	State II 11	State III 01	State IV 00
State I 10	X	X	DN	DN
State II 11	X	X	X	DN
State III 01	UP	X	X	X
State IV 00	UP	UP	X	X

D-FF 뒷 단의 부가 디지털 로직에 대한 진리표는 표 1에서 보이고 있으며 VCO의 클록(Clk0, Clk1, Clk2, Clk3)의해 각각의 반주기 동안에 4가지의 상태로 분리된 VCO의 클록(Clk0, Clk1, Clk2, Clk3)의 상태도는 그림 5(b)에서 보이고 있다. 4개의 D-FF은 Clk0의 상승에지에 동기 되어 동작하며 각각의 샘플링 값과 상태를 저장하게 된다. 각각의 상태는 그림 5(b)에서 보인 화살표를 기준으로 반시계 방향으로 반복되게 되어있다.

3. Voltage Controled Oscillator(VCO)

VCO는 크게 세 부분으로 나눌 수 있다. 그림 6에서 보듯이 각각의 지연단에 전류를 공급하는 한 개의 전류 바이어스단, 4단의 지연단과 출력신호가 풀스윙할 수 있도록 하는 4개의 버퍼단으로 구성되어 있다. 바이어스 단은 LF로부터의 입력전압에 대해 Gnd 레벨에서부터 동작하여 튜닝 범위를 넓고 선형성을 향상시킬 수 있는 Rail-to-Rail구조로 설계하였다[7]. 지연단은 전류제어 구조로 약900mV에서 3.2Gb/s(1.6GHz)로 동작하



(a) (b) (c)

그림 6. VCO 세부 블록도
(a) 전류 바이어스 (b) 지연단 (c) 출력버퍼
Fig. 6. Block diagram of the VCO.
(a) Current Bias (b) Delay Cell (c) Buffer

도록 설계하였으며 각 지연단의 버퍼는 풀스윙과 동시에 듀티 사이클의 부정합을 보상할 수 있도록 설계하였으며 부가적으로 로딩을 고려한 팬-아웃(Fan-out) 인버터단을 추가하였다.

Ⅳ. 모의 실험 및 측정 결과

CDR회로는 0.18um 1P6M CMOS 공정으로 설계하였으며 모의실험 검증을 위해 Spectre를 이용하였다. 모의실험 검증을 위해 CDR회로의 입력데이터는 2^6-1의 임의신호발생기(Pseudo Random Binary Sequence: PRBS)를 이용하였다. 그림 7은 전체 CDR회로의 위상 잠김 상태까지 LF의 전압 변화량과 각각의 코너(FF, TT, SS)별 VCO 튜닝 범위를 보여주고 있다.

그림 8은 3.2Gb/s 입력 데이터에 따른 복원된 데이터

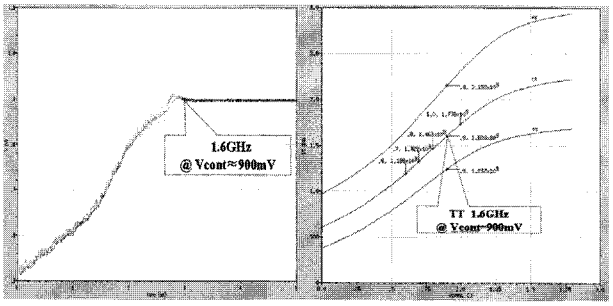


그림 7. LF 전압 변화량 및 코터별 VCO Tuning 범위
Fig. 7. LF voltage during the locking and VCO tuning range each corner.

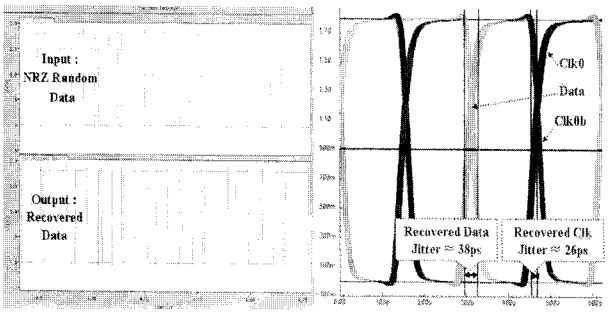


그림 8. 복원된 데이터의 지터와 파형
Fig. 8. Recovered data and jitter.

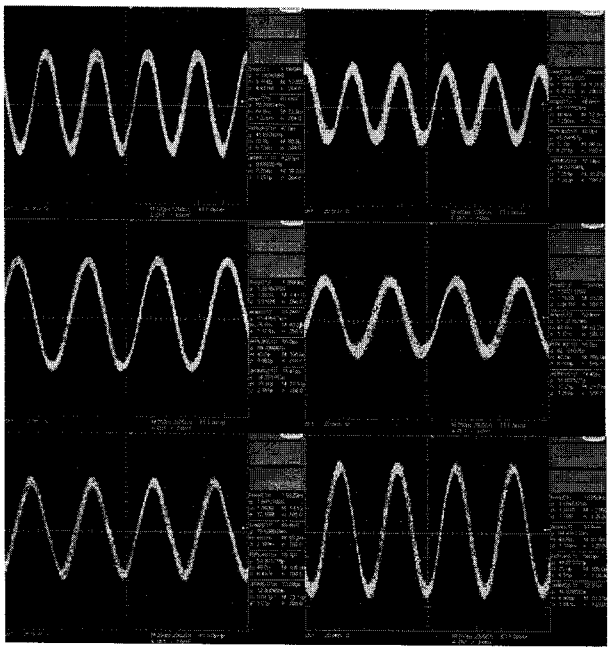


그림 9. 입력 데이터 율에 따른 지터특성(Clk2)
Fig. 9. Jitter(Clk2) of each input data-rate.

의 파형과 최종적으로 복원된 클록 및 데이터의 지터 특성을 보여주고 있다. 모의실험 상에서 복원된 클록과 데이터의 지터는 각각 26ps와 38ps로 나타난다.

그림 9는 입력 데이터 율에 따른 측정결과로서 위상 검출기 내에서 데이터 복원(D0, D0b)에 사용되는 Clk2의 지터 특성을 나타내고 있으며, 측정 시 회로 내의 PRBS의 오동작으로 인해 최종 복원된 데이터는 측정할 수 없었으나 데이터의 샘플링에 직접적으로 사용되는 클록의 복원은 확인 할 수 있었다. 그림 10은 전체 칩의 레이아웃(1x1㎟) 및 칩 사진을 보여주고 있으며 표 2는 모의실험과 측정결과를 최종적으로 비교하여 나타내고 있다. 측정 결과 입력 데이터 율에 따른 신뢰할 수 있는 지터 특성(약 pk-pk 50ps)을 갖는 범위는 약 2.4Gb/s에서 3.4Gb/s로 나타났다.

표 2. 입력 데이터 율에 따른 복원된 Clk2 지터
Table 2. Jitter of recovered Clk2 at each input data-rate.

Simulation (tt)		Test	
Data rate (Gb/s)	pk-pk Jitter (ps)	Freq. (GHz)	pk-pk Jitter (ps)
2.4	22	1.192	40
2.6		1.294	48
2.8	25	1.393	50
3.0		1.507	55
3.2	26	1.592	55
3.4		1.695	50

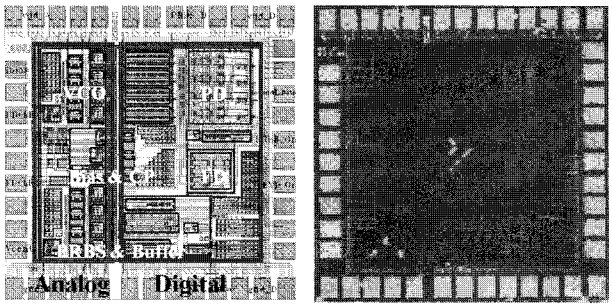


그림 10. 전체 CDR회로 레이아웃
Fig. 10. CDR circuit layout.

V. 결 론

본 논문의 CDR회로는 0.18㎛ CMOS (1P-6M) 공정으로 설계 및 레이아웃을 수행하였고 다이 칩 상태에서 측정하였다. 오버샘플링 방식을 이용한 PD/FD를 이용하여 기준 클록 없이 클록과 데이터를 복원하는 3.2Gb/s CDR회로를 설계하였으며 고속 시리얼 링크뿐만 아니라 고속 멀티채널 전송분야에도 응용 가능함을 측정을 통해 검증할 수 있었다. 시뮬레이션은 Hspice와 Spectre를 이용하여 검증하였으며, 랜덤 데이터 생성을 위한 2^6-1 PRBS를 구현하여 입력데이터를 모의하였다. 3.2Gb/s 입력데이터 율에서 측정결과(pk-pk 55ps, Clk2)가 나왔으며, 2.4Gb/s에서 3.4Gb/s 입력데이터 율 구간에서 약 50ps의 지터 특성을 나타내고 있다. 측정을 위해 LF는 외부 패드를 통해 구현하였고 전체 칩 면적은 1x1㎟이며 전력소모는 63mW이다. 모의실험과 비교하여 실제 측정값의 차이는 측정 시 전원전압 노이즈와 칩 및 PCB상의 기판노이즈 등 환경적인 영향이 주를 이룰 것으로 사료된다.

참 고 문 헌

[1] T. Palkert, "A review of current standards activites for high speed physical layers," Proc. 5th International Workshop on System-on-Chip for Real-Time Applications, pp. 495-499, July 2005.

[2] Behzard Razavi, 'Desing of Integrated Circuits for Optical Commynications', McGRAW-HILL, 2003.

[3] Behzard Razavi, Monolithic Phase- Locked Loops and Clock Recovery Circuits, IEEE press, pp33-34, 1996.

[4] Rong-Jyi Yang, Shang-Ping Chen, Shen-Iuan Liu, "A 3.125-Gb/s Clock and Data Recovery Circuit for the 10-Gbase-LX4 Ethernet", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 39, NO. 8, AUGUST 2004.

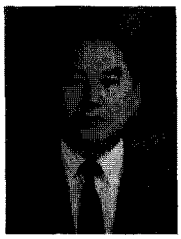
[5] Sung-Sop Lee, Hyung-Wook Jang, and Jin-Ku Kang, "3.125Gbps Reference-less Clock and Data Recovery using 4X Oversampling", Incheon, Korea: Inha University, IEEE, 2005.

[6] Rezayee. A, and C. Andre. T. Salama, "An Improved Bang-bang Phase Detector for Clock and Data Recovery Applications", Circuits and Systems, 2001. ISCAS' 01. Proceedings of the 2001 International Symposium on, Volume: 1 Page, 715-718, May, 2001.

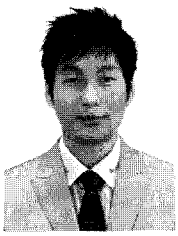
[7] Kuo-Hsing Cheng ,Ch'ing- Wen Lai and Yu-Lung Lo, "A CMOS VCO for 1V, 1GHz PLL Applications," 2004 IEEE Asia-Pacific Conference on Advanced System Integrated Circuits (AF'-ASIC2004) / Aug. 4-5, 2004.

저 자 소 개

김 강 직(학생회원)
2005년 전북대학교 전자정보 공학부 학사 졸업.
2007년 전북대학교 전자공학과 석사 졸업
2007년~현재 전북대학교 전자정보공학부 박사 과정
<주관심분야 : 아날로그 회로 설계 및 CMOS 고속 인터페이스 회로 연구>



조 성 익(정회원)-교신저자
1987년 전북대학교 전기공학과 학사 졸업
1989년 전북대학교 전기공학과 석사 졸업.
1994년 전북대학교 전기공학과 박사 졸업.
1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원
2004년~현재 전북대학교 전자정보공학부 조교수
<주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL>



정 기 상(학생회원)
2007년 전북대학교 전자정보 공학부 학사 졸업.
2009년~현재 전북대학교 전자정보공학부 석사 과정
<주관심분야 : 아날로그 회로 설계 및 CMOS 고속 인터페이스 회로 연구>