논문 2009-46IE-1-3

펄스형 호지킨-헉슬리 신경세포 모델의 집적회로 구현 및 분석

(Integrated Circuit Implementation and Analysis of a Pulse-type Hodgkin-Huxley Neuron Model)

권 보 민*, 정 진 우*, 박 주 홍*, 이 제 원*, 박 용 수**, 송 한 정*

(Bomin Kwon, Jinwoo Jung, Juhong Park, Jewon Lee, Yongsu Park, and Hanjung Song)

요 약

펄스형 신경세포를 구현하기 위하여 호지킨-헉슬리 모델을 참조하여 0.5 ㎛ CMOS 공정을 이용한 집적회로를 설계하고 칩 제작하였다. 펄스형 단위 신경세포는 취합기능을 갖는 입력단과 임계값이상에서 신호발생을 일으키는 펄스생성회로로 구성된다. 입력단을 입력전류신호를 취합하는 범프회로, 펄스생성회로는 몇 개의 트랜스콘덕터와 커패시터, 전하공급기능을 갖는 부성저항회로로 이루어진다. SPICE 모의실험결과 임계신호전류 70 nA이상에서 펄스생성이 일어남을 확인하였고, 제작된 칩을 5 V 조건하에서 측정하여 모의실험결과와 비교분석하였다.

Abstract

Integrated circuit of a pulse-type neuron for Hodgkin-Huxley model is implemented in a 0.5 ㎛ 1 poly 2 metal CMOS technology. Proposed pulse-type neuron model consist of input stage with summing function and pulse generating block which make neuron pulse above threshold value. Pulse generating circuit consist of several transistors, capacitors and negative resistor with a charge supply function. SPICE simulation results show that neuron pulse is generated above threshold current of 70 nA. Measurements of the fabricated pulse type neuron chip in condition of 5 V power supply are shown and compared with the simulated results.

Keywords : Neuron, Pulse, SPICE, Hodgkin-Huxley model, CMOS

Ⅰ. 서 론

신경세포에 관한 연구에 따르면, 신경세포는 수천 개의 다른 뉴런으로부터 신호를 전달 받아 그 신호를 뇌로 전달 하는 것으로 밝혀졌다. 호지킨-헉슬리 모델에 의하면 뉴런은 막전위의 시간적 이동에 의해 신호가 다른 신경으로 전달된다고 하였다. Freeman이나 Victor의 후구 조직 모델 등이 대표적이며 이러한 오실레이터를 기본 요소로 하는 모델들은 복잡한 뇌의 연상기억 및 연산능력을 위한 국부 진동으로 이루어지는 신경망을 제안한다는 점을 공통된 특징으로 들 수 있다[1~2]. 이와 같은 일련의 모델들에 대한 신경망의 하드웨어 구현에 대한 다양한 시도가 있어왔다. Barrenco의 히스테리시스(hysteresis) 현상을 이용한 회로 라든지, Luo의 트랜스콘덕터와 연산증폭기로 구성하는 회로 등이 그 대표적인 예라 할 것이다[3~5]. 그러나 아직까지는 초보적 차원으로 간단한 전기적 신경세포 모델 구성정도에 머무르고 있는 것이 사실이어서 시스템 차원의 진동성 신경망 구현을 위하여는 여전히 많은 연구와 심도있는 모색

* 정회원, 인제대학교 나노공학부
(Department of Nano Eng., Inje University)
** 정회원, 충청대학교 전기전자학부
(Department of Electronics, Chung Cheong University)
※ 본 논문은 IDEC (IC Design Education Center)의 CAD TOOL 지원으로 이루어졌습니다.
접수일자: 2009년2월2일, 수정완료일: 2009년3월10일

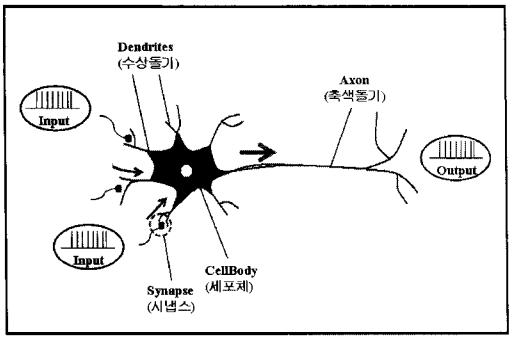
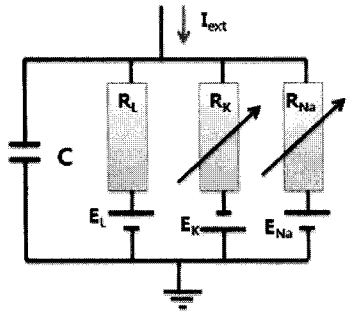
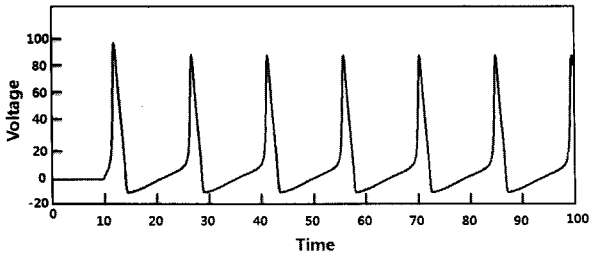


그림 1. 생체 신경 세포의 구조
Fig. 1. Structure of bio-neuron.



(a) electric circuit model



(b) output signal of Hodgkin-Huxley model

그림 2. 생체 신경세포의 호치킨 헉슬리 전기 회로 모델
Fig. 2. Hodgkin-Huxley electric model of bio neuron.

이 있어야 할 것으로 사료된다[6].

그림 1과 같이 신경세포는 크게 세포체와 수상돌기, 축색돌기의 세 부분으로 나누어진다. 각 뉴런에서는 먼저 수상돌기로부터 수많은 입력을 받고 세포체에서 종합하여 처리한 정보를 축색돌기로 전달한다. 축색돌기로 전달한 정보는 다시 다른 뉴런들의 수상돌기와 시냅스를 통해 연결됨으로써 위와 같은 처리들이 반복된다[7].

$$C\frac{dV}{dt} = -G_{Na}m^3h(V-E_{Na}) - G_Kn^4(V-E_K) - G_l(V-E_l) + I_{ext} \quad (1)$$

그림 2(a)는 신경세포의 신호전달에 대한 호치킨 헉슬리 모델로 식 (1) 과 같은 미분 방정식으로 표현되며, 그림 2(b)에 보이듯이 외부 입력 전류 인가 시 실제 생체 신경세포의 전달 신호와 유사한 출력 전압이 구현되는 것을 보여 주고 있다[8]. 외부 자극 전류가 있을 경우 주기적인 발화 상태를 보이지만, 외부 전류가 없을 경우에는 활동전위가 보이지 않고 일정한 전위를 유지한다. 현재까지 이와 같은 구조를 기본으로 하여 수많은 종류의 신경회로망이 제안 된 바 있고 회로에 간단한 연산기능을 갖는 신경회로가 반도체 칩으로 제작되어, 통신 데이터 신호처리 등에 응용된 바 있다.

본 연구에서는 호지킨-헉슬리 모델을 참조하여 외부 자극 전류가 있을 경우 주기적인 발화상태를 보이는 펄스형 단위신경세포를 설계하였다. 입력 신호를 취합하는 입력세포 입력단과 펄스신호 출력생성을 위한 부성저항, 전압을 전류로 변환시키는 시냅스회로에 대한 SPICE 시뮬레이션 결과를 살펴보고 칩을 제작하여 측정해보고 모의실험값과 측정값을 비교 분석한다.

Ⅱ. 펄스형 신경세포모델의 SPICE 회로설계

신경 세포의 구조를 등가 모델화하였고 이를 토대로 펄스형 신경 세포 모델을 설계하였다.

제안하는 펄스형 신경 세포 모델을 그림 4에 나타내었다. 생체 신경 세포와 같이 어느 임계값 이상에서 진동성 펄스를 발화시키는 펄스형 신경세포 모델로서 단위 신경세포는 입력 신호(전류)를 받아들이는 입력단,

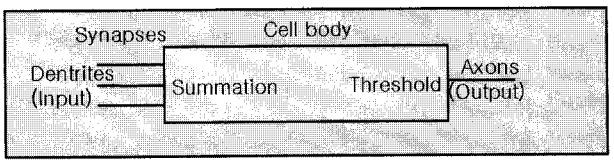


그림 3. 펄스형 신경세포 등가 블록도
Fig. 3. Equivalent block diagram of a pulse type neuron.

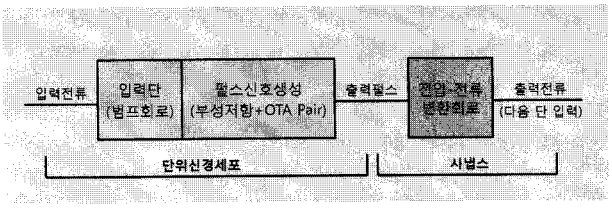
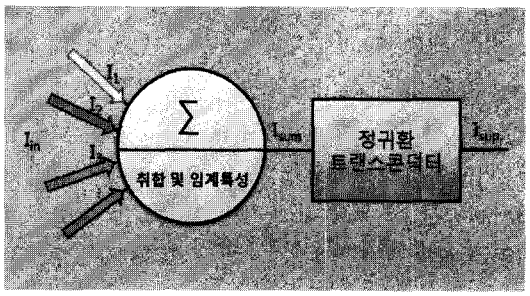
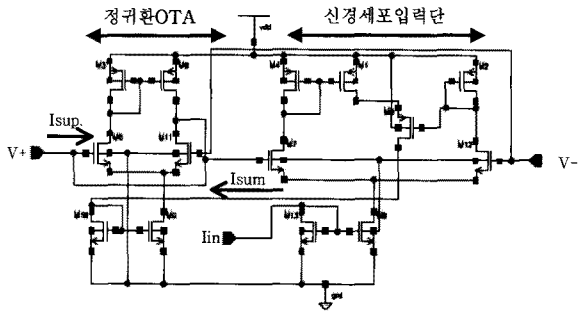


그림 4. 제안하는 펄스형 신경세포 모델
Fig. 4. Proposed pulse type neuron model.

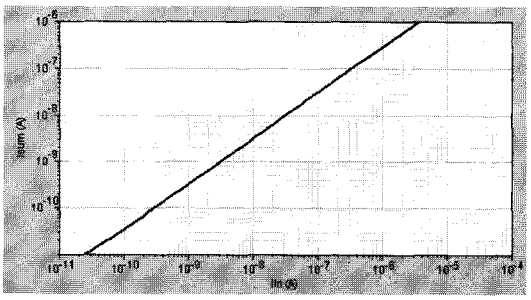
그리고 입력 신호에 의해서 출력 펄스를 생성시키는 세포체 영역으로 이루어지는데, 이는 전하 공급능력을 갖는 부성저항과 2개의 트랜스 콘덕터와 커패시터 쌍으로



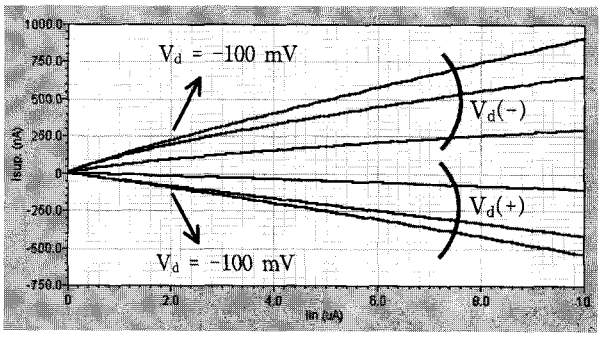
(a) block diagram



(b) schematic



(c) SPICE result(I_{in} - I_{sum})



(d) SPICE result(I_{in} - $I_{sup.}$)

그림 5. 펄스신호 생성을 위한 부성저항 특성을 이용한 전하공급회로

Fig. 5. Charge supply circuit using negative resistance characteristic for pulse signal generation.

이루어진다[9]. 본 설계에서는 출력 전압 특성을 출력 전류로 변환시켜 다음단의 입력으로 연결되는 전압-전류 변환 기능의 시냅스를 구현하였다.

그림 5(a)는 신경세포의 펄스형 출력신호를 생성하도록 설계한 블록도이다. 이 블록도는 전류모드 신경세포 입력단 모델과 정귀환 연결된 트랜스 콘덕터로 구성된다. 그림 5(b)가 이에 따른 회로도인데 입력전류 신호들이 취합되어 트랜스콘덕턴스 증폭회로의 바이어스 전류로 작용하고, 이 바이어스 전류의 단자 전압에 따른 출력특성과 정귀환된 트랜스콘덕턴스 증폭회로 작용으로 인하여 부성저항 특성을 나타내게 된다. 그림 5(c)는 입력전류에 따른 전류모드 신경세포 입력단의 출력신호를 시뮬레이션한 결과이다. 두 단자 전압차 $V_d(=V^+-V^-)$ =0인 조건하에서 로그단위로 입력전류(I_{in})를 0 pA~10 μA까지 인가 했을 경우 신경세포 입력단의 취합 전류(I_{sum})가 0 μA~1 μA까지 나타났다. 이로써 입·출력 특성이 선형적으로 비례하므로 입력에 대하여 취합(summing) 기능이 있음을 알 수 있다. 두 단자 전압차가 $V_d(=V^+-V^-)$ 점점 증가할수록 취합 전류는 감소하였다. 그림 5(d)는 단자전압 $V_d(=V^+-V^-)$을 -100 mV~100 mV 사이로 총 6번의 step으로 시뮬레이션 한 조건하에서, 입력 전류(I_{in})에 따른 전하공급전류($I_{sup.}$)의 시뮬레이션 결과를 보여준다. 단자 전압 V_d가 (-)값을 가지는 경우는 전하공급전류가 증가하고, (+)값을 가지는 경우는, 전하공급전류가 감소하고 있는데 이는 부성저항이 존재함을 의미한다.

그림 6에 펄스형 단위신경세포 회로도를 나타내었다. 입력전류는 취합 기능과 임계 기능을 갖는 입력단으로 들어가도록 구성하였고, 전하공급회로와 연결된 트랜스콘덕터 쌍과 커패시터 쌍으로 이루어져 임계값 이상에서 펄스 신호를 발화 시키는 단위 신경세포로 동작한다. 이는 하나의 뉴런 셀로 볼 수 있다.

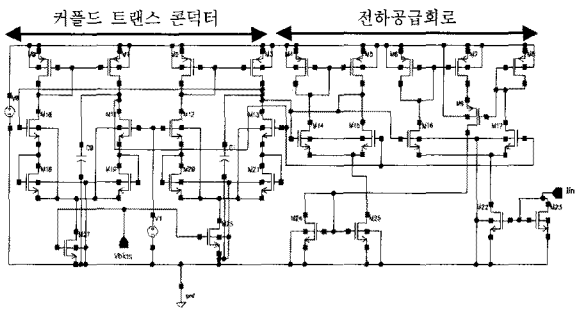


그림 6. 펄스형 신경세포 CMOS 회로도

Fig. 6. CMOS circuit of a pulse type neuron model.

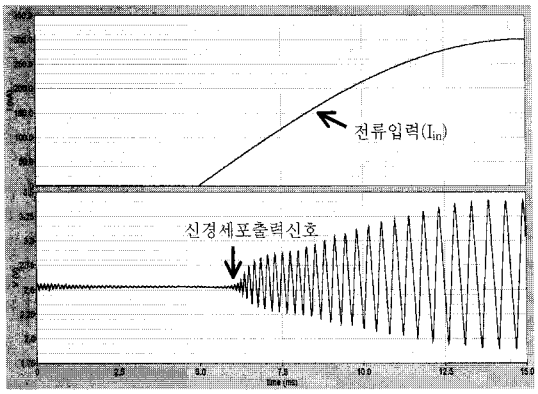
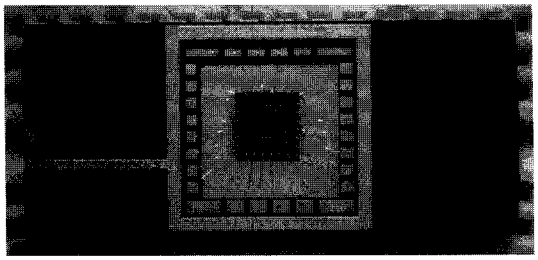


그림 7. 임계입력을 가지는 펄스형 신경세포 SPICE 결과
Fig. 7. SPICE simulation results of the pulse type neuron with a threshold input current.

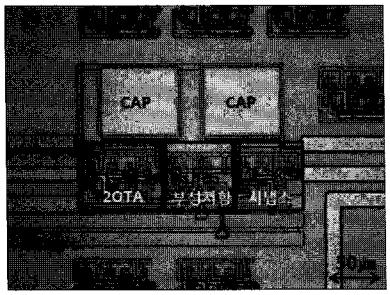
그림 7은 제안하는 펄스형 신경세포 회로도에 대한 SPICE 모의실험결과를 나타내었다. 입력전류를 선형적으로 증가시킬 때 출력전압이 임계전류 70 nA이상에서 펄스출력이 증가하는 형태로 나타나는 것을 볼 수 있다.

Ⅲ. 펄스형 신경세포 모델의 집적회로 구현 및 측정

본 논문에서는 0.5 ㎛ CMOS 공정을 이용하여 28 LEAD SIDE BRAZED PACKAGE 형태로 제작되었다.

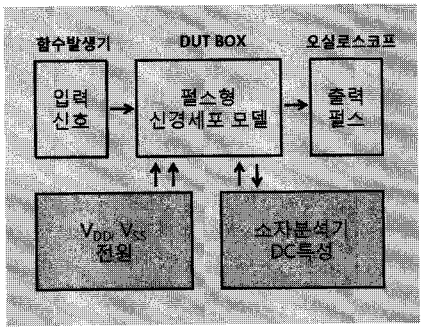


(a) 28 pin DIP package chip

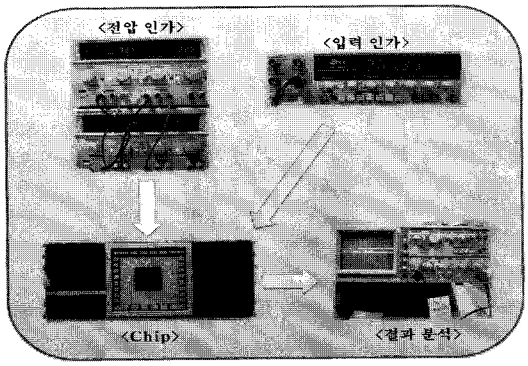


(b) micro photograph

그림 8. 펄스형 신경세포 모델의 칩사진
Fig. 8. The chip of the fabricated pulse type neuron model.



(a) block diagram

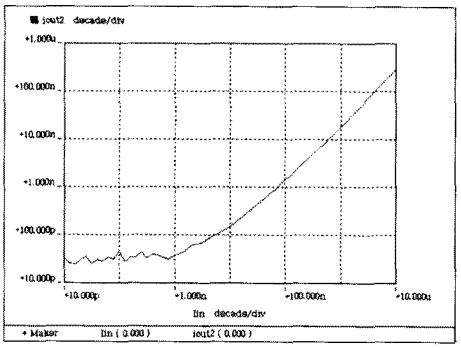


(b) measureing system

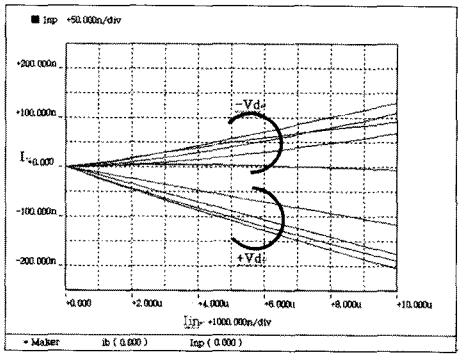
그림 9. 제작된 칩의 측정 블록도
Fig. 9. Block diagram and measuring system for fabricated chip.

그림 9는 단위신경세포의 측정블록도와 측정장비시스템을 나타내었다. 제작된 단위 신경세포의 측정은 신경세포 입력단, 부성저항 역할을 하는 전하공급소자 등을 각 블록 별로 특성을 측정하고, 단위 신경세포에 대하여 소자분석기로 DC특성을, 함수발생기와 오실로스코프로 펄스 입력 인가 시의 출력발화특성을 측정하였다. 전류입력 대신에 다이오드 연결구조의 NMOS 트랜지스터를 통하여 입력신호로 게이트 단자에 전압을 인가하였다.

그림 10은 반도체 소자 분석기를 사용한 입력단의 DC 특성 측정 결과이다. 그림 10(a)에서는 단자전압차 V_d = 0 V 조건에서, 입력 전류(I_{in})은 10 pA ~ 10 ㎂까지 인가 했을 경우 취합 전류가 10 pA ~ 400 nA까지 생성된 것을 볼 수 있다. 시뮬레이션 결과와 마찬가지로 입·출력 특성이 비례하여 나타나는 것을 확인할 수 있다. 그림 10(b)는 단자전압 $V_d(=V^+-V^-)$을 -100 ㎷ ~ 100 ㎷ 조건하에서, 입력 전류(I_{in})에 따른 전하공급전류($I_{sup.}$) 측정 결과를 보여준다. 단자 전압 V_d이 (-)값을 가지는 경우는 전하공급전류가 증가하고, (+)값을 가지

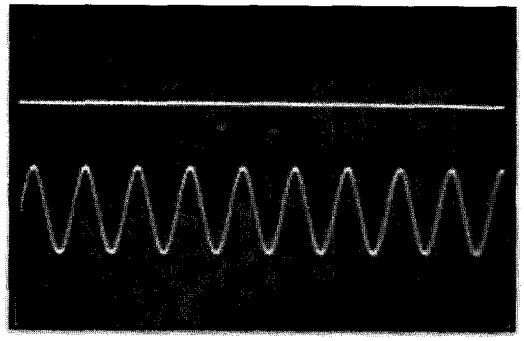


(a) input stage(I_{in}-I_{sum})

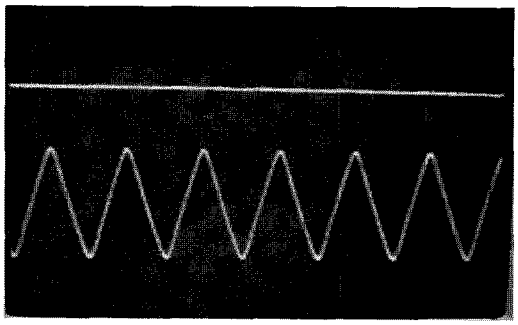


(b) charge supply block(I_{in}-$I_{sup.}$)

그림 10. 소자분석기를 사용한 전하공급회로 단자전류측정
Fig. 10. Measured results of charge supply circuit block.



(a) V_{in} = 0.82 V (I_{in} = 100 nA)



(b) V_{in} = 1.0 V (I_{in} = 150 nA)

그림 11. DC 입력에 따른 펄스형 신경세포 특성 측정 결과 (V_B = 1 V)
Fig. 11. Measured results of the pulse type neuron chip according to DC input.

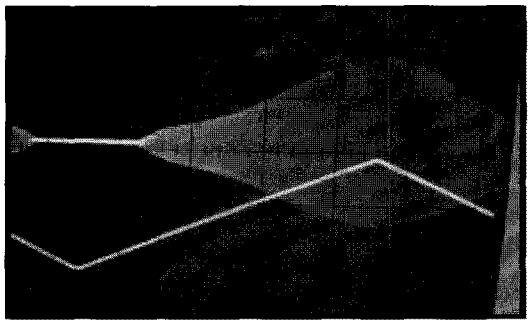


그림 12. 삼각파 입력전압에 따른 펄스형 신경세포 특성 측정 결과
Fig. 12. Measured results of a pulse type single neuron according to the triangle input.

표 1. 신경세포 칩 특성 측정결과 값 요약
Table 1. Summary of measured data about the pulse type neuron circuit.

측정 조건		측정 결과		
Bias V_B	DC input V_{in}	출력전폭 V_{out}(mV)	출력주파수(kHz)	임계입력 (V)
0.9 V	0.8	35	40	Vin=0.8
	0.9	62	37	
	1	100	20	
1 V	0.82	30	86	Vin=0.82
	0.9	50	74	
	1.0	70	62	
	1.1	120	52	

는 경우는 전하공급전류가 감소하고 있는데 이로써 부성저항이 존재하는 것을 알 수 있다.

그림 11은 트랜스컨덕터 증폭회로의 바이어스 전압 V_B = 1 V 조건하에서 입력전압을 각각 0.82 V, 1 V 인가 시 발화되는 출력 특성을 측정하였다.(측정의 용이성을 위하여 전류입력에 상응하는 전압입력을 인가하였음) 입력전압을 증가시킴에 따라 발화되는 출력신호의 진폭이 커지면서, 주파수는 감소하는 특성을 보이고 있다.

그림 12는 선형적으로 증가하는 입력에 따른 출력 신호의 변화를 측정한 것이다. 선형적으로 증가하는 삼각파 입력 전압을 인가할 경우 입력전압의 크기가 증가하는 구간에서 발화된 출력신호의 진폭도 커짐을 알 수 있다.

측정결과를 표 1과 같이 요약하였다.

Ⅳ. 결 론

외부자극전류에 따라 주기적인 발화특성을 보이는 호지킨-헉슬리 신경세포 모델을 집적회로로 설계하였

고, 0.5 ㎛ CMOS 공정을 이용하여 칩 제작을 하였다. 본 논문에서는 전류 모드로 동작이 가능한 취합 기능의 입력단을 범프 회로를 이용하여 설계하였고, 펄스발생 회로는 트랜스콘덕터와 커패시터 등으로 이루어지는 전하공급기능을 갖는 부성저항 특성을 이용한 오실레이터 회로로 설계하였다. SPICE 모의실험결과 70 ㎁ 이상의 임계값 이상에서 펄스발화 특성을 확인하였고, 제작된 칩 특성을 측정하여 비교하였다.

참 고 문 헌

[1] W. J. Freeman, Y. Yao, B. Burke, "Central pattern generating and recognizing in olfactory bulb: A correlation learning rule", *Neural Networks*, vol. 1, pp. 227-288, 1988.

[2] D. Terman, D. L. Wang, "Global competition and local cooperation in a network of neural", *Physica D. 81*, pp.148-176, 1995.

[3] Y. Ota and B. M. Wilamowski, "CMOS implementation of a pulse-coded neural network with a current controlled oscillator," *IEEE International Symposium on Circuits and Systems*, Atlanta, GA, pp.410 - 413, May, 1996.

[4] B. Linares-Barranco, E. Sanchez-Sinencio, A. Rodriguez-Vaquez, J.L. Huertas, "CMOS Analog Neural Network Systems based on Oscillatory Neurons," *IEEE International Symposium on Circuits and Systems*, pp.2236 - 2239, May, 1992.

[5] G. Moon, M. Zaghloul, and R. Newcomb, " CMOS Design of Pulse Coded Adaptive Neural Processing Element using Neural-Type Cells, *IEEE International Symposium on Circuits and Systems*, San Diego, CA, pp.2224 - 2227, May, 1992.

[6] V. M. G. Tavares, J. C. Principe, J. G. Harris, "A silicon olfactory bulb oscillator", In *IEEE International Symposium on Circuits and Systems*, Geneva, Switzerland, May 2000.

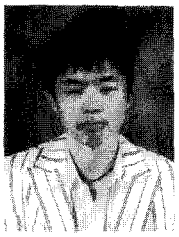
[7] Carver Mead, Analog VLSI and neural systems, *Addison-wesley publishing company*, 1989.

[8] A. L. Hodgkin and A. F Huxley, " A quantitative description of memtrane current and its application to conduction and excitation in nerve," *J. Physiol.*, vol. 117, pp 500-544, 1952.

[9] H.J. Song, J.G. Harris. A CMOS neural oscillator using negative resistance, *IEEE International symposium on Circuits and Systems*, pp. 152-155 Thailand, May 2003.

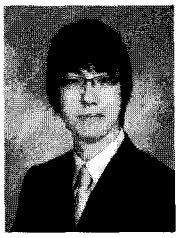
저 자 소 개

권 보 민(학생회원)
2009년 인제대학교 나노공학부 학사 졸업.
2009년 인제대학교 나노시스템 공학과 재학 중.
<주관심분야 : 반도체 회로설계, 소자>



박 주 홍(학생회원)
2008년 인제대학교 나노공학부 학사 졸업.
2008년 인제대학교 나노시스템 공학과 재학 중.
<주관심분야 : MEMS, 반도체 소자공정>

박 용 수(정회원)
1986년 경북대학교 전자공학과 학사 졸업.
1988년 경북대학교 전자공학과 석사 졸업.
2005년 충북대학교 전자공학과 박사 졸업.
1988년~1994년 LG반도체(주) 주임연구원
1994년~현재 충청대학교 전기전자학부 부교수
<주관심분야 : 반도체테스트 및 회로설계>



정 진 우(학생회원)
2009년 인제대학교 나노공학부 학사 졸업.
2009년 인제대학교 나노시스템 공학과 재학 중.
<주관심분야 : 반도체 회로설계, 소자>

이 제 원(정회원)
1993년 한양대학교 무기재료 공학과 학사 졸업.
1995년 Univ. of Florida 재료공학과 석사 졸업.
1997년 Univ. of Florida 재료공학과 박사 졸업.
1994년~1997년 Univ. of Florida, Research Assistant
1997년 Sandia National Laboratory of USA, Contracted Engineer
1998년~2000년 Unaxis, Inc. USA. Senior Process R&D Engineer
2000년~현재 인제대학교 나노공학부 부교수
<주관심분야 : MEMS, 반도체 소자공정>

송 한 정(정회원)-교신저자
1986년 한양대학교 전자공학과 학사 졸업.
1988년 한양대학교 전자공학과 석사 졸업.
2000년 한양대학교 전자공학과 박사 졸업.
1988년~1994년 금성일렉트론 선임연구원.
1994년~2004년 충청대학교 전자정보과 부교수.
2001년~2002년 University of Florida 방문연구원.
2004년~현재 인제대학교 나노공학과 부교수.
<주관심분야 : 반도체소자 신뢰성 및 회로설계>