

논문 2009-461E-1-1

광대역 고속 디지털 PLL의 설계에 대한 연구

(A Study on the Wide-band Fast-Locking Digital PLL Design)

안 태 원*

(Tae-Won Ahn)

요 약

본 논문에서는 광대역 주파수 합성기의 구현을 위하여 주파수 검출 범위와 락킹 시간을 개선한 디지털 PLL의 구조 및 설계에 대하여 기술한다. 제안된 구조에서는 광대역의 고속 주파수 비교기를 위하여 광역 디지털 로직 직교상관기를 사용하였고, 2 비트 업-다운 카운터 및 시그마-델타 변조기를 적용하여 디지털 제어 발진기의 주파수가 제어되도록 하였다. 따라서 양자화에 의한 잡음으로부터 추가되는 위상 잡음을 감소시킬 수 있으며, 최근의 휴대용 멀티미디어 통신 단말기 등에서 요구되는 고속의 락킹 및 광대역 지원, 그리고 저전력 구현에 적합하다.

Abstract

This paper presents the digital PLL architecture and design for improving the frequency detection range and locking time for wide-band frequency synthesizer applications. In this research, a wide-range digital logic quadrature correlator is used for wide-band and fast frequency detector and sigma-delta modulator with 2-bit up-down counter is adopted for DCO control. The proposed digital PLL reduces the phase noise from quantization effect and is suitable for implementation of wide-band fast-locking as well as low power features, which is in high demand for mobile multimedia applications.

Keywords : wide-band, fast-locking, digital PLL, frequency synthesizer, WDLQ

I. 서 론

무선 통신 시스템의 송수신기는 고속의 데이터 통신 및 광대역을 지원해야 할 필요성이 증가하고 있으며, 특히 PLL은 그러한 요구를 수용할 수 있는 핵심 기능 블록으로서 고속의 광대역 송수신기의 구현에 매우 중요한 역할을 수행한다. 기존의 일반적인 PLL은 아날로그 블록의 비중이 높기 때문에 구현상의 수율 및 디지털 시스템과의 통합화에 어려움의 소지가 많다. 또한 소형화 및 저전력 구현에도 불리한 점이 있다. 이에 따라, PLL의 아날로그 블록을 디지털 블록으로 대체하려

는 연구가 많이 진행되어 왔으며, 이와 관련된 많은 연구가 발표되었다^[1].

그러나 디지털 PLL은 양자화에 의한 잡음에서 비롯되는 위상 잡음의 증가 우려가 있으며, 최근의 휴대용 멀티미디어 통신 단말기 등에서 요구되는 고속 락킹 및 광대역 지원, 그리고 소형화 및 저전력 구현에 아직 개선의 여지가 많다.

본 논문에서는 이와 같은 관점에서 디지털 PLL의 성능 개선을 위하여 광대역 고속 락킹이 가능한 디지털 PLL의 구조를 제안한다.

II. 본 론

1. 일반적인 전하 펌프 PLL

주파수 합성기로서 가장 일반적으로 사용되는 구조는 그림 1과 같이 기준 주파수 신호로부터 얻은 기준

* 정회원, 동양공업전문대학 전기전자통신공학부
(School of Electrical Engineering, Dongyang
Technical College)

※ 본 연구는 동양공업전문대학 학술연구비 지원으로 이루어졌습니다.

접수일자: 2008년12월21일, 수정완료일: 2009년3월6일

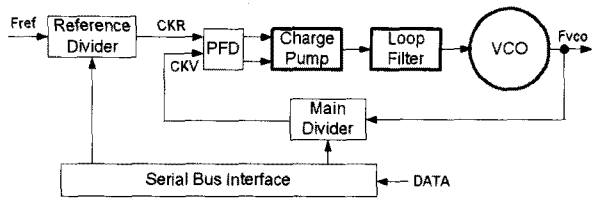


그림 1. 일반적인 전하 펌프 PLL
Fig. 1. Typical charge pump PLL.

클록 (CKR)과 VCO에서 피드백 되어 분주된 클록 (CKV)의 위상 및 주파수 차이를 검출하는 위상 주파수 검출기 (PFD)와 전하 펌프 (charge pump), 루프 필터 (loop filter), 그리고 입력된 전압의 크기에 따라서 정해지는 주파수를 생성하는 VCO로 이루어져 있다. 그림 1에서 붉은 선으로 표시된 부분은 아날로그 블록으로서, 구현상의 수월 및 디지털 시스템과의 통합 측면에서 불리하며 고속의 락킹 및 광대역 지원을 위해서는 설계의 난이도가 높아진다. 따라서 최근의 저전력 요구사항을 만족시키기 어려운 요소가 있다. 현재는 락킹 시간과 위상 잡음을 개선하기 위하여 VCO에서 피드백 되는 경로에 분수형 분주 기능을 추가한 분수형 주파수 합성기 구조의 PLL을 많이 사용하는 추세이다.

2. 제안하는 디지털 PLL

그림 2는 본 논문에서 제안하는 고속의 광대역 주파수 합성 기능을 갖는 디지털 PLL의 구성도이다. PFD와 전하 펌프를 광대역 특성을 갖는 주파수 검출기로 대체하고 루프 필터를 이진 검색기 및 2-비트 카운터로 대체한 것이 특징이다. 주파수 검출기는 기준 클록 (CKR)과 발진 클록 (CKD)의 주파수를 비교하여 빠르거나 (fast) 느리거나 (slow) 신호를 출력하고, 이 신호는 이진 검색기에 의해 디지털 제어 발진기 (DCO)의 बैं크를 결정하게 된다. 그 이후에는 정해진 बैं크 코드의 하위 2 비트가 2-비트 업-다운 카운터의 동작에 의해 정

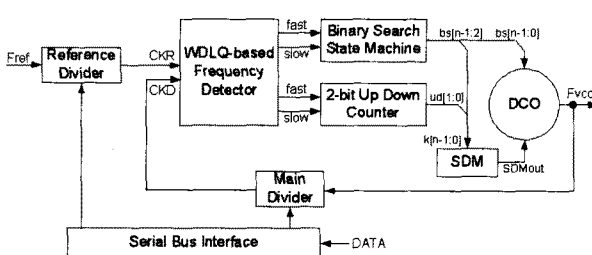


그림 2. 제안하는 광대역 고속 디지털 PLL
Fig. 2. Proposed wide-band fast-locking digital PLL.

해지고, 그 결과가 시그마-델타 변조기 (sigma-delta modulator : SDM)에 입력된다. SDM은 잡음 형성 기능을 가지므로 PLL이 락이 되도록 계속적으로 수렴되면서 정해지는 디지털 신호 (SDMout)를 출력하고, 이 신호에 의해 DCO의 발진 주파수가 정해진다.

III. 시스템 설계 및 분석

1. 광대역 고속 주파수 검출기

주파수 검출기는 두 신호의 주파수 차이를 검출하는 회로로서, 대개의 경우 입력 신호 주파수와 국부발진기 주파수의 차이를 검출하는 방식으로 이용된다. 현재까지 발표된 여러 가지 주파수 검출기 가운데 직교상관기 (quadrucorrelator)가 가장 널리 알려져 있으며, 비교적 최근에는 검출 특성을 ±100%까지 확장한 광대역 디지털 직교상관기 (WDLQ : Wide-range Digital Logic Quadrucorrelator)가 제안되었다^[2].

광대역 고속 디지털 PLL의 핵심은 두 클록 신호의 주파수 차이를 검출하여 발진기의 제어 신호를 생성하는 블록으로서, 본 연구에서는 고속의 락킹과 광대역 주파수 비교 특성을 갖도록 광대역 디지털 로직 직교상관기를 적용하였다. WDLQ는 광대역에 걸쳐 고속의 주파수 검출이 가능하므로 광대역 고속 디지털 PLL의 구현에 적합하다.

2. 디지털 제어 발진기

일반적인 아날로그 PLL에서는 아날로그 전압에 의해 주파수를 제어하는 전압제어발진기가 사용된다. 디지털 제어 발진기는 디지털 코드에 의해 주파수를 제어하는 블록으로서 LC 발진기 형태 또는 링 발진기 형태로

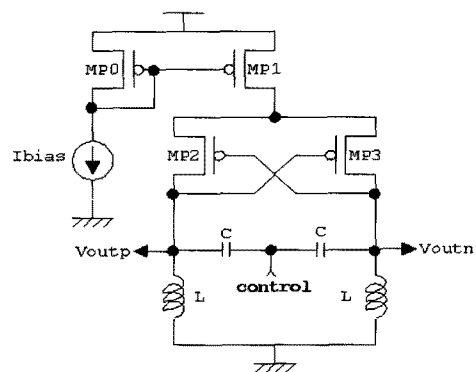


그림 3. LC 발진기 형태의 DCO 회로의 간략도
Fig. 3. Simplified circuit for LC oscillator type DCO.

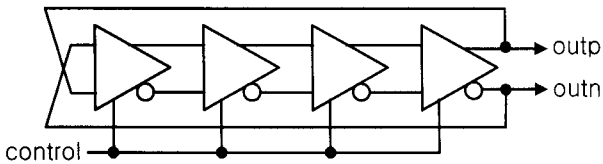


그림 4. 링 발진기 형태의 DCO 회로의 간략도
Fig. 4. Simplified circuit for ring oscillator type DCO.

설계된다.

LC 발진기 형태의 DCO는 그림 3과 같이 발진기의 주파수가 L과 C 및 교차 결합된 트랜지스터 쌍에 의해 구성되며, 벡터가 아닌 일반 캐패시터를 디지털 제어 신호에 따라 온/오프 스위칭하여 전체 캐패시턴스를 설정함으로써 출력 주파수를 결정하게 된다. 이 구조는 비교적 낮은 위상 잡음을 갖는 높은 주파수 신호를 생성할 수 있는 장점이 있는 반면에, L과 C 및 주요 코어 부분이 아날로그 회로로 구성되어 설계의 난이도가 높고, 소형화 및 저전력 구현에도 불리한 점이 있다^[3].

한편, 그림 4와 같은 링 발진기 형태의 DCO는 인버터 또는 반전 증폭기를 여러 단으로 구성하여 디지털 제어 신호에 의해 조절되는 각 단의 지연시간의 총합에 의해 출력 주파수가 정해지는 구조이다. 이 형태는 아날로그 회로의 성격이 적으므로 디지털 공정에서 소형화 및 저전력 구현에 유리한 점이 있다.

3. 제어 코드 생성 기법

그림 5는 기준 클럭의 주파수와 DCO 출력의 주파수를 비교한 결과에 의하여 이진 검색기가 DCO बैं크의 하위 4 비트를 "0110"로 결정하는 동작 예를 보여준다. 기준 클럭과 발진 클럭의 주파수를 비교하여 발진기 बैं크

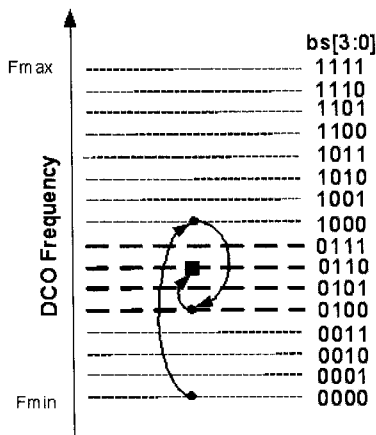


그림 5. 제안하는 디지털 PLL의 동작 예
Fig. 5. Example of the proposed digital PLL operation.

크 코드의 MSB부터 차례로 결정되기 시작한다. 일단 बैं크 코드가 결정되면, 그 이후에는 정해진 बैं크 코드의 하위 2 비트가 2-비트 업-다운 카운터의 동작에 의해 정해지고, 그 결과는 잡음 형성 기능을 갖는 SDM에 입력되어 DCO의 발진 주파수를 제어하게 된다.

4. 시그마-델타 변조 기법

DCO의 제어 코드의 생성에서는 양자화 잡음의 영향을 최소화하는 것이 요구되며 여기에는 난수 (random number) 발생 방식 등도 사용 가능하지만 저주파의 잡음을 고주파 쪽으로 몰아내는 특성을 갖는 SDM이 가장 적합하다^[4]. SDM은 PLL의 위상 잡음을 감소시키는 효과가 있으며, 그 구현이 디지털 로직에 의해 이루어지므로 반도체 공정변이에 무관하게 좋은 특성을 나타내는 것도 집적회로 제작에 있어서 매우 중요한 요인이 된다.

시그마-델타 방식도 차수, 다단의 구성방식 및 양자화 비트수에 의해 여러 가지로 선택적인 설계가 가능하다. 차수가 높아질수록 저주파의 잡음이 감소하지만 안정도가 떨어지게 되며, 일렬 방식을 사용하면 그 구성이 간단하지만 역시 안정도가 떨어지게 되며, 병합 방식을 이용한 MASH 구조는 안정도가 유리하지만 분주기 및 위상 검출기 설계가 어려워진다.

그림 6은 본 논문에서 제시하는 일렬 방식 3차 1비트 SDM의 구조를 나타낸다. H(z)는 누산기 (accumulator)로서 한 클럭 지연 후 누적하여 더하는 역할을 수행하며 누산기의 총 개수가 차수가 된다. X(z)는 입력 신호로서 주파수 합성에서 채널을 결정하는 정보를 가지며, E(z)은 양자화 잡음, Y(z)는 출력 신호로서 n-비트 양자화를 거치면 2ⁿ가지 종류의 값을 가지게 되며, 그 패

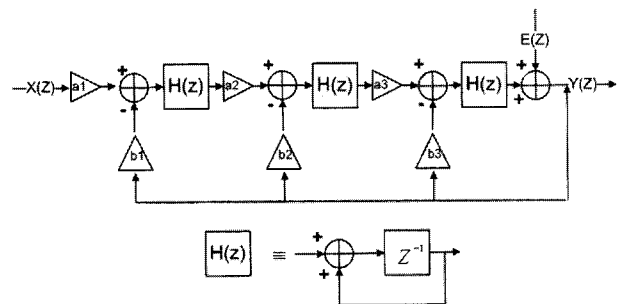


그림 6. 직렬 방식 3차 1비트 시그마-델타 변조기 블록도
Fig. 6. 3rd-order 1-bit single stage sigma-delta modulator.

턴은 저주파의 잡음이 고주파 쪽으로 밀려가는 형태를 갖게 된다.

그림 6의 잡음 전달 함수 $H_{NTF}(z)$ 는 식 (1)과 같이 표현되며, 식 (2)는 잡음 전달 함수를 이용한 시그마-델타 변조기의 위상 잡음 함수이다.

$$H_{NTF}(z) = \frac{z^3 - 3 \cdot z^2 + 3 \cdot z - 1}{z^3 - 1.162 \cdot z^2 + 0.6959 \cdot z - 0.1378} \quad (1)$$

$$L(z) = \frac{(2\pi \cdot \Delta)^2}{12f_{PFD}} \cdot \left(\frac{H_{NTF}(z)}{1 - z^{-1}} \right)^2 \quad (2)$$

Δ : step size of the quantizer

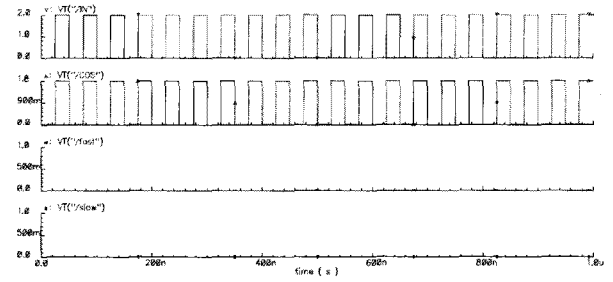
IV. 로직 설계 및 모의실험

1. 광대역 고속 주파수 검출기의 설계

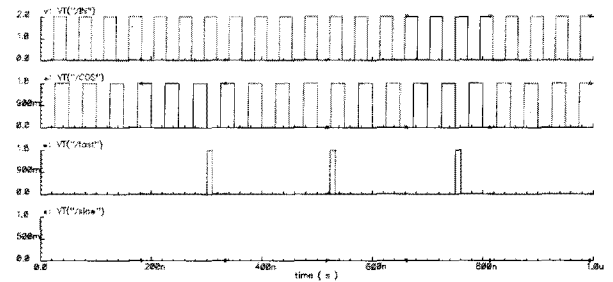
본 논문에서 제안하는 디지털 PLL의 핵심인 광대역 고속 주파수 검출기의 모의실험 결과를 그림 7(a)~(c)에 나타내었다. DCO에서 생성되어 분주된 클록 신호의 주파수 (F_{CKD})와 기준 클록 (F_{CKR}) 신호의 주파수 차이를 비교하여, 두 주파수가 일치하면 그림 7(a)와 같이 fast 및 slow 신호가 나타나지 않으며, DCO에서 생성되어 분주된 클록 신호의 주파수가 기준 클록 신호의 주파수보다 빠르거나 늦을 때는 그림 7(b)와 그림 7(c)와 같이 fast 신호 또는 slow 신호가 나타나게 된다. fast 신호 또는 slow 신호의 펄스 열의 밀도는 비교되는 두 주파수의 차이 정도를 나타내는데, WDLQ를 적용한 주파수 검출기의 주파수 검출 범위 및 검출기 출력 밀도 (%)의 모의실험 결과는 그림 8과 같다. 기존의 일반적인 카운터 주파수 비교 방식에 비하면 약 50% 이상 빠른 비교 속도 결과를 나타낸다. 이것은 전체적인 PLL의 고속 락킹 특성에 주요한 역할을 한다.

2. DCO 코드 생성기의 설계

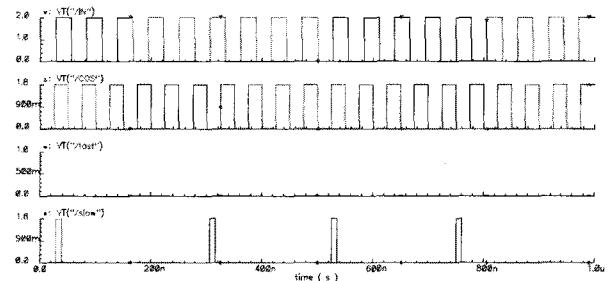
DCO에서 생성되어 분주된 클록 신호의 주파수는 기준 클록 신호와 비교되며, 그림 9와 같은 이진 검색기 동작을 거쳐 발진기 뱅크 코드의 MSB부터 차레로 결정되기 시작한다. 일단 뱅크 코드가 결정되면, 그 이후에는 정해진 뱅크 코드의 하위 2 비트가 업-다운 카운터의 동작에 의해 정해지고, 그 결과는 잡음 형성 기능을 갖는 SDM에 입력되어 DCO의 발진 주파수를 제어하게 된다. 그림 10은 DCO 코드 제어 생성기의 동작에



(a) 주파수 검출기의 주파수 비교 특성 ($F_{CKD} = F_{CKR}$)



(b) 주파수 검출기의 주파수 비교 특성 ($F_{CKD} > F_{CKR}$)



(c) 주파수 검출기의 주파수 비교 특성 ($F_{CKD} < F_{CKR}$)

그림 7. 광대역 고속 주파수 검출기의 모의실험 결과
Fig. 7. Simulation results of wide-range fast frequency detector.

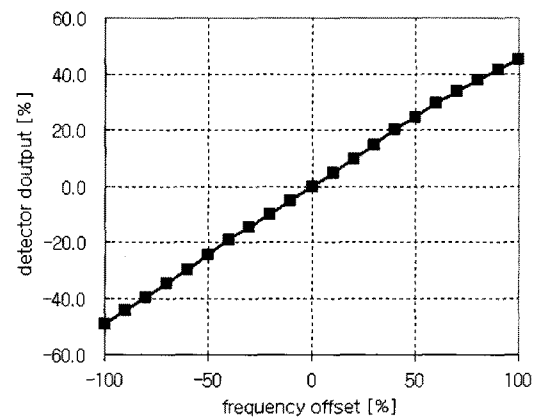


그림 8. 광대역 고속 주파수 검출기의 주파수 검출 범위
Fig. 8. Frequency detection range of WDLQ-based fast frequency detector.

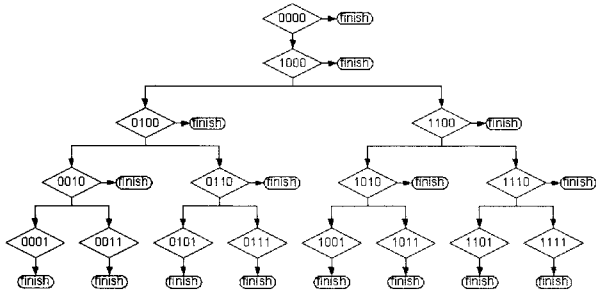


그림 9. DCO 코드 생성기의 이진 검색 동작
Fig. 9. Binary search operation of DCO code generator.

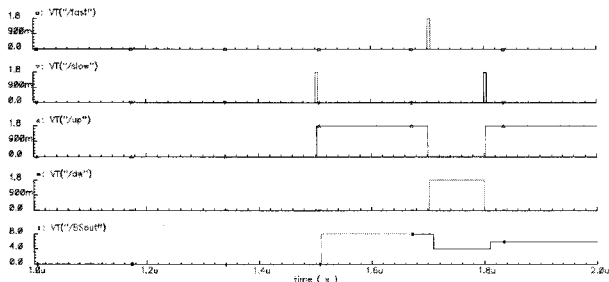
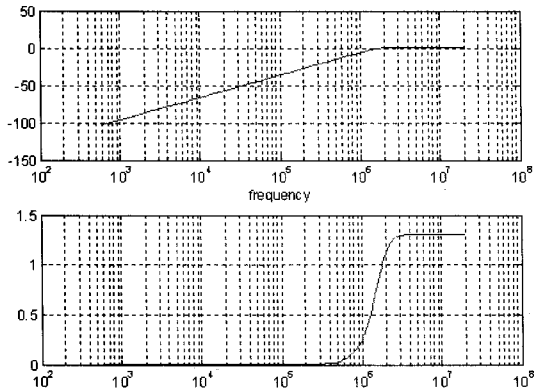
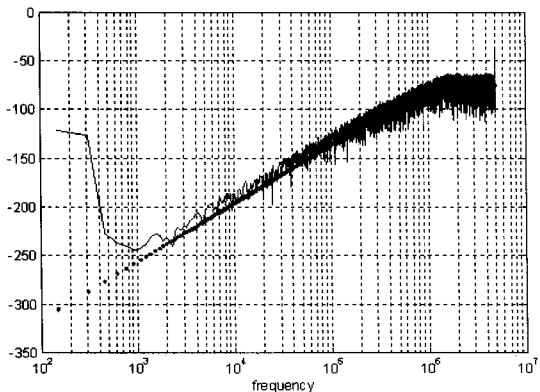


그림 10. DCO 제어 코드 모의실험 결과 (0→8→4→6)
Fig. 10. Simulation results of DCO code (0→8→4→6).



(a) 3 비트 SDM 블록의 잡음 전달 함수



(b) 3 비트 SDM 블록의 PSD 모의실험 결과

그림 11. WDLQ 주파수 검출기의 모의실험 결과
Fig. 11. Simulation results of WDLQ frequency detector.

의해 DCO 제어 코드의 하위 4 비트가 0→8→4→6 으로 결정되는 모의실험 결과 파형을 나타낸다.

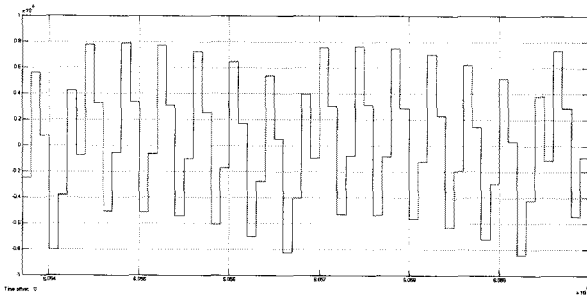
DCO의 주파수 제어에 사용되기 위한 적용한 1비트 3차 직렬 구조의 SDM의 동작은 Matlab Simulink에 의한 모의실험에 의해 잡음 형성 현상을 고려하여 설계하였다. 안정도를 보장하는 SDM의 계수는 Butterworth 저역 필터로부터 얻을 수 있다. Butterworth 저역 필터로부터 얻은 특성 함수의 pole-zero plot을 그려보면 모든 pole들이 단위 원의 우측 내부에 존재함을 알 수 있으며 이것은 안정도를 보장하는 하나의 지표가 된다. 하지만 SDM은 양자화 과정을 거치면서 비선형 특성을 갖게 되므로 특성 함수의 모든 pole이 단위 원의 우측 내부에 존재하여도 반드시 안정적으로 수렴하는 것을 보장하는 것은 아니다. 따라서 정해진 계수를 이용하여 많은 시뮬레이션을 통하여 수렴을 확인하여야 한다.

시스템 규격에 적합한 Butterworth 저역 필터의 pole을 먼저 정한 후 이에 해당하는 그림 6의 계수 b1, b2, b3를 구하고 a1, a2, a3에 의해 적절히 계수를 조정하면 원하는 SDM을 설계할 수 있다. 이 때, 설계된 시그마-델타 변조기로부터 위상잡음을 얻어낸 후 시스템 규격에 부합하지 않으면 다시 Butterworth 저역 필터의 대역폭을 조정하는 단계로 반복되어야 한다.

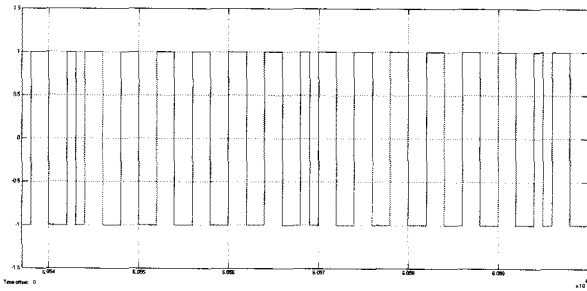
기준 주파수 40 Mhz일 때 차단 주파수를 1.72 Mhz로 정하여 설계한 잡음 전달 함수는 그림 11(a)과 같이 1.3 dB의 최대값을 갖는 것을 확인하였으며, Simulink 모의실험 결과 그림 11(b)와 같은 전력 스펙트럼 밀도를 갖으며 안정적으로 수렴되는 것을 확인하였다. 출력 데이터를 FFT 취한 결과 실선의 이론적인 모델과 일치함을 알 수 있으며, 실제로 SDM의 출력 데이터 패킷의 저주파 성분의 잡음이 고주파 쪽으로 밀려가서 잡음 형성이 일어난 결과를 확인할 수 있다.

3. 시스템 모의실험

그림 12와 그림 13은 본 논문에서 제안한 디지털 PLL의 시스템 모의실험 결과를 나타낸다. 기준 클럭의 주파수와 DCO 출력의 주파수를 비교한 결과에 의한 fast 및 slow 신호에 의하여 이진 검색기 및 2-비트 업-다운 카운터가 동작하게 되고, 그 결과는 잡음 형성 기능을 갖는 SDM에 입력되어 그림 12와 같은 DCO 제어 신호를 생성하여 최종적인 발진 주파수를 제어하여 전체적으로 디지털 PLL이 그림 13과 같이 락킹이 되어 출력 주파수가 결정되도록 한다.



(a) 시그마-델타 변조기의 최종 출력 신호



(B) DCO 제어 신호

그림 12. DCO 제어 신호의 모의실험 결과

Fig. 12. Simulation results of DCO control signal

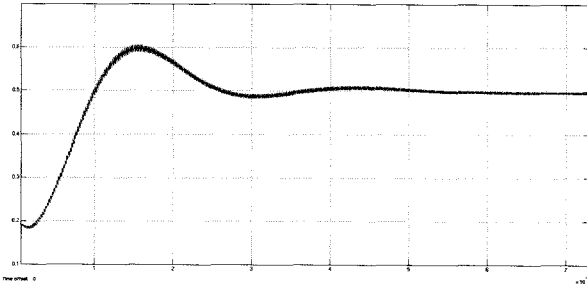


그림 13. 제안된 디지털 PLL의 시스템 모의실험 결과

Fig. 13. Simulation results of the proposed digital PLL.

V. 결 론

본 논문에서는 디지털 PLL의 성능 개선을 위하여 고속의 락킹 및 광대역 응용에 적합한 광대역 고속 디지털 PLL의 구조를 제안하였다. 고속의 락킹과 광대역 주파수 비교 특성을 갖도록 광대역 디지털 로직 직교상관기를 적용하여 광대역 특성을 갖는 주파수 검출기를 설계하였고, 이진 검색기와 2-비트 업-다운 카운터에 의해 DCO의 बैं크가 정해지도록 하였다. 잡음 형성 특성을 갖는 SDM을 적용하여 양자화에 의한 잡음으로부터 추가되는 위상 잡음을 감소시키도록 하였으며, 전체적인 블록을 디지털화 하는 것에 목적을 두었다. 제안된 구조는 최근의 휴대용 멀티미디어 통신 단말기 등에

서 요구되는 고속의 락킹 및 광대역 지원, 그리고 저전력 디지털 PLL의 구현에 적합하다.

참 고 문 헌

- [1] Robert Bogdan Staszewski et al, "All-Digital PLL and Transmitter for Mobile Phones," IEEE, Solid-State Circuits, Vol. 40, no. 12, pp. 2469-2482, Dec. 2005.
- [2] 안태원, 윤찬근, 문용, "IEEE 802.11a/b/g 무선 랜을 위한 고속 AFC 기법의 CMOS LC VCO의 설계," 대한전자공학회 논문지, 제43권 SD편 제9호, 552-557쪽, 2006년 9월
- [3] Jingcheng Zhuang et al., "A 3.3 GHz LC-Based Digitally Controlled Oscillator with 5kHz Frequency Resolution," IEEE Asian Solid-State Circuits Conference, pp. 428-431, 2007.
- [4] 안태원, 이원석, "분수형 주파수 합성기를 위한 3비트 4차 시그마-델타 변조기의 설계," 대한전자공학회 논문지, 제41권 TE편 제1호, 7-14쪽, 2004년 3월

저 자 소 개

안 태 원(정회원)
대한전자공학회 논문지
제45권 IE편 제4호 참조