

논문 2009-46SD-3-8

HDTV 응용을 위한 10비트 200MS/s 75.6mW 0.76mm² 65nm CMOS 파이프라인 A/D 변환기

(A 10b 200MS/s 75.6mW 0.76mm² 65nm CMOS Pipeline ADC for HDTV Applications)

박범수*, 김영주*, 박승재*, 이승훈***

(Beom-Soo Park, Young-Ju Kim, Seung-Jae Park, and Seung-Hoon Lee)

요약

본 논문에서는 HDTV와 같이 고해상도 및 고속의 동작을 동시에 요구하는 고화질 영상시스템 응용을 위한 10비트 200MS/s 65nm CMOS ADC를 제안한다. 제안하는 ADC는 고속 동작에서 저전력 소면적 구현에 적합한 4단 파이프라인 구조를 기반으로 설계되었으며, 입력단 SHA 회로에서는 1.2V의 낮은 단일 전원 전압에서도 높은 입력 신호를 처리하기 위해 4개의 커패시터를 기반으로 설계하여 1.4V_{p-p}의 입력 신호를 ADC 내부 회로에서는 1.0V_{p-p}로 낮추어 사용할 수 있도록 하였다. 또한 높은 전압이득을 갖는 증폭기를 필요로 하는 SHA와 MDAC1은 출력 임피던스가 감소하는 65nm CMOS 공정의 제약 사항을 극복하기 위해 통상적인 2단 증폭기 대신 3단 증폭기 구조를 기반으로 설계하였으며 200MS/s 높은 동작 속도를 고려하여 RNMC 및 multipath 주파수 보상기법을 추가하여 설계하였다. 전력 소모 최소화를 위해 스위치 기반의 바이어스 전력 최소화 기법을 sub-ranging flash ADC에 적용하였고, 기준 전류 및 전압 발생기를 온-칩으로 집적하는 동시에 외부에서도 인가할 수 있도록 하여 시스템 응용에 따라 선택적으로 사용할 수 있도록 하였다. 제안하는 시제품 ADC는 65nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 10비트 해상도에서 각각 최대 0.19LSB, 0.61LSB 수준을 보이며, 동적 성능으로는 150MS/s와 200MS/s의 동작 속도에서 각각 54.8dB, 52.4dB의 SNDR와 72.9dB 64.8dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 0.76mm²이며, 1.2V 전원 전압과 200MS/s의 동작 속도에서 75.6mW의 전력을 소모한다.

Abstract

This work proposes a 10b 200MS/s 65nm CMOS ADC for high-definition video systems such as HDTV requiring high resolution and fast operating speed simultaneously. The proposed ADC employs a four-step pipeline architecture to minimize power consumption and chip area. The input SHA based on four capacitors reduces the output signal range from 1.4V_{p-p} to 1.0V_{p-p} considering high input signal levels at a low supply voltage of 1.2V. The proposed three-stage amplifiers in the input SHA and MDAC1 overcome the low output resistance problem as commonly observed in a 65nm CMOS process. The proposed multipath frequency-compensation technique enables the conventional RNMC based three-stage amplifiers to achieve a stable operation at a high sampling rate of 200MS/s. The conventional switched-bias power-reduction technique in the sub-ranging flash ADCs further reduces power consumption while the reference generator integrated on chip with optional off-chip reference voltages allows versatile system applications. The prototype ADC in a 65nm CMOS technology demonstrates a measured DNL and INL within 0.19LSB and 0.61LSB, respectively. The ADC shows a maximum SNDR of 54.8dB and 52.4dB and a maximum SFDR of 72.9dB and 64.8dB at 150MS/s and 200MS/s, respectively. The proposed ADC occupies an active die area of 0.76mm² and consumes 75.6mW at a 1.2V supply voltage.

Keywords : 고해상도, RNMC, multipath, 65nm, CMOS, ADC

* 정회원, *** 평생회원, 서강대학교 전자공학과

(Dept. of Electronic Engineering, Sogang University)

※ 본 연구는 삼성전자 및 IDEC에 의해 지원되었음.

접수일자: 2008년11월26일, 수정완료일: 2009년2월23일

I. 서 론

최근 Liquid Crystal Display (LCD), Plasma Display Panel (PDP) 등 Flat Panel Display 시장의 지속적인 성장과 더불어 넓은 화면과 높은 선명도를 지닌 텔레비전에 대한 소비자의 요구가 급증함에 따라 대형 고화질 영상 시스템 관련 기술 개발이 가속화되고 있다. 최근에는 다양한 HDTV 방송 중에서 HD1080i가 가장 널리 사용되고 있으며, 기존의 HD1080i 방송 시스템은 초당 60프레임의 프레임 전송 비율을 사용하였으나 비월주사 방식으로 인해 야기되는 화면의 흐림 현상을 완화시키기 위해 시간적 해상도를 증가시켜 프레임 전송 비율을 초당 120프레임으로 높여 사용하고 있다. 그림 1은 HDTV 방송 시스템에 일반적으로 사용되는 디코더의 블록 다이어그램이며, RGB 신호를 포함한 아날로그 신호를 디지털로 변환하여 뒷단으로 전달하기 위한 A/D 변환기 (Analog-to-Digital Converter : ADC)는 시스템의 인터페이스 부분에 필요한 핵심 아날로그 부품이다. 높은 선명도를 요구하는 HDTV는 10비트 이상의 높은 해상도를 필요로 하며, 200만 화소를 지원하며 초당 60 프레임의 영상을 제공하는 HD1080i의 경우에는 75MHz의 최대 동작 속도를, 초당 120프레임의 영상을 제공하는 HD1080i의 경우 이보다 2배 정도 빠른 150MHz 이상의 높은 주파수에서 동작하는 ADC를 필요로 한다.

한편, CMOS 공정 기술의 발달로 통상적인 2단 증폭기 구조로 구현 가능한 10비트 수준의 저전력 고속 파이프라인 ADC들이 최근 많이 개발되고 있는 추세이다^[1~4]. 또한, 90nm 및 65nm CMOS 공정 등 최신 미세 나노 공정을 사용하게 되면서 전원 전압이 더욱 낮아지

고 증폭기의 전압 이득은 감소함에 따라 이러한 공정상의 한계를 극복하기 위해 다양한 방식의 접근이 시도되고 있다. 먼저, 증폭기의 전압 이득을 향상시키기 위해 나노 공정에서 일반적으로 제공하는 기본 소자 대신 추가적인 마스크를 사용하여 소자의 성능을 향상시키는 방법이 있으나, 칩 제작비용이 증가하여 경제성이 낮다는 단점이 있다^[5]. 또한, 전압 이득이 낮은 증폭기를 사용하는 대신 ADC의 동작 구조를 개선하여 해상도를 향상시킨 기술로 reference scaling, correlated double sampling, correlated level shifting 등이 있으나, 증폭기의 리셋 시간이 생략되어 memory effect 문제가 있으며, 필요한 커패시터 수가 증가하고 동작 속도가 제한되는 단점이 있다^[6~8]. 따라서 고해상도 구현을 위해 증폭기 자체 전압 이득을 필요한 만큼 향상시킬 수 있는 이득-부스팅 (gain-boosting) 및 다단 증폭기 구조를 사용하거나 공정 기술의 발달로 디지털 소자의 전력소모와 면적이 작아지는 경향을 고려하여 추가적인 디지털 방식의 보정기법을 적용하는 것이 최근 고속 고해상도 ADC의 설계 방향이라 할 수 있다^[9]. 본 논문에서 제안하는 ADC는 이러한 기존 기술들의 장단점을 고려하여 사용되는 소자 및 회로 숫자를 최소화하기 위해 필요한 부분에 2단 혹은 3단 증폭기를 적절히 사용하는 파이프라인 구조로 설계하여 10비트의 높은 해상도에서 200MHz의 고속 동작이 가능하게 하였다.

본 논문의 II 장에서는 제안하는 ADC의 전체 구조를 설명하며, III 장에서 제안하는 회로 설계 기법 및 레이아웃 기법을 간략히 요약한다. IV 장에서는 제안하는 시제품 ADC의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 10비트 200MS/s 65nm CMOS ADC는 고속 고해상도 구현에 적합한 3-4-4-2의 4단 파이프라인 구조를 기반으로 하며 전체 구조는 그림 2와 같다. 제안하는 ADC의 주요 설계 목표는 1.2V의 낮은 단일 전원 전압에서 1.4V_{p-p}의 높은 신호 범위를 가진 차동 입력 신호를 200MHz의 빠른 동작속도로 처리하면서 10비트의 높은 해상도를 유지하는 것이며, ADC에 사용되는 증폭기의 전압 이득이 작아지는 65nm CMOS 공정의 제한사항 등을 종합적으로 고려하여 다음과 같은 설계 기법을 적용하였다.

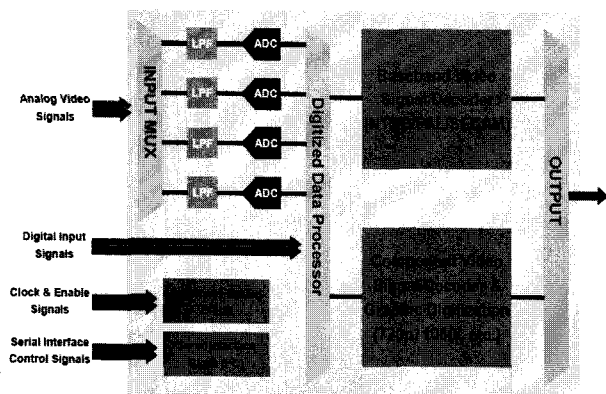


그림 1. HDTV 시스템 응용을 위한 비디오 디코더
Fig. 1. Block diagram of a video decoder in HDTV systems.

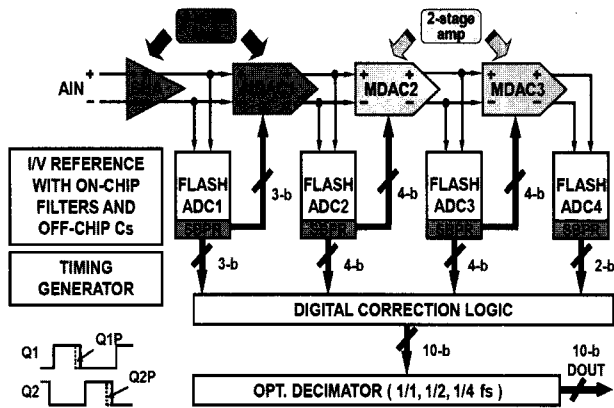


그림 2. 제안하는 10비트 200MS/s 65nm CMOS ADC
Fig. 2. Proposed 10b 200MS/s 65nm CMOS ADC.

낮은 전원 전압에서 높은 입력 신호를 처리하기 위해 입력단 증폭기 (Sample-and-Hold Amplifier : SHA)를 네 개의 커패시터를 사용하는 구조로 설계하여, ADC의 입력단에서 $1.4V_{pp}$ 의 입력신호를 $1.0V_{pp}$ 로 낮추어 SHA의 출력단 이후부터 ADC 내부회로에서는 $1.0V_{pp}$ 의 신호만 처리하면 되도록 설계하였다. 또한, 입력단 SHA와 첫 번째 Multiplying D/A 변환기 (MDAC1)의 증폭기 구조를 통상적인 2단 구조가 아닌 3단 증폭기를 Reversed Nested Miller Compensation (RNMC) 및 multipath 주파수 보상기법 기반으로 설계하였다. 모든 다단 증폭기의 마지막 단은 common source 구조의 증폭기를 사용하여 증폭기의 출력 신호 범위를 최대화하고 내부의 MOS 트랜지스터가 포화 영역에서 안정적으로 동작할 수 있도록 하였다. 또한, 최종단 FLASH4는 추후 요구되는 시스템 사양에 따라 2비트에서 4비트 해상도로 확장할 수 있도록 설계하였다.

한편, 200MHz의 동작속도와 100MHz Nyquist 입력 주파수에서 10비트 해상도를 유지하기 위해서 SHA 입력단 스위치에 게이트-부트스트래핑 (bootstrapping) 기법을 사용하였으며, sub-ranging flash ADC에는 스위치 기반의 바이어스 전력 최소화 기법 (Switched-Bias Power-Reduction : SBPR)을 적용하여 전체 전력 소모를 최소화하였다. 기준 전압 발생기의 경우 내부에 최적화된 RC 저역 필터와 함께 외부에 연결된 0.1uF 수준의 바이패스 커패시터를 동시에 사용하여 기준 전압의 안정성을 더욱 높이고 외부에서 인가되는 전원 전압, 시스템 클럭 및 입력 신호만으로 독립적인 동작을 할 수 있게 하여 System-on-a-Chip (SoC) 응용뿐만 아니라 단일 칩으로도 사용 가능하게 하였다.

III. 제안하는 ADC 주요 회로 설계

반도체 공정 기술의 발달로 90nm, 65nm 및 45nm 등의 나노 CMOS 공정 기술이 개발되면서 이를 기반으로 제작된 시스템의 처리속도는 빨라지는 반면 면적 및 전력 소모는 감소하고 있다. 그러나 CMOS 공정의 선폭이 수십 나노 단위로 짧아지면서 얻는 장점과 함께 아날로그 회로 설계 및 레이아웃 과정에서 기술적으로 극복해야 하는 여러 제약사항들이 발생하고 있다. 먼저, 짧은 선폭의 채널을 사용하기 때문에 소자의 안정성 문제를 고려하여 사용하는 전원 전압이 점차 낮아지게 되며 65nm CMOS 공정의 경우에는 1.2V, 45nm CMOS 공정은 1.1V의 전원 전압을 일반적으로 사용한다. 이에 반해 문턱전압 (V_{th})의 경우에는 공정의 선폭이 줄어들어도 0.5V 수준으로 거의 일정한 경향을 보이고 있어, 회로 설계 시 사용되는 각각의 MOS 트랜지스터가 안정적으로 포화 영역에서 동작할 수 있는 범위가 줄어들게 되고 처리할 수 있는 최대 신호의 범위가 작아지게 됨을 의미한다. 그림 3은 International Technology Roadmap for Semiconductors (ITRS)에서 2007년도에 발표한 2000년 이후 CMOS 공정 기술의 발전 과정과 전망을 자세히 보여주며, 공정에 따른 전원전압 및 V_{th} 변화를 자세히 나타내고 있다^[10].

이와 같은 CMOS 공정의 발전 추세를 고려할 때, 아날로그 회로에서 가장 중요한 증폭기의 설계가 점점 더 어려워질 것이며 낮은 전원전압에서도 높은 전압 이득을 지니고 높은 범위의 입력신호를 빠른 속도에서 안정적으로 처리하기 위한 기술 개발이 절실하다. 지금까지 고속 고해상도 ADC에 사용된 증폭기는 cascode 구조

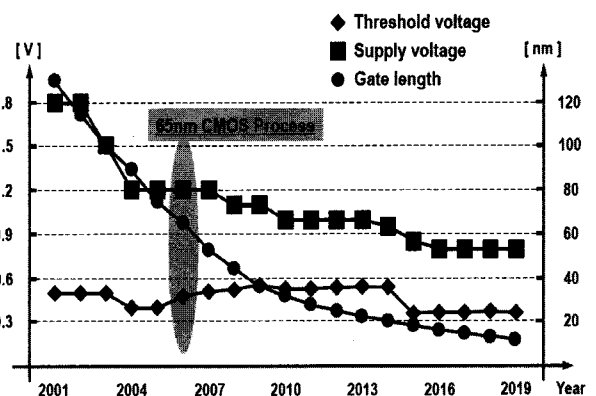


그림 3. CMOS 공정 기술의 발전 과정 및 전망
Fig. 3. Development and prospect of CMOS technologies.

를 기반으로 하여 필요시 gain-boosting 기법을 적용하여 전압 이득을 높이거나 2단 증폭기 정도를 사용해 왔지만, 낮은 전원 전압과 높은 V_{th} 로 인해 점차 cascode 방식 구현에 극심한 제약을 받게 된다. 이에 따라 증폭기의 제약 사항을 시스템 측면에서 해결하거나 증폭기 자체의 성능을 높이기 위해 3단 이상의 증폭기 구조를 사용할 필요가 있으며, 제안하는 ADC는 이러한 향후 공정 개발의 추세를 고려하여 다음의 회로설계 기법을 적용하였다.

1. 높은 입력 신호 처리를 위한 SHA 설계

제안하는 10비트 200MS/s ADC는 HDTV 시스템의 입력으로 들어오는 $1.4V_{p-p}$ 의 신호를 바로 처리하고 증폭기가 포화 영역에서 안정적으로 동작하기 위해 입력단 SHA에 4개의 커패시터를 사용하여 출력 신호의 범

위를 $1.0V_{p-p}$ 로 조절할 수 있도록 하였다. 그림 4는 입력단 SHA의 전체 회로이며 샘플링 모드와 홀딩 모드를 각각 표현하였으며, 이해를 돕기 위해 각 모드에서 사용하는 노드와 스위치를 진하게 나타내었다.

그림 4(a)에 요약된 샘플링 모드의 경우, 커패시터 C1 (C2)에는 게이트-부트스트래핑 스위치를 통과한 입력 신호가 샘플링되며, 커패시터 CD1 (CD2)의 양단에는 바이어스 전압 CML1이 샘플링 된다. 이후 그림 4(b)로 나타낸 홀딩 모드에서는 입력단 스위치에 연결되었던 커패시터 C1 (C2)과 CD1 (CD2)의 노드가 모두 출력단으로 연결되어 C1/(C1+CD1) 비율로 낮아진 SHA의 최종 출력 결과를 얻을 수 있으며, $1.4V_{p-p}$ 의 신호를 $1.0V_{p-p}$ 로 변환하면서 입력단 스위치의 열잡음을 고려하여 $C1=C2=1.2pF$, $CD1=CD2=0.48pF$ 를 사용하였다.

2. RNMC와 Multipath 기반의 3단 증폭기

지금까지 알려진 다단 증폭기의 주파수 보상 기법은 크게 Nested Miller Compensation(NMC), RNMC 및 Hybrid Nested Miller Compensation(HNMC)로 나눌 수 있다^[11]. 저속 대역에서 주로 사용되는 NMC의 경우에는 시스템의 분석 및 확장이 용이하지만 증폭기 단이 증가할수록 최종 출력단에서 바라보는 부하가 증가하여 전력 소모가 많고 동작 속도에 제한을 받는다. 반면 RNMC의 경우, 주파수 보상을 위해 추가되는 커패시터가 내부 증폭기의 입출력에만 연결되어 증폭기 단이 증가하여도 부하의 증가가 없어 고속 동작이 가능하지만, NMC에 비해 안정성이 낮다는 단점이 있다. 한편, HNMC는 NMC와 RNMC의 장단점을 상호 보완하기 위해 제안된 기술이지만, 회로가 복잡하여 실제 구현하기 어려운 단점이 있다. 따라서 제안하는 ADC는 높은 전압 이득이 필요한 SHA와 MDAC1 블록에 전력 소모 대비 동작 속도가 빠르다고 알려진 RNMC 기반의 3단 증폭기를 적용하였으며, 시스템의 안전성을 높이기 위해 추가적인 주파수 보상 기법을 적용하였다. 그림 5는 일반적인 RNMC 기반의 3단 증폭기 구조를 보여주며 이에 대한 전달함수는 식 (1)이고 3개의 pole과 2개의 zero가 존재함을 볼 수 있다. 기존의 3단 증폭기는 수 MHz의 낮은 동작 속도에서 사용되어 왔고, 이러한 저속 동작을 위한 회로에서는 gm_3 를 상대적으로 크게 하여 zero 성분 중 시스템의 안정성에 문제가 되는 Right Half Plane (RHP)에 위치한 zero를 제거하는 방법을 적용해 왔다. 그러나 본 설계와 같은 수백 MHz 대역의

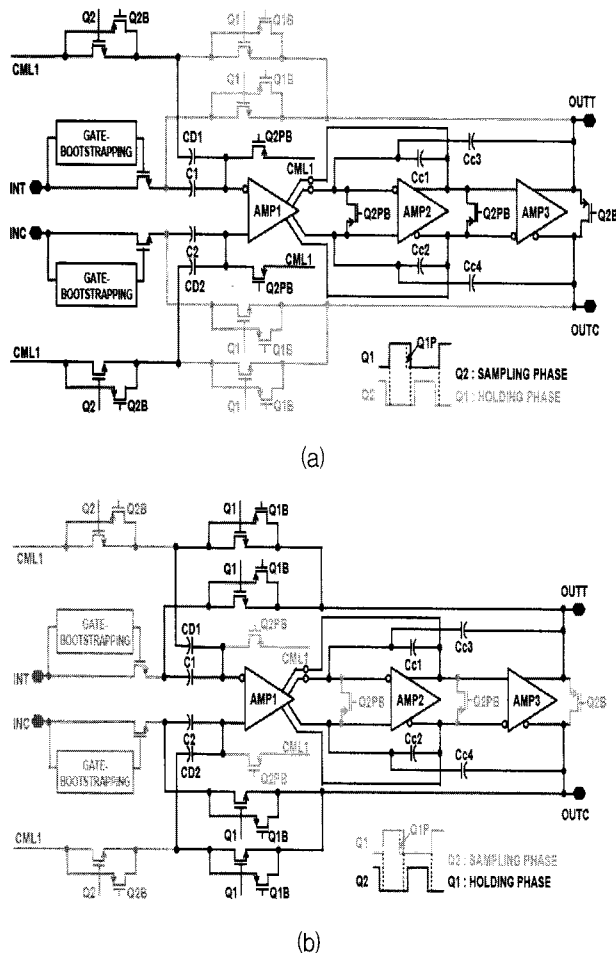


그림 4. 높은 입력신호를 처리하기 위한 입력단 SHA 회로 : (a) 샘플링 모드, (b) 홀딩 모드
Fig. 4. Input SHA processing high-level input signals : (a) sampling mode and (b) holding mode.

$$H(s)_{,RNMC} = \frac{g_{m1}g_{m2}g_{m3}R_1R_2R_3}{(1 + sg_{m2}g_{m3}R_1R_2R_3C_{m1})} \cdot \frac{(1 - s\frac{C_{m2}}{g_{m2}} - s^2\frac{C_{m1}C_{m2}}{g_{m2}g_{m3}})}{(1 + s\frac{C_{m2}(g_{m2}(C_{m1} + C_L) - g_{m3}C_{m1})}{C_{m1}g_{m2}g_{m3}} + s^2\frac{C_{m2}C_L}{g_{m2}g_{m3}})} \quad (1)$$

$$H(s)_{,MRNMC} = \frac{g_{m1}g_{m2}g_{m3}R_1R_2R_3}{(1 + sg_{m2}g_{m3}R_1R_2R_3C_{m1})} \cdot \frac{(1 + s\frac{g_{mf}C_{m1}}{g_{m2}g_{m3}})}{(1 + s\frac{C_{m2}(g_{m2}(C_{m1} + C_L) - g_{m3}C_{m1})}{C_{m1}g_{m2}g_{m3}} + s^2\frac{C_{m2}C_L}{g_{m2}g_{m3}})} \quad (2)$$

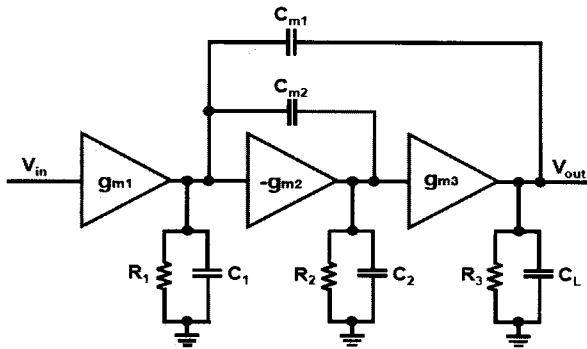


그림 5. 일반적인 RNMC 기반의 3단 증폭기 구조
Fig. 5. Conventional RNMC based three-stage amplifier.

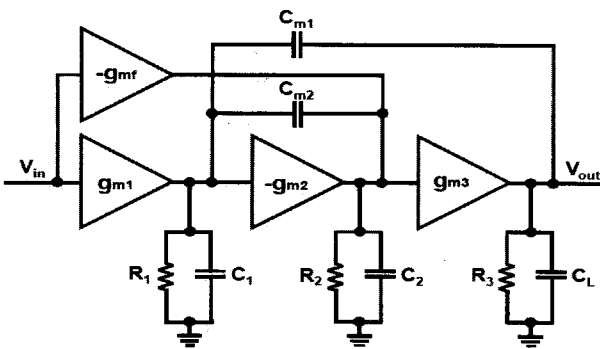


그림 6. 제안하는 RNMC 및 multipath 기반의 3단 증폭기
Fig. 6. Proposed three-stage amplifier based on RNMC and multipath frequency compensation.

고속에서 동작하는 3단 증폭기 설계에서 gm₃를 크게 할 경우, 전체적인 전력 소모가 증가하는 문제가 있으며 각 노드의 기생 성분까지 고려한다면 시스템 설계가 상당히 복잡해지게 된다. 이에 따라 최근에는 gm₃를 gm₂와 동일하게 설정하여 전력 소모를 최소화하는 조건에서, 다양한 feedback 경로를 추가하여 RHP에 위치한 zero를 소거하는 방법이나, zero를 소거하지 않는 구조에서 dominant pole을 결정하는 C_{m1}을 동작 속도에 맞게 설정한 후 transient 실험을 통해 적절한 C_{m2}의 값을 찾아

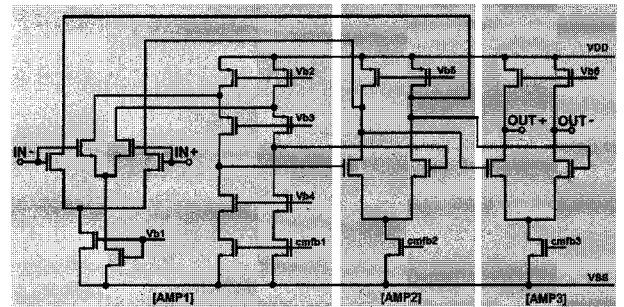


그림 7. 제안하는 3단 증폭기 기반의 SHA 구조
Fig. 7. Proposed three-stage amplifier in the SHA.

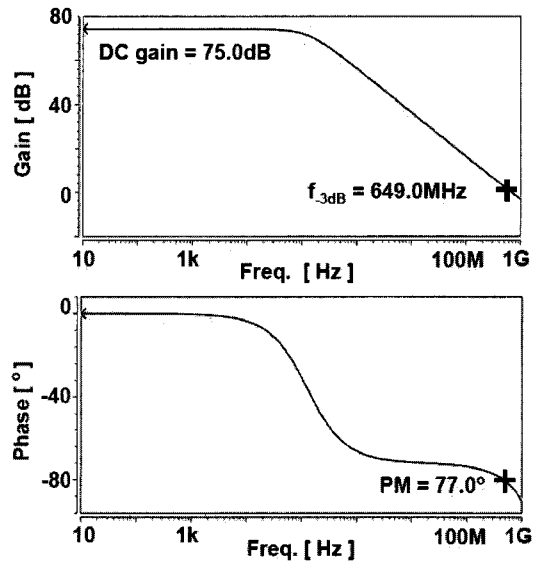


그림 8. SHA의 3단 증폭기 주파수영역 모의실험 결과
Fig. 8. Frequency-domain simulation result of three-stage amplifier in the SHA.

가는 설계 방법이 대안으로 제시되기도 하였다^[12].

따라서 본 설계에서는 그림 6과 같이 3단 증폭기의 입력단과 두 번째 증폭기의 출력단을 연결하는 하나의 feedforward 경로 (-gm_{ff})만을 추가하는 multipath 주파수 보상 기법을 사용하여 RHP에 위치한 zero 성분을 제거하여 위상 여유를 확보하였다. 이와 같이 gm₁ 및

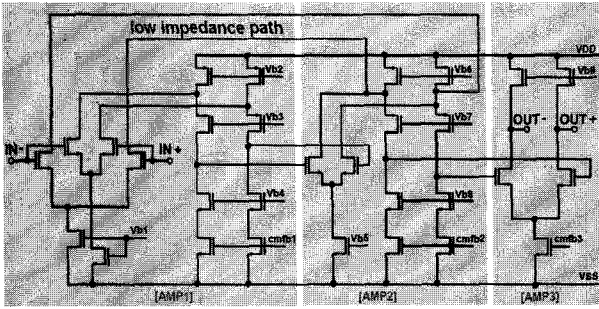


그림 9. 제안하는 3단 증폭기 기반의 MDAC1 구조
Fig. 9. Proposed three-stage amplifier in the MDAC1.

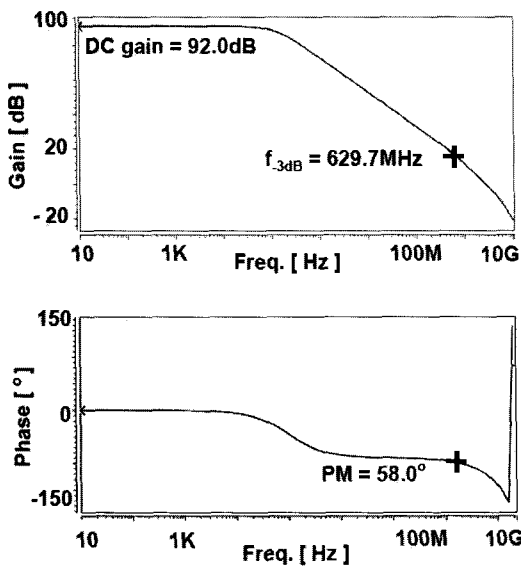


그림 10. MDAC1의 3단 증폭기 주파수영역 모의실험 결과
Fig. 10. Frequency-domain simulation result of three-stage amplifier in the MDAC1.

g_{mf} 와 g_{m2} 및 g_{m3} 동일하게 하여 설계한 결과, 식 (2)와 같이 전달함수를 나타낼 수 있으며 Left Half Plane에 위치한 zero 성분만이 존재함을 알 수 있다.

그림 7은 제안하는 3단 증폭기를 적용한 입력단 SHA 증폭기의 전체 구조이며 높은 전압 이득을 얻기 위해 첫 번째 단을 folded-cascode로 사용하였고 두 번째와 세 번째 단은 1.2V의 낮은 전원 전압과 $1.0V_{D-D}$ 의 출력 신호를 고려하여 common source 구조로 하였으며 공정상의 결함으로 인한 전압 이득의 감소를 고려하여 여유 마진을 두었다. 그림 8은 모의실험 결과로 75dB의 전압 이득과 77°의 안정적인 위상 여유를 얻었으며, 200MHz의 동작 속도에서 12.4mW의 전력을 소비한다.

한편 잔류 전압 증폭을 위해 10비트 해상도에 필요한 높은 전압 이득이 요구되는 MDAC1의 경우, 그림 9과 같이 첫 번째와 두 번째 단을 folded-cascode 구조

로 설계하고 세 번째 단은 common source 구조로 설계하였다. 제안하는 MDAC1의 경우에는 RHP에 위치한 zero를 소거하기 위한 feedforward 경로로 두 번째 단으로의 low-impedance 경로를 선택하였고 그림 10의 모의실험 결과 92dB의 높은 전압 이득과 58°의 위상 여유를 얻었으며 28.3mW의 전력을 소모한다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 10비트 200MS/s ADC는 65nm CMOS 공정으로 제작되었다. 제안하는 시제품 ADC의 칩 사진은 그림 11과 같고 각 블록 간의 간섭 및 전원 전압의 잡음을 줄이기 위해 MOS decoupling 커패시터를 온-칩으로 집적하였다.

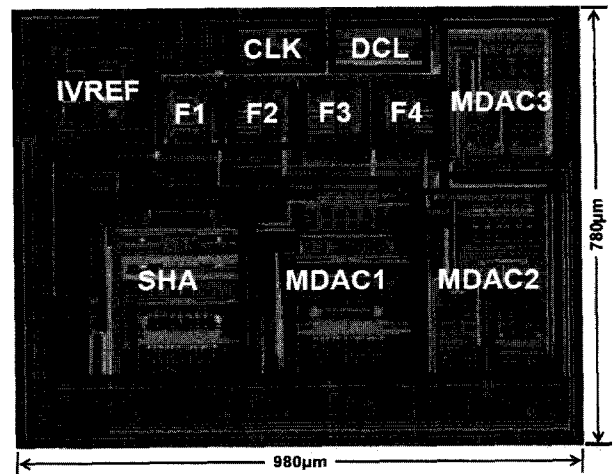


그림 11. 시제품 12비트 200MS/s ADC 칩 사진 (0.98mm × 0.78mm)

Fig. 11. Die photograph of the prototype 12b 200MS/s ADC (0.98mm × 0.78mm).

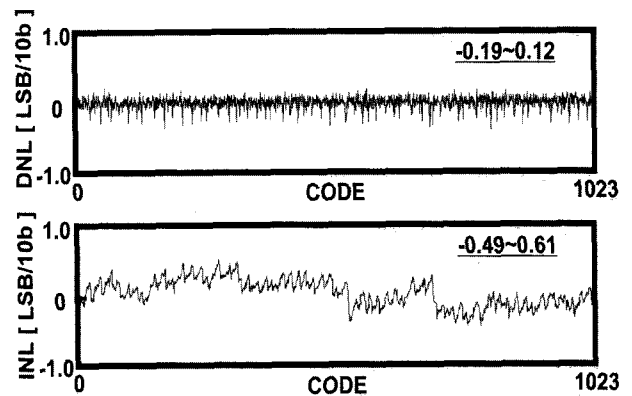


그림 12. 시제품 ADC의 측정된 DNL 및 INL

Fig. 12. Measured DNL and INL of the prototype ADC.

표 1. 동작 속도가 150MHz 이상인 10비트 CMOS ADC의 성능 비교

Table 1. Performance comparison of recently reported 10b CMOS ADCs operating at a 150MS/s level.

	Speed	Supply	Power	mW/MHz	Figure of Merit	Process
This work	200MHz	1.2V	75.6mW	0.38mW/MHz	1.11pJ/conv-step	65nm CMOS
[13]	160MHz	1.0V	84.0mW	0.53mW/MHz	0.89pJ/conv-step	90nm CMOS
[14]	200MHz	1.8V	104.0mW	0.52mW/MHz	1.06pJ/conv-step	0.13um CMOS
[15]	205MHz	1.2V/3.3V	92.5mW	0.45mW/MHz	0.88pJ/conv-step	0.13um CMOS
[16]	220MHz	1.2V	135.0mW	0.61mW/MHz	1.48pJ/conv-step	0.13um CMOS
[17]	210MHz	1.8V	140.0mW	0.67mW/MHz	0.90pJ/conv-step	0.18um CMOS

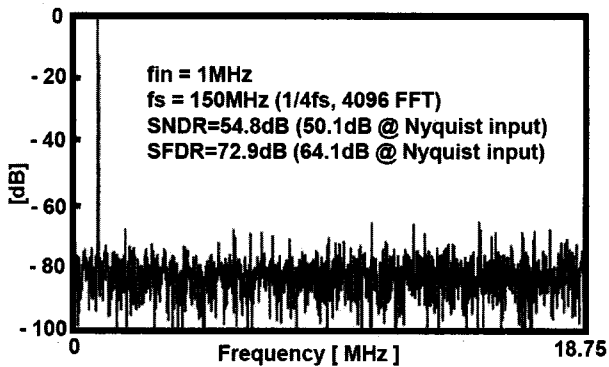


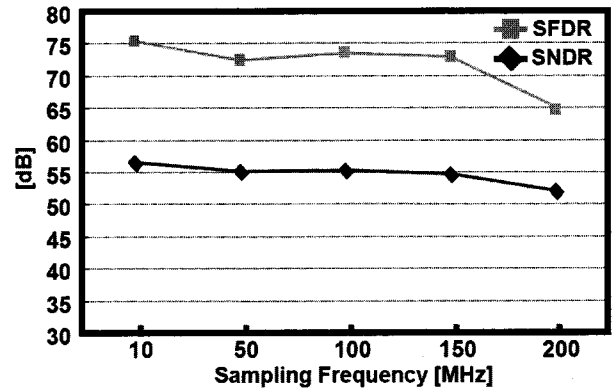
그림 13. 시제품 ADC의 측정된 FFT 스펙트럼 (1/4 fs 다운 샘플)

Fig. 13. Measured FFT spectrum of the proposed ADC (1/4 fs down sampled).

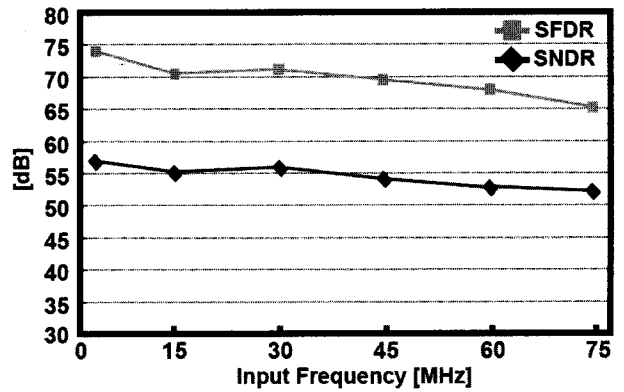
시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 0.76mm²이며, 측정된 DNL 및 INL은 그림 12에서 보는 바와 같이 각각 최대 0.19LSB, 0.61LSB 수준이다. 시제품 ADC는 1.2V 전원 전압과 200MS/s의 샘플링 속도의 조건 하에 동작할 때 75.6mW의 전력을 소모하며 동작 속도에 대한 소비 전력으로 나타내는 전력 효율은 0.38mW/MHz이다. 최근에 학회 및 저널을 통해 발표된 ADC 중 10 비트 이상의 해상도를 가지면서 샘플링 속도가 150MHz 이상의 CMOS ADC와 본 논문에서 제안하는 ADC의 성능 비교 결과를 표 1에 정리하였다.

그림 13은 시제품 ADC의 신호 스펙트럼을 보여주고 있으며 150MS/s의 샘플링 속도에서 1MHz의 sine 입력에 대한 결과를 나타낸다. 디지털 출력은 150MS/s로 동작하는 ADC 내부의 온-칩 분주기를 외부 핀을 조절하여 1/4로 다운 샘플링 하여 측정하였다.

그림 14는 제안하는 시제품 ADC의 측정된 동적 성



(a)



(b)

그림 14. 시제품 ADC의 측정된 동적 성능 : 측정된 SFDR과 SNDR 대비 (a) 샘플링 및 (b) 입력 주파수

Fig. 14. Dynamic performance of the prototype ADC : Measured SFDR and SNDR versus (a) fs and (b) fin.

능을 보여준다. 그림 14(a)는 ADC의 샘플링 속도를 10MS/s에서 200MS/s까지 증가시킬 때, 1MHz의 차동 입력 주파수에서의 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)를 나타낸 것이다. 샘플링 속도가 150MS/s까지 동작하는 동안 시제품 ADC의 측정된 SNDR과 SFDR은 각각 54.8dB, 72.9dB 이상 유지되며, 최대 동작 속도인 200MS/s에서는 SNDR과 SFDR이 각각 52.4dB, 64.8dB를 보인다. 그림 14(b)는 150MS/s의 동작 속도에서 입력 주파수를 증가시킬 때의 측정 결과를 나타내며, 입력 신호가 Nyquist 주파수까지 변화함에 따른 SNDR 및 SFDR를 보여주고 있고 측정된 시제품 ADC의 성능을 표 2에 정리하였다.

표 2. 시제품 ADC 성능 요약

Table 2. Performance summary of the prototype ADC.

Resolution	10bits	
Conversion Rate	150MS/s	200MS/s
Process	65nm CMOS	
Input Range	1.4Vp-p differential	
SNDR (at fin = 1MHz)	54.8dB	52.4dB
SFDR (at fin = 1MHz)	72.9dB	64.8dB
DNL	-0.19LSB/0.12LSB	
INL	-0.49LSB/0.61LSB	
ADC Core Power	75.6mW @ 1.2V	
Active Die Area	0.76mm ² (= 0.98mm × 0.78mm)	

V. 결 론

본 논문에서는 HDTV와 같은 고화질 영상처리 시스템에 온-칩으로 응용하기 위한 10비트 200MS/s 65nm CMOS ADC를 제안한다.

제안하는 ADC는 고속 고해상도 동작에 적합한 파이프라인 구조로 설계되었으며, 통상 65nm CMOS 공정에서 발생하는 각종 제약사항들을 해결하기 위해 다음과 같은 설계 기법을 적용하였다. 먼저, 1.2V의 낮은 전원 전압에서 1.4V_{p-p}의 높은 입력 신호를 처리하고 증폭기가 포화 영역에서 안정적으로 동작하기 위해 입력단 SHA에 4개의 커패시터를 사용하여 출력 신호의 범위를 1.0V_{p-p}로 조절하였고 Nyquist 주파수 이상의 입력 신호에 대해서 10비트 이상의 높은 해상도를 유지하기 위해 게이트-부스트레플링이 적용된 스위치를 SHA의 입력단에 사용하였다. 전원전압은 낮아지지만 문턱전압이 높은 상태를 유지하는 미세 나노 CMOS 공정의 개발 추세를 고려하고, 출력 임피던스가 낮아짐에 따라 증폭기의 전압 이득이 감소하는 공정상의 제약사항을 극복하기 위해 입력단 SHA와 MDAC1에는 RNMC와 multipath 기반의 고속 3단 증폭기를 적용하였다. 또한, 전력 소모를 최소화하기 위해 sub-ranging flash ADC에는 스위치 기반의 전력 최소화 기법을 적용하였으며, 고해상도의 ADC를 구현할 때 필요한 안정적인 기준

전압을 생성하기 위해 기준 전류 및 전압 발생기를 온-칩으로 집적하였고 선택적으로 외부에서 기준 전압을 인가할 수 있게 하였다.

제안하는 설계 기법을 적용하여 구현한 시제품 ADC의 칩 면적은 0.76mm²를 차지하며, 측정된 DNL 및 INL은 각각 최대 0.19LSB, 0.61LSB 수준을 나타낸다. 또한, 150MS/s와 200MS/s의 동작 속도에서 측정된 동적 성능으로는 각각 최대 54.8dB, 52.4dB의 SNDR과 72.9dB, 64.8dB의 SFDR을 보여주며, 소모 전력은 1.2V 전원 전압에서 75.6mW이다.

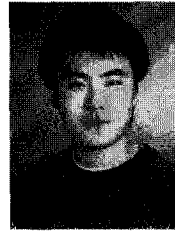
참 고 문 헌

- [1] J. Li, G. Manganaro, M. Courcy, B. M. Min, L. Tomasi, A. Alam, and R. Taylor, "A 10b 170MS/s CMOS pipelined ADC featuring 84dB SFDR without calibration," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2006, pp. 226-227.
- [2] C. C. Hsu, C. C. Huang, Y. H. Lin, and C. C. Lee, "A 10b 200MS/s Pipelined Folding ADC," in *Proc. European Solid-State Circuits Conference*, Sept. 2007, pp. 151-154.
- [3] L. Sumanen, M. Waltari, and K. A. I. Halonen, "A 10-bit 200-MS/s CMOS parallel pipeline A/D converter," *IEEE J. Solid-State Circuits*, vol. 36, no. 7, pp. 1048-1055, July 2001.
- [4] S. C. Lee, Y. D. Jeon, K. D. Kim, J. K. Kwon, J. D. Kim, J. W. Moon, and W. Y. Lee, "A 10b 205MS/s 1mm² 90nm CMOS pipeline ADC for flat-panel display applications," in *ISSCC Dig. Tech. Papers*, Feb. 2007, pp. 458-615.
- [5] M. Boulemnaker, E. Andre, J. Roux, and F. Paillardet, "A 1.2V 4.5mW 10b 100MS/s pipeline ADC in a 65nm CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2008, pp. 250-251.
- [6] G. C. Ahn, P. K. Hanumolu, M. G. Kim, S. Takeuchi, T. Sugimoto, K. Hamashita, K. Takasuka, G. C. Temes, and U. K. Moon, "A 12b 10MS/s Pipelined ADC Using Reference Scaling," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2006, pp. 220-221.
- [7] J. Li and U. K. Moon, "A 1.8-V 67-mW 10-bit 100-MS/s Pipelined ADC Using Time-Shifted CDS Technique," *IEEE J. Solid-State Circuits*, vol. 39, no. 9, pp. 1468-1476, Sept. 2004.
- [8] B. R. Gregoire and U. K. Moon, "An Over-60dB True Rail-to-Rail Performance Using Correlated

Level Shifting and an Opamp with 30dB Loop Gain," in *ISSCC Dig. Tech Papers*, Feb. 2008, pp. 540-541.

- [9] K. W. Hsueh, Y. K. Chou, Y. H. Tu, Y. F. Chen, Y. L. Yang, and H. S. Li, "A 1V 11b 200MS/s Pipelined ADC with Digital Background Calibration in 65nm CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2008, pp. 546-547.
- [10] <http://www.itrs.net>
- [11] R. Eschauzier and J. Huijsing, "Frequency Compensation Techniques for Low-Power Operational Amplifiers", Kluwer Academic Publisher, pp. 160-166, 1995
- [12] S. C. Lee, K. D. Kim, J. K. Kwon, J. D. Kim, and S. H. Lee, "A 10bit 400MS/s 160mW 0.13um CMOS Dual-Channel Pipeline ADC Without Channel Mismatch Calibration," *IEEE J. Solid-State Circuits*, vol. 41, No. 7, pp. 1596-1605, July 2006.
- [13] D. J. Huber, R. J. Chandler, and A. A. Abidi, "A 10b 160MS/s 84mW 1V Subranging ADC in 90nm CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2007, pp. 454-455.
- [14] S. C. Lee, G. H. Kim, J. K. Kwon, J. D. Kim, and S. H. Lee, "Offset and Dynamic Gain-Mismatch Reduction Techniques for 10b 200MS/s Parallel Pipeline ADCs," in *Proc. European Solid-State Circuits Conference*, Sept. 2005, pp. 531-534.
- [15] B. Hernes, J. Bjornsen, T. N. Andersen, A. Vinje, H. Korsvoll, F. Telsto, A. Briskemyr, C. Holdo, and O. Moldsvor, "A 92.5mW 205MS/s 10b Pipeline IF ADC Implemented in 1.2V/3.3V 0.13um CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2007, pp. 462-463.
- [16] J. Li, R. Leboeuf, M. Courcy, and G. Manganaro, "A 1.8V 10b 210MS/s CMOS Pipelined ADC Featuring 86dB SFDR without Calibration," in *Proc. CICC*, Sept. 2007, pp. 317-320.
- [17] B. Hernes, A. Briskemyr, T. N. Andersen, F. Telsto, T. E. Bonnerud, and O. Moldsvor, "A 1.2V 220MS/s 10b pipeline ADC implemented in 0.13um digital CMOS," in *ISSCC Dig. Tech Papers*, Feb. 2004, pp. 256-257.

— 저 자 소 개 —



박 범 수(정회원)

2008년 서강대학교 전자공학과 학사.

2008년~현재 서강대학교 전자공학과 석사과정.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



김 영 주(정회원)

2005년 서강대학교 전자공학과 학사.

2007년 서강대학교 전자공학과 석사.

2007년~현재 서강대학교 전자공학과 박사과정.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



박 승 재(정회원)

2009년 서강대학교 전자공학과 학사.

2009년~현재 서강대학교 전자공학과 석사과정.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 승 훈(평생회원)

1984년 서울대학교 전자공학과 학사.

1986년 서울대학교 전자공학과 석사.

1991년 미 Illinois 대 (Urbana-Champaign) 공학박사.

1986년 KIST 위촉 연구원.

1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.

1990년~1993년 미 Analog Devices 사 senior design engineer.

1993년~현재 서강대학교 전자공학과 교수.

<주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>