

# 데이터 도움 방식의 효율적인 디지털 위성 방송 초기 주파수 추정회로 설계

정회원 박 장 응\*, 종신회원 선우명훈\*

## Design of an Efficient Initial Frequency Estimator based on Data-Aided algorithm for DVB-S2 system

Jang Woong Park\* *Regular Member*, Myung Hoon Sunwoo\* *Lifelong Member*

### 요 약

본 논문은 위성방송 표준인 DVB-S2 (Digital Video Broadcasting - Second Generation)의 복조기 설계에서 중요한 부분 중의 하나인 초기 주파수 추정 회로를 효율적으로 설계하는 방법을 제안한다. DVB-S2에서 초기 주파수 오차는 심볼 전송률의 20%에 해당하며 심볼 전송률이 25Msps일 경우  $\pm 5\text{MHz}$ 에 달한다. 이와 같이 큰 초기 주파수 오차를 추정하기 위해서는 추정 범위가 넓은 알고리즘이 요구된다. 본 논문에서는 데이터 도움 방식의 알고리즘들을 분석하고 성능 비교한 결과 M&M (Mengali & Moreli) 알고리즘이 낮은 SNR에서 우수한 추정 성능을 보여줌을 확인하였다. M&M 알고리즘을 적용한 기존의 주파수 추정 회로는 하드웨어 복잡도가 높기 때문에 자기 상관기와 역 탄젠트기의 수를 줄임으로서 전체 초기 주파수 추정기의 하드웨어 복잡도를 낮추는 방법을 제안한다. 제안된 구조는 기존의 구조에 비해 하드웨어 복잡도가 약 64.5%정도 감소하였으며 Xilinx Virtex II FPGA 검증 보드를 이용하여 제안된 구조를 검증하였다.

**Key Words** : DVB-S2, Initial Frequency Estimator, Autocorreltor, Data-Aided algorithm, Demodulator

### ABSTRACT

This paper proposes an efficient initial frequency estimator for Digital Video Broadcasting-Second Generation (DVB-S2). The initial frequency offset of the DVB-S2 is around  $\pm 5\text{MHz}$ , which corresponds to 20% of the symbol rate at 25Msps. To estimate a large initial frequency offset, the algorithm which can provide a large estimation range is required. Through the analysis of the data-aided (DA) algorithms, we find that the Mengali and Moreli (M&M) algorithm can estimate a large initial frequency offset at low SNR. Since the existing frequency estimator based on M&M algorithm has a high hardware complexity, we propose the methods to reduce the hardware complexity of the initial frequency estimator. This can be achieved by reducing the number of autocorrelators and arctangents. The proposed architecture can reduce the hardware complexity about 64.5% compared to the existing frequency estimator and has been thoroughly verified on the Xilinx Virtex II FPGA board.

### 1. 서 론

디지털 비디오 위성 방송 (DVB-S)은 현재 각국

의 위성방송에 널리 사용되고 있다<sup>[1]</sup>. 그러나 최근 고품질 비디오와 데이터 양방향 서비스의 수요가 증가함에 따라 기존 DVB-S 시스템의 주파수 효율

\* 본 연구는 교육인적자원부 2단계 BK(Brain Korea) 21 과제와 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체 기반기술개발사업(시스템 IC 2010)” 그리고 반도체설계교육센터(IDECC)의 지원을 받아 수행되었습니다.

\* 이주대학교 정보통신대학 전자공학부 SoC 연구실(albapju@ajou.ac.kr, sunwoo@ajou.ac.kr)

논문번호 : KICS2008-12-543, 접수일자 : 2008년 12월 8일, 최종논문접수일자 : 2009년 2월 16일

을 개선한 DVB-S2 표준화 작업이 2003년에 DVB 프로젝트에서 완료되었다<sup>[2]</sup>. DVB-S2는 현재의 전송 방식과 동일한 환경에서 높은 전송 효율과 고신뢰 전송을 가능하게 하며 오류 정정 부호인 LDPC (Low-Density Parity Check) 와 16/32 APSK의 고차 변조 방식을 채택하여 DVB-S에 비해 약 35% 이상의 증가된 채널 용량을 제공한다.

DVB-S2 복조기 설계에 있어서 가장 복잡한 부분은 반송파 주파수 동기회로 이다. DVB-S 시스템과 같은 주파수 오차 환경과 상업적으로 대량 생산을 위한 저가형 발진회로 사용은 매우 큰 반송파 주파수 오차를 초래하였고 이를 추정하기 위한 반송파 주파수 동기회로는 DVB-S에 비해 더욱더 복잡해졌다.

DVB-S2 복조기에서 추정해야 할 초기 주파수 오차는 심볼 전송률이 25Mps일 때 전송률의 20%에 해당하는  $\pm 5\text{MHz}$ 에 달한다. 이렇게 큰 초기 주파수를 추정하기 위해 간단한 데이터 도움 기반의 반송파 주파수 추정 알고리즘들이 제안되었다<sup>[3]</sup>. 대표적인 데이터 도움기반의 알고리즘으로는 M&M (Mengali and Moreli)알고리즘<sup>[4]</sup>, L&R (Luise and Reggiannini)<sup>[5]</sup>알고리즘 그리고 Fitz알고리즘<sup>[6]</sup>이 있다. 본 논문에서는 M&M 알고리즘을 사용하여 초기 주파수 오차를 추정하는 방법을 제안한다. M&M 알고리즘은 L&R 알고리즘과 Fitz 알고리즘에 비해 심볼 전송률의 20%에 해당하는 큰 주파수 오차 추정 범위를 제공한다. 그리고 주파수 오차 추정 정확도는 0dB이하의 매우 낮은 SNR (Signal-to-Noise Ratio)에서 CRB (Cramer-Rao-Bound)에 근접한다. 그러나 M&M알고리즘은 구현 복잡도 측면에서 L&R 알고리즘과 Fitz알고리즘에 비해 상대적으로 높다. 따라서 본 논문에서는 M&M알고리즘의 구현 복잡도를 줄일 수 있는 새로운 구조의 초기 주파수 추정회로를 제안한다. 제안된 초기 주파수 추정 회로는 인접 심볼 간 자기 상관도를 측정하는 자기 상관도 연산기의 수를 줄임으로써 기존의 구조<sup>[7]</sup>에 비해 하드웨어 복잡도를 줄일 수 있다.

본 논문의 구성은 다음과 같다. II장에서는 데이터 도움 알고리즘들을 살펴보고 DVB-S2 환경에서 모의실험을 수행하여 각 알고리즘의 성능을 분석한다. III장에서는 새로운 초기 주파수 추정회로를 제안하고 동작 원리를 설명한다. IV에서는 기존의 구조와 제안된 구조의 성능을 비교한다. 마지막으로 V장에서는 결론을 맺는다.

## II. 데이터 도움 기반의 반송파 주파수 추정 알고리즘

데이터 도움 기반의 반송파 주파수 추정 알고리즘은 훈련 신호열 (Training Sequence)을 이용하여 반송파 주파수 오차를 추정할 수 있다. 본 장에서는 그림 1과 같이 DVB-S2 프레임 구조에서 PLHEADER (Physical Layer frame HEADER)의 26심볼로 구성된 SOF (Start of Frame) 신호열을 이용하여 각 데이터 도움 기반의 알고리즘 성능을 분석한다. 그리고 분석 결과를 바탕으로 초기 주파수 오차를 추정할 수 있는 최적의 알고리즘을 선정한다.

### 2.1 M&M 알고리즘

M&M알고리즘은 다음의 식 (1)과 같이 정의된다.

$$\hat{f}_e = \frac{1}{2\pi T_s} \sum_{k=1}^M l_k \arg [R_n(k) R_n^*(k-1)] \quad (1)$$

식 (1)의  $R_n(k)$ 와  $l_k$ 는 아래 식 (2)과 식 (3)에 정의 된다.

$$R_n(k) = \frac{1}{L_p - k} \sum_{i=k}^{L_p-1} p_i^n c_i^* (p_{i-k}^n c_{i-k}^*)^* \quad (2)$$

$, 0 \leq k \leq M-1$

$$l_k = 3 \frac{(L_p - 1)(L_p - k + 1) - M(L_p - M)}{M(4M^2 - 6ML_p + 3L_p^2 - 1)} \quad (3)$$

식 (2)에서  $p_i^n$ 은  $n$ 번째 파일럿 블록의  $i$ 번째 수신된 파일럿 심볼,  $c_i$ 는  $i$ 번째 훈련 심볼,  $L_p$ 는 파일럿 블록의 길이 그리고  $M$ 은  $L_p/2$ 보다 작은 설계 파라미터를 나타낸다.

식 (1)에서 보는 바와 같이 M&M알고리즘은 인접 파일럿 심볼 간의 위상차를 이용하여 가중치를 곱하여 평균을 구함으로써 주파수 오차를 추정할 수 있다. 그리고 심볼 속도 대비 주파수 오차 ( $\Delta f \times T_s$ )는 1/2 보다 작다.

### 2.1 L&R알고리즘 과 Fitz알고리즘

L&R알고리즘과 Fitz알고리즘은 식 (4)와 식 (5)



그림 1. DVB-S2 물리계층 프레임 구조

에 의해 정의된다.

$$\hat{f}_e = \frac{1}{\pi T_s (M+1)} \arg \left\{ \sum_{k=1}^M R_n(k) \right\} \quad (4)$$

$$\hat{f}_e = \frac{2}{\pi T_s M(M+1)} \sum_{k=1}^M \arg \{ R(k) \} \quad (5)$$

식 (4)에서 보는 바와 같이 L&R 알고리즘은  $R(1)$  부터  $R(M)$ 까지의 복소수 합의 위상을 이용하여 주파수 오차를 추정할 수 있다. 심볼 속도 대비 주파수 오차 ( $\Delta f \times T_s$ )는  $1/M$ 보다 작다. 그리고 식 (5)의 Fitz 알고리즘은 각  $R(k)$ 에 대한 위상의 합을 이용하여 주파수 오차를 추정할 수 있다. 심볼 속도 대비 주파수 오차 ( $\Delta f \times T_s$ )는  $1/2M$ 보다 작다.

### 3. 성능 분석

초기 주파수 추정회로 설계에 적합한 알고리즘을 선정하고 자기 상관기의 개수를 결정하는 설계 파라미터인  $M$ 값을 선택하기 위해 아래 식 (6)과 같이 정의된 정규화된 주파수 오류 편차를 이용하여 모의실험을 수행 하였다.

$$\sigma_{normalized\ frequency} = \sqrt{\frac{\sum_{n=1}^{N_{sim}} (f_{off,n}/R_s - \hat{f}_{off,n}/R_s)^2}{N_{sim}}} \quad (6)$$

$f_{off,n}$ 은  $n$ 번째 시뮬레이션의 주파수 오차이고  $\hat{f}_{off,n}$ 은  $n$ 번째 시뮬레이션의 추정 주파수 오차를 의미하며  $N_{sim}$ 은 시뮬레이션의 횟수를 의미한다.

그림 2는 설계 파라미터  $M$ 값의 변화에 따른 각 알고리즘의 정규화된 주파수 오류편차를 보여준다. SNR=-2.35dB, 주파수 오프셋 5MHz가 주어질 상황에서 26개의 SOF를 이용하여 각 알고리즘의 정

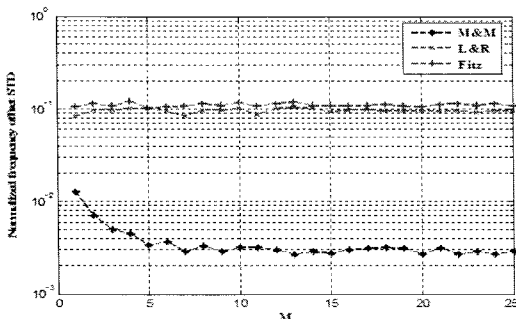


그림 2.  $M$ 값의 변화에 따른 정규화된 주파수 오류 표준편차

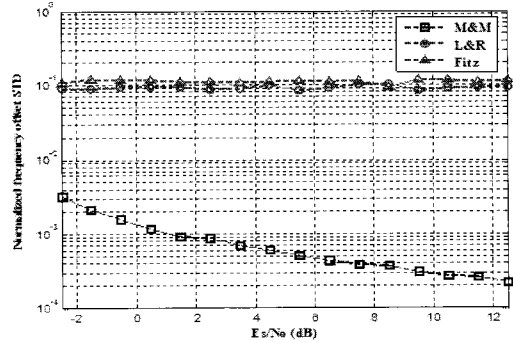


그림 3. SNR에 따른 정규화된 주파수 오류 표준편차

규화된 주파수 오류의 표준편차를  $M$ 값의 변화 따라 구하였다. 25MHz의 심볼 속도 대비 주파수 오프셋 5MHz에 대한 정규화된 주파수 오프셋의 값은 0.2이며 그림2에서 보는바와 같이 M&M 알고리즘의 정규화된 주파수 오류 표준편차가 가장 작음을 알 수 있다. 따라서 M&M 알고리즘이 DVB-S2 시스템의 25MHz의 심볼 속도 대비 20%에 해당하는 초기 주파수 오차를 충분히 추정할 수 있음을 알 수 있다. 그리고  $M=10$  이상부터 M&M 알고리즘의 정규화된 주파수 오류의 표준편차 성능 변화가 없음을 알 수 있다. 이는 자기 상관기의 개수를 의미 하며 하드웨어의 복잡도를 결정하는 큰 요소가 된다.

그림 3은 SNR의 변화에 따른 주파수 추정 알고리즘들의 정규화된 주파수 오차의 표준편차를 보여 준다. 그림 2에서 보여준 성능을 바탕으로  $M=12$ , 주파수 오프셋 5MHz가 주어질 상황에서 26개의 SOF를 이용하여 각 알고리즘의 정규화된 주파수 오류의 표준편차를 SNR변화 따라 구하였다. 그림 3이 나타내는 바와 같이 M&M 알고리즘은 DVB-S2 표준이 요구하는 SNR=-2.35dB에서의 성능을 충분히 만족하고 SNR이 증가할수록 정규화된 주파수 오차의 표준편차가 감소하는 것을 알 수 있다.

앞에서 보인 모의실험 결과 M&M 알고리즘이 초기 주파수 추정회로 설계에 적합한 알고리즘이며 설계 파라미터  $M=12$ 로 결정할 수 있다. 따라서 본 논문에서는 M&M 알고리즘 기반으로 초기 주파수 추정 회로를 설계한다.

### III. 제안하는 초기 주파수 추정회로

본 장에서는 M&M 알고리즘 기반의 새로운 초기 주파수 추정 회로를 제안한다. 하드웨어 복잡도 측면에서 초기 주파수 추정회로를 살펴보면 식 (2)에

서 계산되는 자기 상관도 연산과 식 (1)에서 인접 심볼 간의 위상 차를 연산하는 부분이 가장 복잡한 부분이다. 자기 상관기는 자기 상관도 연산을 위해 곱셈기, 덧셈기 그리고 레지스터로 구성되어 있으며 설계 파라미터  $M$ 값에 따라 자기 상관기의 개수가 증가하기 때문에 요구되는 자기 상관기의 개수가 늘어날수록 상당한 수의 곱셈기, 덧셈기 그리고 레지스터가 필요하다. 그리고 인접 심볼 간의 위상 차를 구하기 위해 역 탄젠트를 사용하는데 역 탄젠트 또한 설계 파라미터  $M$ 값에 의존하므로  $M$ 값이 증가할수록 사용되는 역 탄젠트 개수도 증가한다.

그림 4는 기존의 주파수 추정기를 M&M알고리즘을 적용하여 나타낸 구조이다. 앞에서 보인 모의실험 결과를 바탕으로 설계 파라미터  $M=12, L_p=26$ 을 반영한 구조이며 12개의 자기 상관기와 22개의 역 탄젠트가 필요함을 알 수 있다. 그리고 그림 5에서 알 수 있듯이 각 자기 상관기는 6개의 곱셈기, 4개의 덧셈기 그리고 2개의 레지스터로 구성되어 있다.

따라서 기존의 주파수 추정기 구조에 M&M알고리즘을 적용할 경우 자기 상관도 연산을 위해 72개의 곱셈기, 48개의 덧셈기 그리고 24개의 레지스터가 필요하고 인접 심볼 간의 위상 차를 연산하기 위해서는 22개의 역 탄젠트와 11개의 뺄셈기가 요구된다. 모의실험을 통해 고정소수점 연산 시 각 연산기는 16비트가 필요하며 이는 자기 상관도 연산과 심볼 간의 위상 차 연산만으로 전체 초기 주파수 추정기의 하드웨어 복잡도와 전력 소모 증가의 원인이 된다. 그러므로 하드웨어 복잡도와 전력 소모를 줄이기 위해서는 각 연산기의 수를 최소화할 수 있는 새로운 구조의 초기 주파수 추정기가 필요하다.

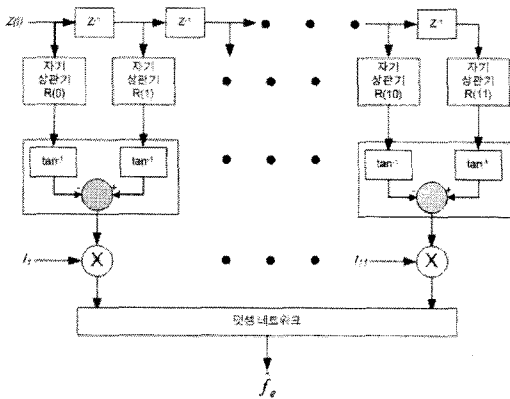


그림 4. M&M알고리즘을 이용한 기존의 주파수 추정기 구조

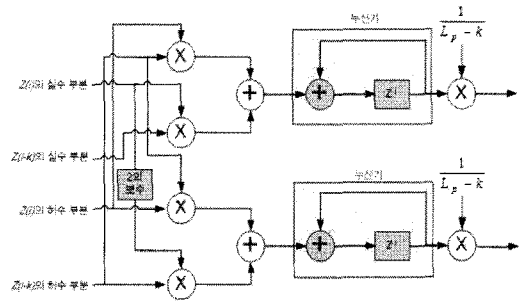


그림 5. 자기 상관기 구조

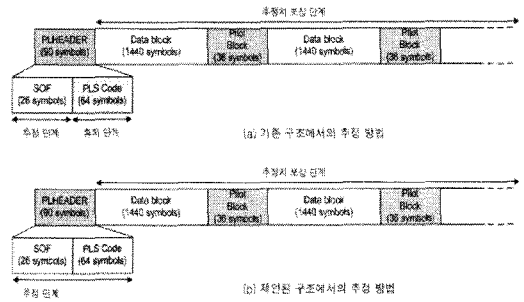


그림 6. 초기 주파수 추정 방법

그림 6은 M&M알고리즘 기반의 초기 주파수 추정기의 추정 방법을 보여준다. 그림 6(a)은 기존의 구조에서 추정 방법을 나타내며 26심볼로 구성된 SOF구간에서 주파수 오차를 추정하고 64심볼 뒤에 데이터 구간에서부터 추정된 주파수 오차를 보상한다. 그러나 26심볼 구간 내에서 추정 단계를 마치는 것은 병렬 연산을 높이는 것으로 이로 인해 자기 상관기와 역 탄젠트의 수를 증가시키는 원인이 된다. 따라서 그림 6(b)와 같이 추정 단계를 90 심볼의 PLHEADER 전 구간으로 늘림으로써 자기 상관기와 역 탄젠트의 수를 감소시켜 하드웨어 복잡도를 최소화 할 수 있다. 그리고 90심볼 안에 추정 단계를 끝내기 때문에 데이터 블록부터 시작하는 보상 단계에는 어떠한 영향도 미치지 않는다.

그림 7은 제안된 새로운 구조의 초기 주파수 추정기 회로를 나타낸다. 제안된 구조는 크게 UNIT 1, UNIT 2, UNIT 3으로 구성된다.

UNIT 1은 FIFO, 11-tap delay 및 멀티플렉서 네트워크 (MUX network)로 구성된다. 52바이트 (26\*16 bit)의 크기를 갖는 FIFO는 식 (7)과 같이 훈련 심볼과 곱해진 26개의 전송된 SOF 심볼들을 저장한다. FIFO에 저장된 값들은 제어 신호에 의해 일정 시간 간격 동안 16비트의 크기를 갖는 11개의 레지스터로 구성된 11-tap delay로 전달된다.

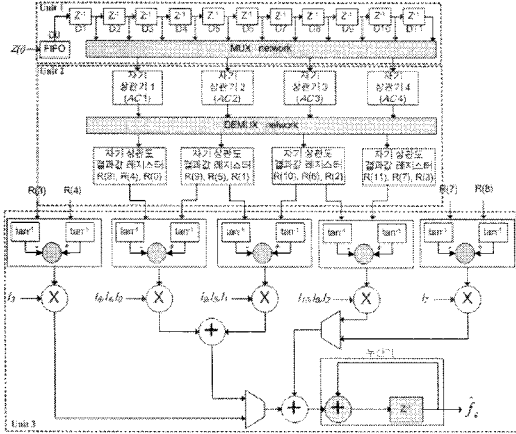


그림 7. 제안된 M&M 알고리즘 기반 초기 주파수 추정기 구조

From FIFO	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11
$T_{ck}$	$Z(0)$											
$3T_{ck}$	$Z(3)$	$Z(2)$	$Z(1)$	$Z(0)$								
$4T_{ck}$	$Z(4)$	$Z(3)$	$Z(2)$	$Z(1)$	$Z(0)$							
$5T_{ck}$	$Z(5)$	$Z(4)$	$Z(3)$	$Z(2)$	$Z(1)$	$Z(0)$						
$10T_{ck}$	$Z(7)$	$Z(6)$	$Z(5)$	$Z(4)$	$Z(3)$	$Z(2)$	$Z(1)$	$Z(0)$				
$11T_{ck}$	$Z(7)$	$Z(6)$	$Z(5)$	$Z(4)$	$Z(3)$	$Z(2)$	$Z(1)$	$Z(0)$				
$12T_{ck}$	$Z(8)$	$Z(7)$	$Z(6)$	$Z(5)$	$Z(4)$	$Z(3)$	$Z(2)$	$Z(1)$	$Z(0)$			
$13T_{ck}$	$Z(8)$	$Z(7)$	$Z(6)$	$Z(5)$	$Z(4)$	$Z(3)$	$Z(2)$	$Z(1)$	$Z(0)$			
$14T_{ck}$	$Z(8)$	$Z(7)$	$Z(6)$	$Z(5)$	$Z(4)$	$Z(3)$	$Z(2)$	$Z(1)$	$Z(0)$			
$63T_{ck}$	$Z(25)$	$Z(24)$	$Z(23)$	$Z(22)$	$Z(21)$	$Z(20)$	$Z(19)$	$Z(18)$	$Z(17)$	$Z(16)$	$Z(15)$	$Z(14)$
$64T_{ck}$	$Z(25)$	$Z(24)$	$Z(23)$	$Z(22)$	$Z(21)$	$Z(20)$	$Z(19)$	$Z(18)$	$Z(17)$	$Z(16)$	$Z(15)$	$Z(14)$
$65T_{ck}$	$Z(25)$	$Z(24)$	$Z(23)$	$Z(22)$	$Z(21)$	$Z(20)$	$Z(19)$	$Z(18)$	$Z(17)$	$Z(16)$	$Z(15)$	$Z(14)$

그림 8. UNIT 1의 데이터 스케줄링 방법

$$Z(i) = p_i c_i^*, i = 0, 1, \dots, 25 \quad (7)$$

그리고 11-tap delay에 전달된 값들은 그림 8에 제시된 스케줄링에 따라 D0부터 D11까지의 각 레지스터 출력 값이 매  $T_{ck}$  동안 멀티플렉서 네트워크를 거쳐 각 자기 상관기에 전달된다. 예를 들어,  $4T_{ck}$ 부터  $11T_{ck}$  동안 11-tap delay의 각 레지스터는 매  $2T_{ck}$ 마다 시프트 연산을 수행한다. 매  $2T_{ck}$  중 한  $T_{ck}$  동안은 FIFO의 출력인 D0와 D1, D2, D3 레지스터 출력이 각 자기 상관기의 입력으로 전달되는 반면 남은  $T_{ck}$  동안은 D4, D5, D6, D7 레지스터 출력이 각 자기 상관기의 입력으로 도달하게 된다.

UNIT 2는 4개의 자기 상관기, 디멀티플렉서 네트워크 및 자기 상관도 결과값을 저장할 수 있는 12개의 레지스터로 구성된다. UNIT 2의 자세한 동작은 아래와 같은 식에 의해 기술될 수 있다.

(1) From  $T_{ck}$  to  $3T_{ck}$ :  $m, n=1,2,3,4$ ,

$$ACn: R(n-1) = \sum_{i=0}^3 \frac{1}{L_p - (n-1)} Z(m-n)Z^*(i) \quad (8)$$

(2) From  $4T_{ck}$  to  $11T_{ck}$ :

$((2m+r)+2)T_{ck}$ ,  $m, n=1,2,3,4, r=0,1$

$$ACn: R((n+4r)-1) = \sum_{i=0}^{-n+8} \frac{1}{L_p - ((n+4r)-1)} \times Z(m-n-4r+4)Z^*(i) \quad (9)$$

(3) From  $12T_{ck}$  to  $65T_{ck}$ :

$((3m+r)+9)T_{ck}$ ,  $m=1,2,\dots,18, r=0,1,2, n=1,2,3,4$

$$ACn: R((n+4r)-1) = \sum_{i=-n+9}^{-n+17} \frac{1}{L_p - ((n+4r)-1)} \times Z(m-n-4r+8)Z^*(i) \quad (10)$$

식 (8), (9), (10)에서 ACn은 그림 6의 각 자기 상관기를 나타내며 각 자기 상관기는 그림 7의 스케줄링에 의해 지정된 동작 사이클에서 자기 상관도 연산을 수행한다. 그리고 각 사이클에서 연산된 자기 상관도 값들은 디멀티플렉서 네트워크를 통해 해당 결과값 레지스터에 저장된다.

UNIT 3은 5개의 인접 심볼 간 위상차를 구하는 블록과 smoothing function,  $l_k$ 를 곱하기 위한 5개의 곱셈기 및 3개의 덧셈기로 구성된다. UNIT 2의 각 자기 상관도 결과값 레지스터에 저장된 값들을 순차적으로 이용하여 인접 심볼 간 위상차를 구한다. 예를 들어,  $R(0)$ 와  $R(1)$ ,  $R(4)$ 와  $R(5)$  그리고  $R(8)$ 와  $R(9)$ 사이의 위상 차는 동일한 위상 차 연산 블록에서 셋 사이클에 걸쳐 차례대로 구해지고 해당 smoothing function,  $l_k$ 와 곱해진다. 마지막으로 smoothing function,  $l_k$ 와 곱해진 값들을 차례대로 더함으로써 초기 주파수 추정치를 구할 수 있다.

따라서 제안된 M&M 알고리즘 기반의 초기 주파수 추정기는 주파수 오차 추정 단계를 보상 단계에 영향을 주지 않는 범위 내로 확장하여 기존 구조에 비해 자기 상관기와 역 탄젠트기의 수를 줄임으로써 하드웨어 복잡도를 크게 감소시킬 수 있다.

#### IV. 성능 비교

본 장에서는 제안된 초기 주파수 추정기의 구조와 기존 구조 간의 하드웨어 복잡도 측면에서 성능 비교를 제시한다.

표 1. 성능 비교

		기존의 구조 <sup>[7]</sup>	제안된 구조
추정 시간 (클럭 사이클)		30	68
연산기 (개)	곱셈기	85	27
	역 탄젠트기	22	10
	덧셈기/뺄셈기	74	34
게이트 카운트		744,921	264,160

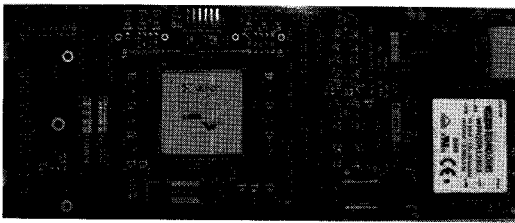


그림 9. FPGA 검증 보드

제안된 초기 주파수 추정기는 Coware™ SPW를 이용하여 부동 소수점 및 고정 소수점 모델링을 수행하였고 Verilog HDL를 사용하여 구현하였다. 그리고 제안된 구조는 Xilinx사의 Vetex II XC2V8000F1152 칩내장된 그림 9의 다이내믹 사의 iPROVETM FPGA 검증 보드를 통해 합성된 로직을 검증하였다. 그 결과 제안된 구조의 동작 속도는 최대 33MHz이고 이는 최대 심볼 전송률 25Msps를 처리할 수 있는 속도임을 확인하였다.

표 1은 기존의 구조와 제안된 구조의 성능 비교를 보여준다. 초기 주파수 오차를 추정하기까지 걸리는 시간은 기존의 구조인 경우 30클럭 사이클이 소모되며 제안된 구조는 68클럭 사이클이 걸린다.

그림 6에서 보았듯이 제안된 구조에서의 추정 방법은 기존 구조에서의 추정 방법에 비해 추정 단계가 PLHEADER 전체 구간에서 일어나기 때문에 기존의 구조에 비해 클럭 사이클이 더 소모된다. 반면 하드웨어 복잡도 측면에서 제안된 구조는 기존의 구조에 비해 58개의 곱셈기, 12개의 역 탄젠트기, 40개의 덧셈기/뺄셈기를 줄일 수 있다. 따라서 제안된 초기 주파수 추정기의 하드웨어 복잡도는 기존의 구조에 비해 약 64.5%정도로 감소하였다.

### V. 결 론

본 논문에서는 DVB-S2 복조기 설계를 위한 M&M알고리즘 기반의 효율적인 초기 주파수 추정

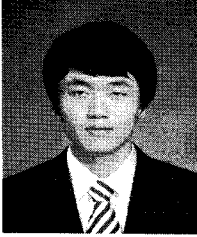
기를 제안하였다. 제안된 초기 주파수 추정기는 심볼 전송률의 20%에 해당하는 주파수 오차를 6.25% 이하로 감소시킬 수 있으며 다른 데이터 도움 방식의 알고리즘보다 낮은 SNR에서 우수한 성능을 보임을 모의실험을 통해 확인하였다. 그리고 DVB-S2 프레임 내에서 주파수 추정 단계를 새로 제시함으로써 기존의 구조에 적용되었던 추정 단계에 비해 자기 상관기와 역 탄젠트기의 수를 크게 줄일 수 있었다. 하드웨어 복잡도 측면에서 제안된 구조는 기존의 구조에 비해 곱셈기를 약 68%, 역 탄젠트기를 약 55%, 덧셈기/뺄셈기를 약 54%로 줄일 수 있다. 그리고 제안된 구조는 Verilog HDL을 이용하여 구현하였으며 FPGA 검증 보드를 통해 합성된 로직을 검증하였다. 제안된 주파수 추정기는 주파수 오차가 큰 통신 시스템에서 자기 상관기의 수를 조절함으로써 저 복잡도의 주파수 추정기에 유용하게 사용될 수 있다.

### 참 고 문 헌

- [1] Digital video broadcasting (DVB); Framing structure, channel coding and modulation for 11/12 GHz satellite services, EN300 421 (V1.1.2), European Telecommunications Standards Institute(ETSI), 1997
- [2] Digital video broadcasting (DVB); User guidelines for the second generation system for broadcasting, interactive services, news gathering and other broad-band satellite applications(DVB-S2), European Telecommunications Standards Institute (ETSI), TR 102 376, 2005
- [3] U. Mengali and A. N. D'Andrea, Synchronization techniques for digital receivers, Plenum Press, New York, 1997.
- [4] U. Mengali and M. Morelli, "Data-aided frequency estimation for burst digital transmission," *IEEE Trans. Commun.*, Vol. 45, pp. 23-25, Jan. 1997.
- [5] M. Luise and R. Reggiannini, "Carrier frequency recovery in all-digital modems for burst-mode transmissions," *IEEE Trans. Commun.*, vol. 43, no. 3, pp. 1169-1178, Mar. 1995.
- [6] M. P. Fitz, "Planar filtered techniques for burst mode carrier synchronization," in *Proc. IEEE GLOBECOM'91*, Phoenix, U.S.A., Dec. 1991, pp. 365-369.

- [7] M. Luise and R. Reggiannini, "Carrier frequency recovery in all-digital modems for burst-mode transmissions," *IEEE Trans. Commun.*, Vol. 43, No. 3, pp. 1169-1179, Mar. 1995.

**박 장 웅 (Jang Woong Park)** 정회원



2005년 8월 아주대학교 전자공학부 졸업

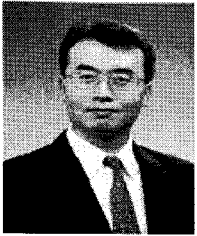
2007년 8월 아주대학교 전자공학과 석사

2007년 9월~현재 아주대학교 전자공학과 박사과정

<관심분야> 위성통신 및 케이

블 통신 모뎀 동기부, LDPC 복호기, SoC 설계

**선우명훈 (Myung Hoon Sunwoo)** 종신회원



1980년 2월 서강대학교 전자공학과 졸업

1982년 2월 한국과학기술원 전자공학과 석사

1982년 3월~1985년 8월 한국 전자통신연구소(ETRI)

1985년 9월~1990년 8월 Univ.

of Texas at Austin 전자공학과 박사

1992년 8월~1996년 10월 아주대학교 전기전자공학부 조교수

1996년 10월~2001년 9월 아주대학교 전자공학부 부교수

2001년 10월~현재 아주대학교 전자공학부 교수

<관심분야> VLSI 및 Parallel Architecture, 통신 멀티미디어용 DSP 칩 및 SoC 설계