
고속용 p-MOSFET에서 NBTI 스트레스에 의한 GIDL 전류의 특성 분석

송재열*, 이종형*, 한대현*, 이용재**

The Characteristics Analysis of GIDL current due to the NBTI stress in High Speed p-MOSFET

Jaeryul Song*, Jonghyung Lee*, Daehyun Han*, Yongjae Lee**

이 논문은 동아대학교 학술연구비 지원에 의하여 연구되었음

요 약

본 논문은 p-MOS 트랜지스터에서 음 바이어스 온도 불안정(NBTI) 전류 스트레스 인가에 의해서 드레인 전류, 문턱 전압, 문턱전압아래 기울기, 게이트유기 드레인 누설(GIDL) 전류가 변화하는 열화특성을 측정하고 분석하였다. 스트레스 시간, 온도와 전계 의존에 연관된 열화 크기는 실리콘/산화막 계면에서 계면 트랩 생성에 좌우된다는 것으로 나타났다.

문턱전압의 변화와 문턱전압아래 기울기 사이에 상관관계로부터, 소자 열화에 대한 중요한 메카니즘이 계면 상태의 생성과 관련이 있다는 것을 분석하였다. GIDL 측정 결과로부터, NBTI 스트레스에 기인한 계면상태에서 전자 정공쌍의 생성이 GIDL 전류의 증가를 가져온다. 그러므로 초박막 게이트 산화막 소자에서 NBTI 스트레스 후에 GIDL 전류 증가를 고려하여야만 한다. 또한, 신뢰성 특성과 dc 소자 성능을 동시에 고려함이 초고집적 CMOSFET의 스트레스 공학기술에서 상당히 필수불가결하다.

ABSTRACT

It has analyzed that the device degradation by NBTI (Negative Bias Temperature Instability) stress induced the increase of gate-induced-drain-leakage(GIDL) current for p-MOSFETs. It is shown that the degradation magnitude, as well as its time, temperature, and field dependence, is govern by interface traps density at the silicon/oxide interface. From the relation between the variation of threshold voltage and subthreshold slope, it has been found that the dominant mechanism for device degradation is the interface state generation.

From the GIDL measurement results, we confined that the EHP generation in interface state due to NBTI stress led to the increase of GIDL current. Therefore, one should take care of the increased GIDL current after NBTI stress in the ultra-thin gate oxide device. Also, the simultaneous consideration of reliability characteristics and dc device performance is highly necessary in the stress engineering of nanoscale CMOSFETs

키워드

p-MOSFETs, NBTI, GIDL, degradation

* 동의대학교 전자공학과
** 교신 및 주저자

I. 서 론

최근 P-MOSFET 파라미터의 열화(문턱전압, 문턱전압아래 기율기, 드레인 전류 등)가 음 바이어스 스트레스 하에서 심각하게 신뢰성에 영향을 나타내고 있다. 초고집적용 실리콘 전계효과 트랜지스터의 게이트 길이가 나노 스케일로 축소되면서 짧은 채널 현상을 줄이고 큰 구동전류를 얻기 위해 게이트 산화막의 두께가 수 나노미터 정도로 발전하고 있다. 이러한 얇은 게이트 산화막은 소자가 차단 상태인 게이트에 영 볼트의 전압을 인가하고 드레인 전압을 인가할 때 드레인 영역의 공핍층에서 전자가 가전대로부터 전도대로 터널링이 일어나는 게이트유기 드레인 누설(GIDL: gate induced drain leakage) 전류가 흐르게 된다[1,2]. 또 초고집적용 P-MOSFET에서는 소자가 고온에서 동작할 때 게이트의 음전압에 의하여 소자의 특성이 불안정해지는 소위 음 바이어스 온도 불안정(NBTI : Negative Bias Temperature Instability) 현상이 일어나게 되는데, 이 NBTI 현상으로 인한 문턱전압이 증가하여 드레인 전류가 감소하는 현상이 일어나서 소자의 수명시간 단축에 영향을 주게 된다. 이런 음 바이어스 온도 불안정 현상은 n-MOSFET 소자보다는 p-MOSFET 소자에서 더 많이 일어난다고 보고되고 있다. 이런 현상의 원인으로 많은 연구자들이 두 가지 원인으로 설명하고 있다. 그 중 하나는 실리콘-산화막에서 계면 트랩(Nit)의 생성에 의한 것이고, 다른 하나는 계면에서 발생된 수소가 게이트 산화막으로 확산해가면서 양전하(Nox)를 발생시킨다는 설명이다 [3,5,6].

본 연구는 지금까지 음 바이어스 온도 불안정(NBTI) 현상에 의한 소자 열화 메카니즘, 소자 수명시간, 열화 모델링, 그리고 스트레스 유기 누설 전류에 관한 연구는 진행되었으나, 음 바이어스 온도 불안정 전류가 게이트 유기 드레인 누설(GIDL) 전류에 미치는 영향에 대한 연구는 미미하였다. 그래서 p-MOSFET에서 소자에 음 바이어스 온도 불안정 전류 스트레스를 인가하여 NBTI 현상이 소자 특성 파라미터들의 열화 현상과 게이트유기 드레인 누설(GIDL) 전류에 어떠한 영향을 미치는지를 측정 분석하고자 한다.

II. 소자 제작 및 측정

본 연구에 사용된 소자는 전 공정 p-MOSFET 제작 공정이며, 소자의 게이트 채널 폭/길이가 10/0.13 [μm], 게이트 산화막 두께는 30 [\AA], 게이트 높이는 2500 [\AA], 게이트의 스페이서 두께는 1,000 [\AA], 소자의 정상 동작 공급전원 1.5 [V], 개별 트랜지스터 지연시간은 4.5 [ps]의 표준공정으로 제작되었다. 그림1은 음 바이어스 온도 불안정(NBTI) 전류 스트레스를 인가 하기 위한 실험 조건을 나타낸 것이다. 스트레스 온도는 105 [oC]이며 게이트의 스트레스 전압은 -5 [V]에서 1 [V]씩 증가시켜 -8 [V]까지 변화시켰으며, 스트레스 시간을 변화시키며 소자의 특성을 측정하였다. GIDL 측정 시 드레인 전압 $V_D = -5$ [V], 게이트 전압 $V_G = 0$ [V]로 정의하였으며, 소스 부분은 플로팅시켰으며, 측정 시 기판은 전위의 변화를 줄이기 위하여 접지를 시켰다.

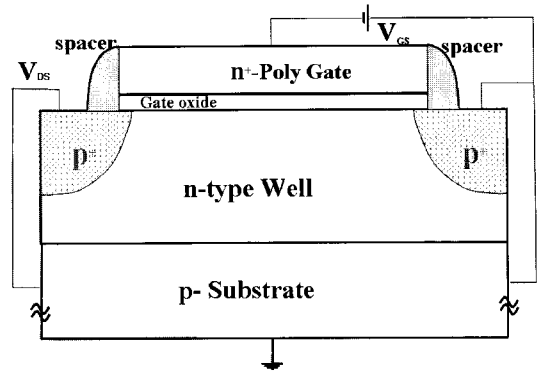


그림1. 음 바이어스 온도 불안정(NBTI) 전류 스트레스 인가를 위한 구성도 (온도 T= 105oC)
Fig. 1 Formation for Negative Bias Temperature Instability current stress (Temperture T= 105oC)

III. 결과 및 고찰

3-1. NBTI 전류 스트레스에 의한 소자의 특성 열화
그림2에서 a)는 음 바이어스 온도 불안정 전류 스트레스 동안 게이트 전극으로 수소 확산과 계면에서 Si-H 결합 파괴가 되면서 계면트랩이 생성되는 과정이며, b)는 양 바이어스 동안 실리콘에서 현수 분드가 보호되고, 수소 원자가 계면으로 되돌아가는 과정인 계면 트랩 패시

배이션 과정이다. 여기에서 X는 수소 원자를 의미한다 [4,6].

MOSFET 소자에서 음 바이어스 온도 불안정 현상이 게이트가 장 채널 소자는 NBTI 현상을 제거할 수 있지만, 단 채널에서는 이 현상에 의한 영향이 중요한 특성으로 나타난다. 단 채널 소자에서 NBTI 현상의 문제를 두 가지 방법으로 완화시킬 수 있다. 첫째로 소자의 구조에서 게이트 면적을 넓게 하는 것이고, 둘째는 차세대 모델이 게이트의 레이아웃이 좌우 대칭으로 설계함으로써 NBTI 열화를 예측하여 완화시킬 수 있다.

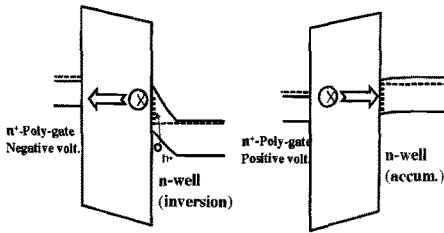
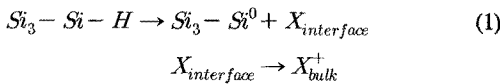


그림2 a) 계면 트랩 생성 : b) 계면 트랩 페시베이션

Fig. 2 a) Interface trap Nit generation b) Interface trap Nit passivation

그림3을 통하여 스트레스 시간에 따라서 드레인 전류의 양이 변화하는 특성을 확인할 수 있다[1,8]. 그 이유로는 많은 논문에서 잘 알려진 것과 같이 계면 트랩의 발생과 양 전하의 생성과 증가의 원인을 들 수 있다. 이때 음 바이어스 온도 불안정(NBTI) 현상에 의한 계면 트랩 밀도(Nit) 생성 및 양전하 생성을 다음과 같은 반응식으로 설명할 수 있다.



여기에서, $Si_3 - Si$ 는 계면 트랩 생성 밀도(N_{it})를 나타내고, X는 수소 원자를 나타낸다. 실리콘/산화막 경계면에서 수소 원자가 나와서 N_{it} 를 생성하고 이 수소 원자가 산화막 내에 양전하를 생성하는 것으로 설명할 수 있다. 그러나 N^+ 다결정 실리콘을 게이트로 사용할 경우는 측정 전압 인가 시에 게이트로 주입되는 전자에 의하여 이 양전하가 현격히 감소하게 되어 계면 트랩에 의하여 소자의 특성이 열화 되는 것으로 분석되고 있다[3,4,8].

최근에 개발된 게이트 전류(I_g) 방법[8] NBTI 현상을 줄이는 방법으로 분석하고자 한다. 이 게이트전류 방법은 실리콘/산화막 계면에서 포획 전하와 산화막 벌크에서 물리적 현상을 기초로 한 산화막 전계를 개량하여 나타난 게이트 직접 터널링 전류 J_{DT} 에서 변화 결과를 이용한다. 게이트 전류의 이동 특성을 관측하여 전 유효 포획 밀도($\Delta N_{t,eff}$)를 전계(ΔE)에서 변화로부터 추출할 수 있다. 이때, 다음 식을 사용함으로써 문턱전압(V_{th})이 문턱전압 차이(ΔV_{th})가 유사한 형태로 이동하는 것으로 나타났다.

$$\Delta V_{th} = \frac{q \Delta N_{t,eff}}{C_{ox}} = - \frac{1}{C_{ox}} \frac{\epsilon_{ox} E_0}{H_{DT}} \ln \left(\frac{J_{DT}}{J_{DT0}} \right) \quad (2)$$

$$H_{DT} = \frac{d \ln [J_{DT}(\vec{E}_{ox})]}{d \left(\frac{\Delta E}{E_0} \right)} \Big|_{\frac{\Delta E}{E_0} = 0} \quad (3)$$

여기에서, C_{ox} 는 게이트 산화막의 단위 커패시턴스이고, J_{DT0} 는 게이트 직접 터널링 전류이고, E_0 는 처음 산화막 전계이고, H_{DT} 는 $J_{DT}[\ln(J_{DT}/J_{DT0}) = H_{DT} \Delta E/E_0]$ 의 전계 계수이다.

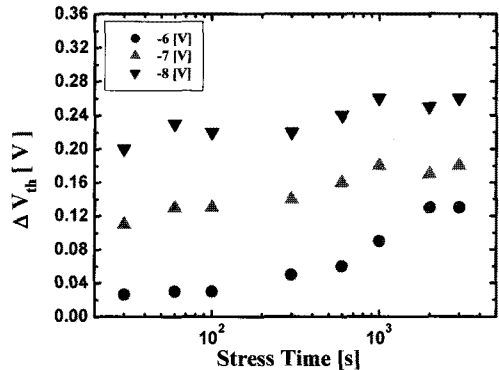


그림3 게이트 전류 방법을 이용한 스트레스 시간에 따른 문턱전압 차이 변화(ΔV_{th})

Fig. 3 Threshold voltage difference variation(ΔV_{th}) using lg method[8]

그림3은 소자에 동일한 스트레스 조건에서 게이트 전류(I_g) 방법을 이용한 NBTI 특성 결과로 스트레스 시간에 따른 문턱전압차이(ΔV_{th})를 나타낸 결과이다. 스트

레스 후에 문턱 전압은 증가 하였으며, 게이트의 스트레스 전압이 클수록 ΔV_{th} 의 변화가 큰 것을 확인 할 수 있다. ΔV_{th} 는 앞에서 설명한 것과 같이 N_{it} 의 생성으로 설명할 수 있다. 일반적으로 문턱전압의 변화는 산화층 내의 전하 생성으로 설명할 수 있는데 NBTI에 의하여 2 종류의 전하가 생성될 수 있지만 N^+ 다결정 실리콘을 게이트로 사용할 경우는 N_{it} 의 생성으로 설명할 수 있음을 문턱전압 아래 기울기(subthreshold slope) 변화로부터 확인할 수 있다. 또한 그림4로 부터 임계전압 변화량 $\Delta V_{TH} \propto I_s^m$ 의 관계가 있는 것을 확인할 수 있다. 게이트 전압($V_g = -7[V]$) 일 때는 지수값 $n \approx 0.2$ 정도로 추출 되었으며, 스트레스 전압이 증가할수록 n 이 감소하는 것을 알 수 있다. 이런 결과는 타 연구의 결과와도 일치하는 것이다[3,4,6].

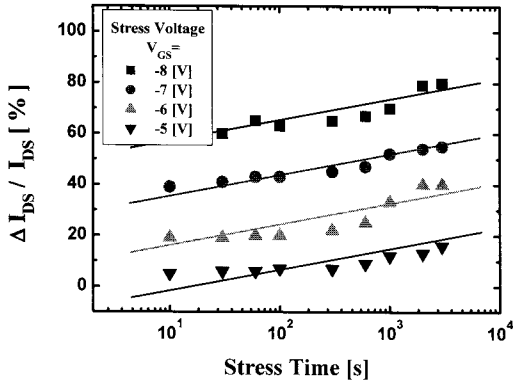


그림4 스트레스 시간에 따른 드레인 전류 변화율
Fig. 4 Drain current variations according to stress time

그림4는 스트레스 시간에 따른 드레인 전류 변화율로 스트레스 시간의 증가에 따라서 x축의 로그축과 y축의 축정값에서 거의 선형적으로 일정한 증가 추세를 나타낸 결과이다. 이런 특성도 파워법칙($I_{DS} \propto t^n$)에 거의 접근하는 결과로 나타났다[5].

그림5는 위의 스트레스 조건과 동일한 조건에서의 시간에 따른 문턱전압 아래 기울기 차이 (ΔS)를 나타낸 그림으로, NBTI 스트레스 후에는 S가 증가 하였는데 그 이유는 식(4)에서 N_{it} 에 의한 커패시턴스 (C_{it})의 영향으로 분석할 수 있다.

$$S = 60m V \left(1 + \frac{C_{dep} + C}{C_{ox}} \right) \quad (4)$$

여기에서, C_{ox} 는 산화층 커패시턴스이고, C_{dep} 는 공핍층 커패시턴스이다.

즉, 그림3, 그림4와 그림5의 분석을 통하여 NBTI 현상의 주된 영향은 계면트랩에 의한 영향으로 확인할 수 있다. 즉 산화층에서의 양전하 생성은 문턱전압의 변화를 가져오지만 S의 변화는 크지 않게 된다. 그러나 계면상태 생성(N_{it}) 생성은 문턱아래 기울기(S) 변화뿐만 아니라 문턱전압도 변화시키게 된다.

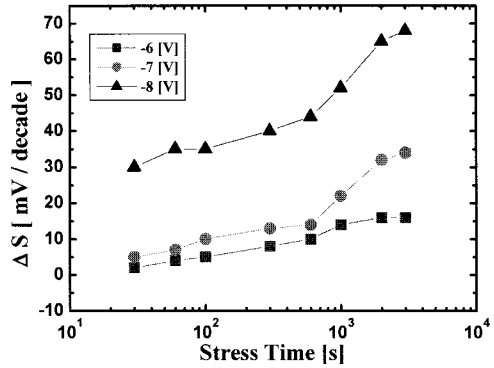


그림5 스트레스 시간에 따른 문턱전압아래 기울기 차이(ΔS)

Fig. 5 Subthreshold slope (ΔS) variations according to stress time

그림6은 드레인 전류 변화량과 문턱전압 차이(ΔV_{th})의 상관관계를 나타낸 결과로 NBTI 현상으로 인하여 문턱전압이 변하고, 이로 인한 소자의 특성 열화로 인하여 드레인 전류의 감소를 나타낸다. 포화 영역에서 드레인 전류는 문턱전압 변화에 선형적으로 비례관계로 나타났는데, 이는 타 연구의 결과 일치하는 것이다[3,6,7].

그림7은 문턱전압 차이(ΔV_{th})와 문턱아래전압 기울기 차이(ΔS)의 상관관계를 나타낸 결과로 문턱전압의 변화량이 증가하는 동안 ΔS 값도 증가하는 것으로 나타났으며, ΔV_{th} 와 ΔS 가 선형적으로 비례하는 것은 앞에서 설명하였던 것과 같이 NBTI 스트레스에 의하여 2 종류의 전하가 생성되지만 N^+ 다결정 실리콘을 게이트로 사용할 경우는 계면 트랩의 생성으로 소자가 열화되는 주된 메카니즘으로 분석된다[1,3,4].

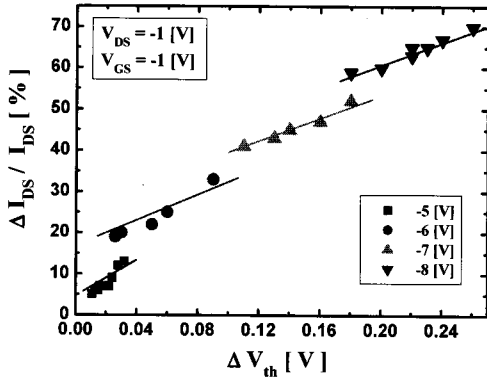


그림6 드레인 전류 변화율과 문턱전압 차이와의 상관관계

Fig. 6 Relationship between ΔI_d and ΔV_{th}

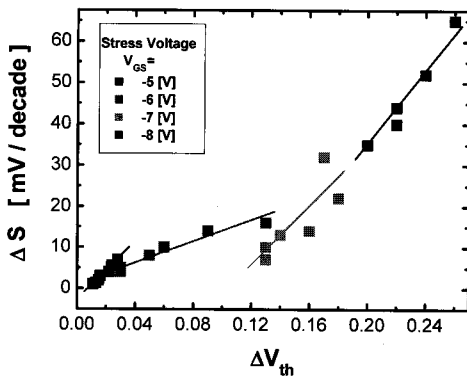


그림7 문턱전압 차이와 문턱전압 아래 기울기와의 상관관계

Fig. 7 Relationship between ΔS and ΔV_{th}

3-2. NBTI 현상과 GIDL 전류와의 관계

그림8은 게이트 유기드레인 누설(GIDL) 전류의 메카니즘을 설명하기 위한 그림이다. GIDL 전류의 생성 원인은 다른 많은 연구에서 보고된 것과 같이 게이트와 드레인 사이에 높은 전압을 인가하였을 때 드레인 영역에 깊은 공핍영역이 형성되어서 공핍층의 전계가 크게 된다. 이로 인해 공핍층에서 전자정공쌍이 생성되는데 정공은 드레인으로 주입이 되고 전자는 기판이나 게이트로 주입이 된다. 전계가 크면 드레인의 가전대의 전자가 전도대로 터널링(Band to Band Tunneling)이 일어나게 되며, 실리콘/산화막 경계면에 계면 트랩(N_{it})이 있으면 트랩 어시스트 터널링이 더 많이 일어나는 원인이 되어

서, 결국 GIDL 전류가 증가하게 되고 이는 곧 큰 누설 전류 성분이 된다.

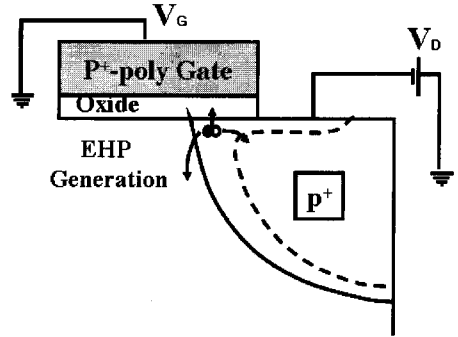


그림8 게이트 유기 드레인 누설 전류의 형성 메카니즘

Fig. 8 Generation mechanism of GIDL current

게이트와 드레인 사이에 인가된 전압에 의한 전계와 GIDL 전류와의 관계는 다음 식과 같다[7].

$$I_d = A \cdot E_s \cdot \exp\left(-\frac{B}{E_s}\right) \quad (5)$$

$$E_s = \frac{(V_{DG} + V_{FB} - 1.2)}{3T_{ox}} \quad (6)$$

$$V_{fb} = -\phi_{ms} - \frac{Q}{C_{ox}} \quad (7)$$

$$A = \frac{2qm_r E_g^2 \pi}{h^3} \quad B = \frac{\pi \sqrt{m_r} E^2}{qh \sqrt{2}} \quad (8)$$

위 식7의 의미는 전계의 크기 중 평탄대 전압(V_{fb})는 계면 트랩에 의해 많은 영향을 받으며, 곧 전계(E_s)에 일차적으로 영향을 미치고, 드레인 전류에 비례한다. 이런 전류의 형성을 구체적으로 에너지 밴드로 설명한 것이 그림9이다.

그림10은 NBTI 스트레스 후 게이트-드레인 전압(V_{GD})에 따른 GIDL 전류 측정 결과로서 V_{GD} 를 -5 [V]로 고정시키고, 스트레스 인가 전압을 -8 [V]인 상태에서 스트레스 시간 변화에 따른 GIDL 전류의 특성 변화를 나타낸 결과이다. 측정 결과로부터 스트레스 시간의 증가에 따라 게이트 유기 드레인 누설 전류가 증가하는 것으로 나타났는데, 이런 GIDL 전류 증가는 NBTI 스트레스

에 의한 계면 트랩의 생성이 증가하여 이로 인한 전자의 증가에 의한 전류의 증가로 설명할 수 있다.

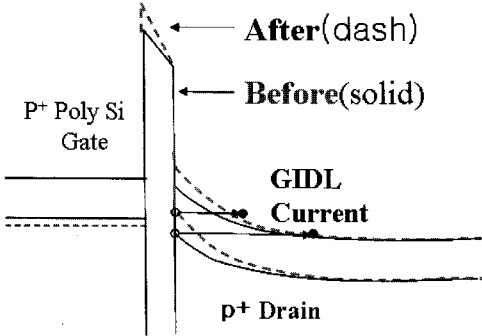


그림9 에너지 밴드에 의한 게이트 유기 드레인 누설 전류 생성
Fig. 9 Gate induced drain leakage current generation by energy band

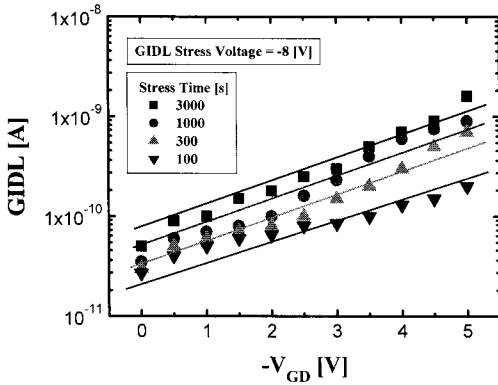


그림10 게이트-드레인 전압에 따른 GIDL 전류의 특성
Fig. 10 Characteristics of GIDL current according to gate-drain voltage

그림11은 시간에 따른 게이트 유기 드레인 누설 GIDL 전류의 변화를 측정/추출한 결과이다. 게이트 스트레스 전압을 -5 [V]에서 -8 [V]까지 변화시키면서 GIDL의 전류 변화를 측정하였다. 그림9에서 나타나듯이 스트레스 시간에 따라서 게이트 스트레스 전압에 따라서 GIDL 전류가 증가하는 것을 확인할 수 있다.

그림12는 문턱전압 아래 기울기 차이(ΔS)에 대한 게이트유기 드레인 누설 차이($\Delta GIDL$)와의 상관도를 나

타낸 결과이다. 전체적으로는 ΔS 와 $\Delta GIDL$ 이 비례관계에 있지만, 게이트 스트레스 전압이 -5 [V]와 -8 [V]에서 각각 큰 차이가 나타났다. 스트레스 시간이 길 때는 ΔS 와 $\Delta GIDL$ 이 일대일 비례관계가 아님을 앞에서 NBTI 스트레스에 의해서 계면 트랩이 생성되고, 이로 인해 소자의 열화 특성에서 주된 원인으로 분석되었는데, NBTI 스트레스 인가 후 GIDL 전류 또한 계면 트랩의 생성에 의해서 증가하는 특성을 나타낸다.

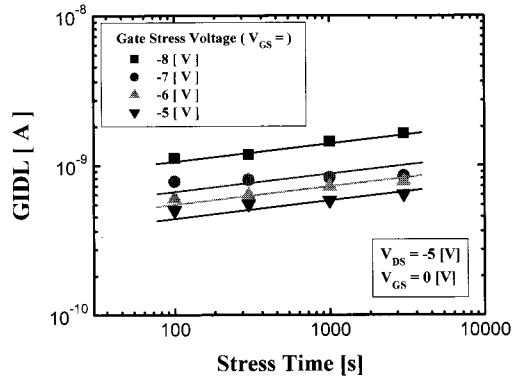


그림11 스트레스 시간 변화에 따른 GIDL 전류의 특성
Fig. 11 Characteristics of GIDL current according to stress time variations

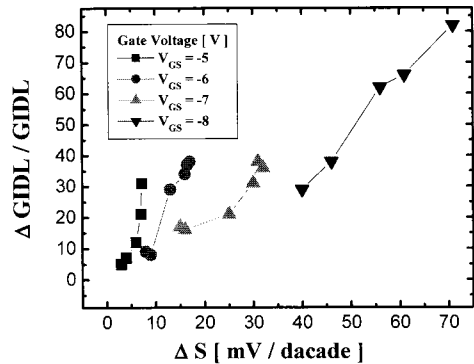


그림12 게이트 전압 변화에 따른 문턱전압 아래 기울기차이와 GIDL 차이와의 상관관계
Fig. 12 Relationship between ΔS and $\Delta GIDL$ according to stress time

V. 결 론

스트레스 전류의 인가 전과 후의 스트레스 시간 변화에 따른 문턱전압의 변화량과 문턱전압 아래 기율기(S)의 변화량, 드레인 전류 변화, 게이트 유기 드레인 누설 전류 등의 파라미터 특성 분석을 통하여 음 바이어스 온도 불안정(NBTI) 전류 스트레스로 생성된 2종류의 전하 중에서 계면 트랩 생성(N_{it})이 MOSFET 소자에서 열화 특성의 주된 메카니즘임을 확인하였다. 특히 스트레스 인가 후의 소자에서 GIDL 전류 증가는 계면트랩 생성으로 인한 전류 성분으로 판단이 된다. NBTI 스트레스로 인하여 문턱전압과 드레인 전류 및 문턱전압 아래 기율기의 특성 저하 외에 누설전류가 증가하는 것을 확인할 수 있었다. 문턱전압 아래 기율기 차이(ΔS)와 게이트 유기 드레인 누설 전류 차이($\Delta GIDL$)가 일차적인 선형 비례관계가 아닌 것으로부터 GIDL 전류의 증가가 계면 트랩 생성 외에 또 다른 원인이 있을 것으로 판단이 된다.

추후 지속적으로, 초고집적을 위한 MOSFET 소자의 응용을 위해서 소자에서 NBTI 전류 스트레스에 기인하는 특성 파라미터의 계속적인 측정과 분석을 통하여 소자의 신뢰성과 성능을 향상시키고자 한다.

감사의 글

이 논문은 동의대학교 자체 연구년(2004.2.~2005.2.)의 결과로 연구되었습니다.

참고문헌

[1] I.S. Han et al. "New Observation of Mobility and Reliability Dependence on Mechanical Film Stress in Strained Silicon CMOSFETs" *IEEE Trans. on ED*, Vol.55 No.6 pp.1352-1358. June. 2008

[2] D. S. Ang and S. Wang "Insight Into the Suppressed Recovery of NBTI-Stressed Ultrathin Oxynitride Gate p-MOSFET" *IEEE Electron Device Lett.* Vol. 27, No. 9, pp. 755-758, Sep. 2006

[3] D.L Kwong et al, "Dynamic NBTI of p-MOS Transistors and Its Impact on MOSFET Scaling" *IEEE EDL*, Vol. 23, No. 12, pp.734-736, Dec. 2002

[4] J. C. Liao, et al "Investigation of Bulk Traps Enhanced Gate-Induced Leakage Current in Hf-Based MOSFETs" *IEEE EDL*, Vol. 29, No. 5, pp.509-511, May 2008

[5] G. Ribes, et al "Review on high-k dielectrics reliability issues," *IEEE Trans. Device Mater. Rel.*, vol. 5, no. 1, pp. 519-526, March 2005.

[6] M. Casse, et al "Carrier transport in HfO2/metal gate MOSFETs: Physical insight into critical parameters," *IEEE Trans. Electron Devices*, vol. 53, no. 4, pp. 759-768, April 2006.

[7] Y. Yang et al. "Characteristics and Fluctuation of Negative Bias Temperature Instability in Si Nanowire FET" *IEEE EDL*, Vol. 29, No. 3, pp. 242-245, March. 2008.

저자약력

송재열(Jaeryul Song)
KIMCS 국문논문지 제12권 제9호 참조

이종형(Jonghyung Lee)
KIMCS 국문논문지 제12권 제9호 참조

한대현(Daehyun Han)
KIMCS 국문논문지 제12권 제9호 참조

이용재(Yongjae Lee)
KIMCS 국문논문지 제12권 제9호 참조