Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 22, No. 11, p. 910, November 2009.

논 문 22-11-2

SiGe JFET과 Si JFET의 전기적 특성 비교

Comparison Study on Electrical Properties of SiGe JFET and Si JFET

박병관[1], 양현덕[1], 최철종[1], 심규환[1,a]
(B. G. Park[1], H. D. Yang[1], C. J. Choi[1], and K. H. Shim[1,a])

Abstract

We have designed a new structures of Junction Field Effect Transistor(JFET) using SILVACO simulation to improve electrical properties and process reliability. The device structure and process conditions of Si control JFET(Si JFET) were determined to set cut off voltage and drain current(at Vg=0 V) to -0.46 V and 300 μA, respectively. Among many design parameters influencing the performance of the device, the drive-in time of p-type gate is presented most predominant effects. Therefore we newly designed SiGe JFET, in which SiGe layers were placed above and underneath of Si-channel. The presence of SiGe layer could lessen Boron into the n-type Si channel, so that it would be able to enhance the structural consistency of p-n-p junction. The influence of SiGe layer could be explained in conjunction with boron diffusion and corresponding I-V characteristics in comparison with Si-control JFET.

Key Words : JFET, SiGe, Si, Junction, SILVACO

1. 서 론

전압제어소자인 접합형 전계 효과 트랜지스터(JFET)는, 포화 영역에서 동작할 때 전기적 스위치 역할을 하고, 저항성 영역에서 동작할 경우에는 전압 제어 가변 저항과 같은 역할을 하게 된다. 이러한 JFET 소자는 고입력임피던스 신호원이나 트랜스임피던스에 사용하기에 이상적인 특성을 가지고, 낮은 전류 노이즈와 신호왜곡 특성은 오디오 및 고주파수 응용에 적합하며 온도에 따른 입력 임피던스의 변화, DC 성능, 전압 성분 노이즈 특성은 JFET 증폭기 어플리케이션 사용의 한계 특성으로 작용하게 된다[1-5]. 하지만 종래의 JFET는 소자의 구조와 제조 공정에 따라서, 소자의 컷오프전압과 드레인-소스 포화 전류의 변화가 심하게 발생하여 소자의 전기적 특성을 제어하기 어렵고 소자의 수율이 낮은 문제점이 있다[6]. 본 연구에서는 이와 같은 문제를 해결하기 위해 SiGe로 이루어진 확산 저지층을 채널층의 상하부에 배치함으로써, 게이트 접합을 위한 확산 공정시 채널층의 상하부에서 불순물의 확산을 제어하여, 원하는 조건의 전기적 특성값을 안정되게 얻을 수 있게 하였고, 전기적 특성의 편차가 작아지므로 일정한 전기적 특성을 유지시키는 것이 용이하였다. 새롭게 고안된 SiGe JFET는 기존의 일반적인 Si JFET와 다양한 공전 변수에 따라 전기적 특성 변화를 비교 분석하였다.

1. 전북대학교 반도체과학기술학과
(전북 전주시 덕진동 1가 664-14)
a. Corresponding Author : khshim@chonbuk.ac.kr
접수일자 : 2009. 8. 12
1차 심사 : 2009. 9. 21
심사완료 : 2009. 10. 23

2. 소자 구조

2.1 Si JFET와 SiGe JFET structure

그림 1은 각각 Si JFET과 SiGe JFET의 소자 단변구조를 나타낸 것이다.

Si JFET 구조는 N채널 구조로 게이트, 드레인-소스로 구성되어 있다. SiGe JFET은 기본적으로 Si JFET 구조와 같고 게이트 전압에 의해 채널이 형성되는 채널 층의 상하부에 각각 SiGe로 이루어진

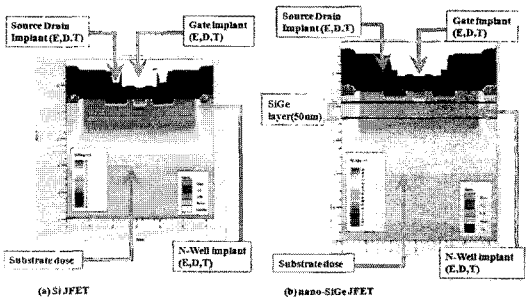

그림 1. Si JFET 와 SiGe JFET 구조.
Fig. 1. Structure of Si JFET and SiGe JFET.

표 1. SiGe JFET 소자의 공정 파라미터.
Table 1. Process parameters of SiGe JFET.

Structure	Length(㎛)	Condition
Gate	5	BF_2, 1.0E15 cm^2, 60 keV
Source-Drain	18	Phosphorus, 5.0E15 cm^2, 80 keV
N-Channel	0.881	Phosphorus, 5.0E15 cm^2
Substrate(100)	1.4	Boron, 9.0E18 cm^2, 0.0095 Ω·cm
Si top layer	0.73	Undoped
Si bottom layer	0.289	Undoped
SiGe layer	0.05	Undoped

상부 및 하부 확산 저지층을 형성하여, 게이트 접합부의 접합 영역 확산을 저지하고, 게이트 접합부가 계면에서 날카로운 농도 구배를 갖도록 하였다.

3. 결과 및 고찰

3.1 Effect of diffusion temperature and time for gate junction

그림 2(a)는 게이트 확산 공정의 시간 변화에 따른 Si JFET 과 SiGe JFET의 드레인-소스 포화 전류 값(I_{DSS})를 비교한 결과이다. 확산 시간 35분, 드레인-소스 포화전류가 300 μA일 때를 기준으로 확산 시간을 5분씩 증감시켰다. Si JFET의 경우 드레인-소스 포화 전류 변화값의 산포가 큰 반면 SiGe JFET의 경우 안정된 드레인-소스 포화 전류 변화값을 보였다.

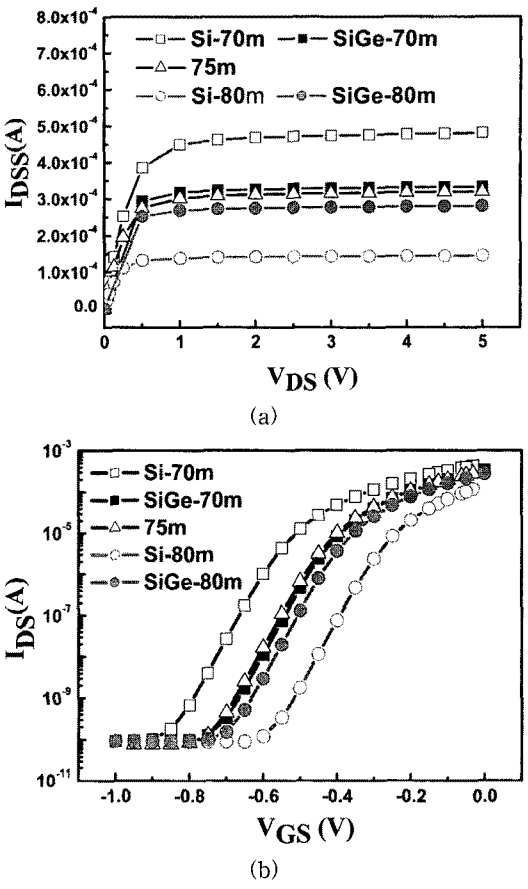

그림 2. Gate 확산 시간 변화에 따른 Si JFET 과 SiGe JFET I-V 특성 비교, (a) I_{DSS}, (b) $V_{Cut\ off}$.
Fig. 2. I-V characteristics of Si JFET and SiGe JFET depending on gate diffusion time variation, (a) I_{DSS} (b) $V_{Cut\ off}$.

그림 2(b)는 게이트 확산 공정의 시간 변화에 따른 Si JFET 과 SiGe JFET의 Cut off Voltage 변화 값 을 비교 한 것이다. 확산 시간 35분일 때 -0.46 V 정하고 확산 시간을 5분씩 증감시켰을 때 드레인-소스 포화 전류 값과 마찬가지로 SiGe JFET의 경우 Si JFET에 비해 확산공정 시간 변화에 관계없이 안정적인 것을 확인할 수 있다. 이는 Si JFET의 경우 확산공정이 진행됨에 따라 게이트 접합 부분과 기판 부근에서 확산된 Boron이 N채널의 폭에 영향을 주고 또한 시간이 변함에 따라 게이트 접합의 공핍층 영역이 증가 또는 감소함에 의해 N채널에 영향을 준 것으로 사료된다.

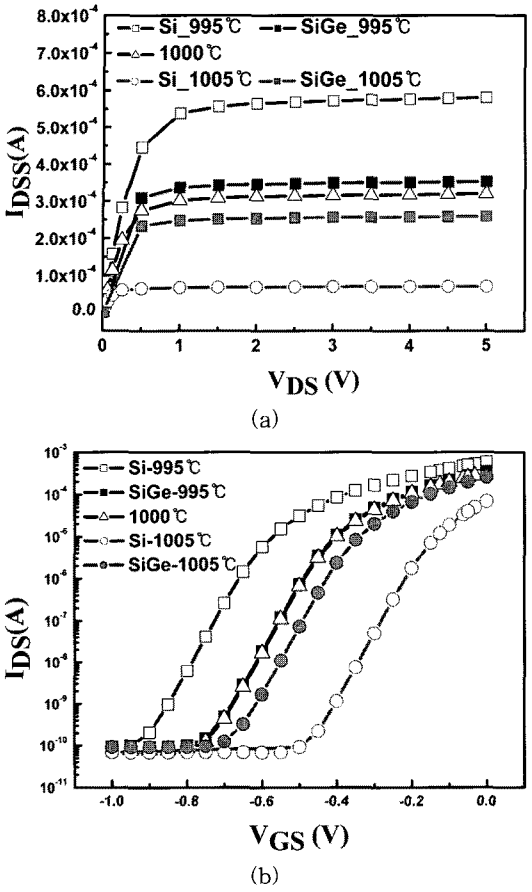

그림 3. Gate 확산 온도 변화에 따른 Si JFET 과 SiGe JFET I-V 특성 비교, (a) I_{DSS}, (b) $V_{Cut\ off}$.

Fig. 3. I-V characteristics of Si JFET and SiGe JFET depending on gate diffusion temperature variation, (a) I_{DSS}, (b) $V_{Cut\ off}$.

확산시간이 70분으로 줄었을 경우 드레인-소스 포화 전류 값이 증가하고 반대로 Cut off Voltage는 채널의 폭이 커졌기 때문에 기준 값인 -0.46 V 보다 감소되었다. 80분으로 증가 했을 경우 드레인-소스 포화 전류값이 감소하였고, Cut off Voltage는 반대로 채널의 폭이 좁아졌기 때문에 증가함을 알 수 있다.

하지만 SiGe JFET은 SiGe 확산 저지층을 삽입하여 Boron의 채널층으로의 확산을 최소화 시켜줌으로써 채널을 보호하고, 그로 인해 시간의 변화를 줘도 채널에 영향을 덜 주기 때문에 드레인-소스 포화 전류, Cut off Voltage값의 변화폭이 감소시키는 현상이 나타났다.

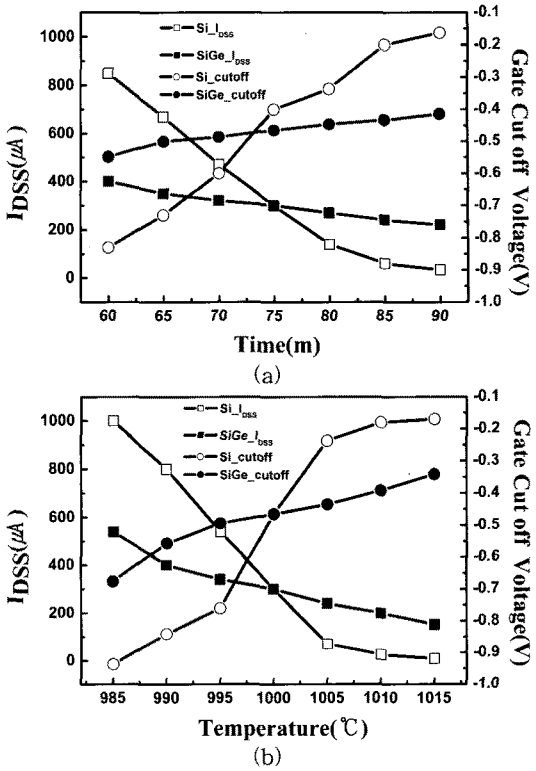

그림 4. 게이트 확산 시간과 온도 변화에 따른 Si JFET 과 SiGe JFET I_{DSS}, $V_{Cut\ off}$ 비교, (a) 확산 시간, (b) 확산 온도.

Fig. 4. I-V characteristics of Si JFET and SiGe JFET depending on gate diffusion time and temperature variation, (a) diffusion time, (b) diffusion temperature.

그림 3(a)는 게이트 공정의 확산 온도 변화에 따른 Si JFET 과 SiGe JFET의 드레인-소스 포화 전류 변화 값을 비교한 것이다. 확산 온도 1100°C 일 때를 기준으로 5°C씩 증감시켰다. Si JFET의 경우 시간에 비해 온도 영향이 더 크게 나타났고, 확산시간 변화 실험과 마찬가지로 SiGe JFET인 경우 변화 폭이 감소되었다.

그림 3(b)는 게이트 공정의 확산 온도에 따른 Si JFET 과 SiGe JFET의 Cut off Voltage 변화 값을 비교한 것으로, 드레인-소스 포화 전류값을 비교한 것과 마찬가지로 확산 온도가 1100°C 일 때를 기준으로 5°C씩 증감시켜본 결과 Si JFET보다 SiGe JFET의 변화폭이 훨씬 줄어든 걸 알 수 있었다. 이 결과는 확산 시간의 변화에서 나타난 결과의 원인과 동일한 것으로 사료된다.

표 2. 게이트 확산 시간과 온도 변화에 따른 Si JFET 과 SiGe JFET의 I_{DSS}, $V_{Cut\ off}$, gm 값.

Table 2. Si JFET and SiGe JFET I_{DSS}, $V_{Cut\ off}$, gm depending on gate diffusion time and temperature variation.

(a) Si Time variation

Time (m)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
60	850	-0.83	1.024
65	670	-0.73	0.917
70	470	-0.6	0.783
75	300	-0.46	0.652
80	140	-0.336	0.416
85	60	-0.2	0.3
90	31	-0.163	0.19

(b) SiGe Time variation

Time (m)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
60	400	-0.548	0.729
65	350	-0.5	0.7
70	320	-0486	0.650
75	300	-046	0.652
80	270	-0.446	0.650
85	240	-0.433	0.554
90	220	-0.414	0.531

(c) Si Temperature variation

Temperature (°C)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
985	1000	-0.936	1.068
990	800	-0.84	0.952
995	540	-0.76	0.657
1000	300	-0.46	0.652
1105	70	-0.237	0.295
1010	25	-0.18	0.138
1015	8	-0.17	0.047

(d) SiGe Temperature variation

Temperature (°C)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
985	540	-0.676	0.789
990	400	-0.556	0.719
995	340	-0.494	0.668
1000	300	-0.46	0.652
1105	240	-0.435	0.551
1010	200	-0.392	0.510
1015	152	-0.341	0.445

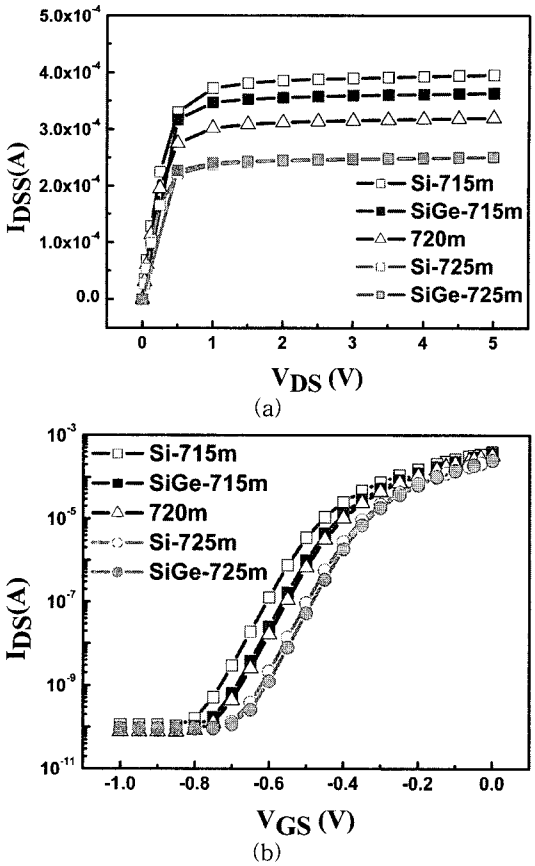

그림 5. N-well 확산 시간 변화에 따른 Si 과 SiGe JFET I-V 특성 비교, (a) I_{DSS}, (b) $V_{Cut\ off}$.

Fig. 5. I-V characteristics of Si JFET and SiGe JFET depending on N-well diffusion time variation, (a) I_{DSS}, (b) $V_{Cut\ off}$.

그림 4는 Si JFET과 SiGe JFET의 게이트 확산 시간과 온도 변화에 따른 I_{DSS}, Cut off voltage, g_m의 변화를 보여주는데, 확산시간은 60분에서 90분까지, 확산온도의 경우 985°C에서 1015°C까지 변화시켜 나온 값을 표 2에 나타내었다. 앞서 나타난 실험 결과와 같은 경향성을 나타내었다.

3.2 I-V characteristics of Si JFET and SiGe JFET depending on N-Well diffusion time & temperature variation

그림 5(a)는 N-well 확산 공정의 시간 변화에 따른 Si JFET과 SiGe JFET의 I_{DSS} 변화 값을 비교한 것이다. 확산 시간 720분, 드레인-소스 포화 전류를 300 μA일 때를 기준으로 5분씩 증감시켰

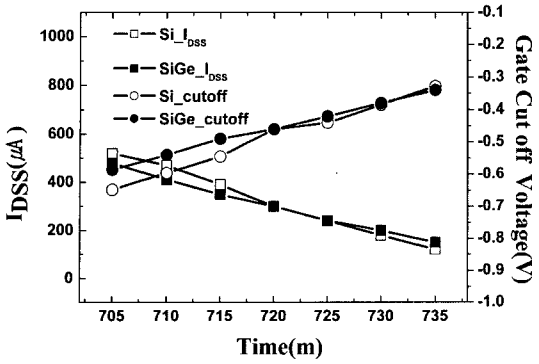

그림 6. N-well 확산 시간과 온도 변화에 따른 Si JFET 과 SiGe JFET I_{DSS}, $V_{Cut\ off}$, 비교.

Fig. 6. I-V characteristics of Si JFET and SiGe JFET depending on N-well diffusion time and temperature variation.

고, Si JFET과 SiGe JFET의 변화폭은 크게 차이가 없었다. 그림 5(b)는 각각 N-Well확산 공정의 시간 변화에 따른 Si JFET 과 SiGe JFET의 Cut off Voltage 변화 값을 비교한 것이다. 확산 시간 720분, Cut off Voltage -0.46 V를 기준으로 5분씩 증감시켜본 결과 I_{DSS} 변화 값과 마찬가지로 변화폭에는 큰 차이가 없었다. 이는 N-Well 공정의 경우 확산 시간이 변했을 때 Boron의 out diffusion 현상이 물론 발생하지만 이런 현상과 관계없이 시간에 따른 N-Well의 깊이에 변화를 주고 채널의 폭에 영향을 주기 때문에 SiGe barrier층을 삽입해 out diffusion 현상을 막은 SiGe JFET 역시 전기적 특성 파라메터 값의 변화폭이 앞 실험보다 큰 걸 확인 할 수 있었고, 이를 통해 JFET의 전기적 특성은 N-Well 공정에 관계없이 안정적인 것을 볼 수 있다.

그림 6과 표 3에서는 I_{DSS}, Cut off voltage, g_m을 시간의 변화에 따라 나타내었다. 앞서 진행한 실험 결과와 같은 경향성을 보여주고 있다.

3.3 Compare Si JFET and SiGe JFET depending on Source-Drain diffusion time and temperature variation

그림 7(a)는 드레인-소스 확산 공정의 시간 변화에 따른 Si JFET 과 SiGe JFET의 I_{DSS} 변화 값을 비교한 것이다. 확산시간 20분, 드레인-소스 포화전류를 300 μA로 기준하여 확산시간을 5분씩 증감시켰고, 그 결과 Si JFET과 SiGe JFET의 변화

표 3. N-well 확산 시간과 온도 변화에 따른 Si JFET 과 SiGe JFET의 I_{DSS}, $V_{Cut\ off}$, gm값.

Table 3. Si JFET and SiGe JFET I_{DSS}, $V_{Cut\ off}$, gm data depend on N-well diffusion time and temperature variation.

(a) Si Time variation

Time (m)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
705	520	-0.648	0.802
710	470	-0.596	0.788
715	390	-0.545	0.715
720	300	-0.46	0.652
725	240	-0.44	0.545
730	180	-0.385	0.467
735	120	-0.328	0.365

(b) SiGe Time variation

Time (m)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
705	480	-0.586	0.819
710	410	-0.54	0.759
715	350	-0.49	0.714
720	300	-0.46	0.652
725	240	-0.42	0.571
730	200	-0.38	0.526
735	150	-0.34	0.441

폭이 앞선 Gate 실험결과보다 큰 차이를 보였고, 기본적인 I-V특성은 앞선 실험과 유사하지만 확산 시간이 변화에 따라 Si JFET의 경우 변화폭이 큰 반면에 SiGe JFET은 기준 값인 300 μA에서 10 μA 내외로 크게 감소하였다.

그림 7(b)는 드레인-소스 확산 공정의 시간 변화에 따른 Si JFET 과 SiGe JFET의 Cut off Voltage 변화 값을 비교한 것으로 확산 시간 20분, Cut off Voltage -0.46 V를 기준으로 5분씩 증감시켰다. I_{DSS} 변화 값과 마찬가지로 SiGe JFET은 기준 값인 -0.46 V에서 0.001 V 내외의 변화폭을 보였다. 이것은 드레인-소스 공정에서 약간의 드레인-소스 접합영역의 변화에 따른 저항의 증감을 고려하더라도 공정에 따른 소자의 영향이 적은 것을 나타낸다. 특히 확산 공정은 Gate공정이나 N-Well 공정같이 직접적으로 채널에 영향을 주는 공정이 아니다. 따라서 삽입된 SiGe층이 boron의 out diffusion 현상을 막는 장벽 역할을 하여 채널을 보호한 것으로 사료된다. 그러나 앞선 Gate 실험

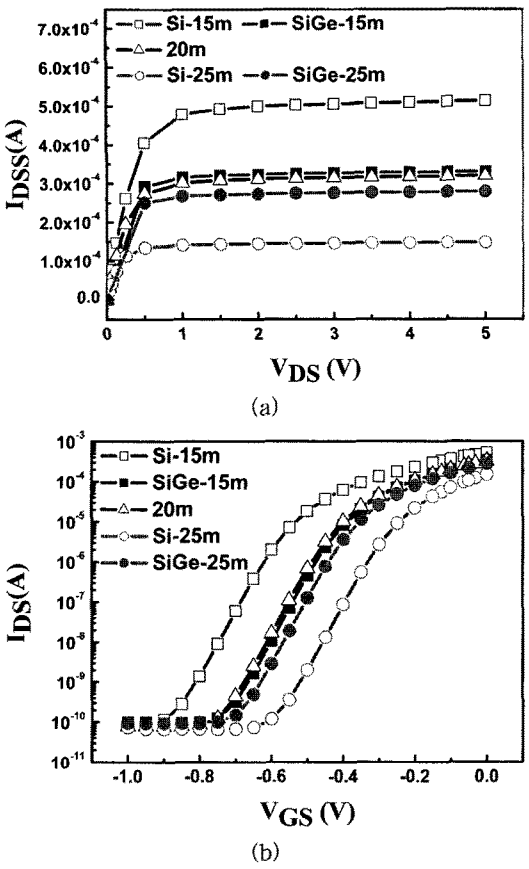

그림 7. 드레인-소스 확산 시간 변화에 따른 Si JFET 과 SiGe JFET I-V 특성 비교, (a) I_{DSS}, (b) $V_{Cut\ off}$.

Fig. 7. I-V characteristics of Si JFET and SiGe JFET depending on Source-Drain diffusion time variation, (a) I_{DSS}, (b) $V_{Cut\ off}$.

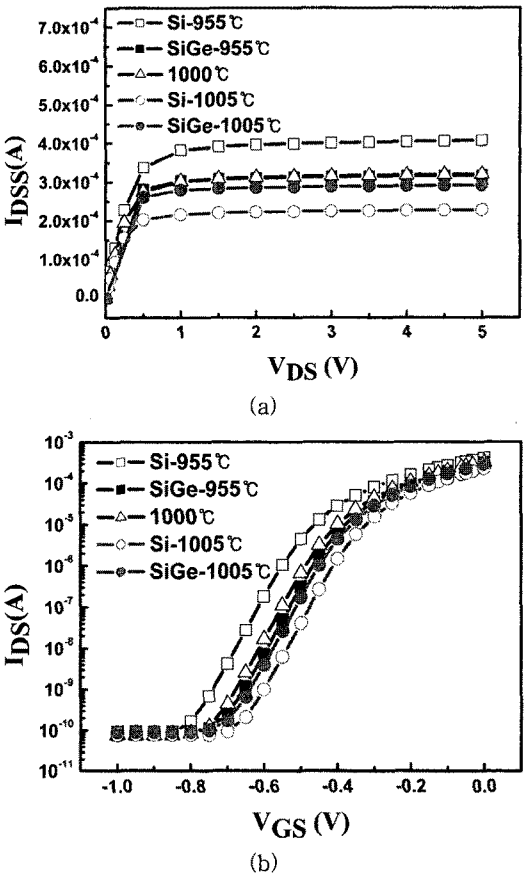

그림 8. Source-drain 확산 온도 변화에 따른 Si JFET 과 SiGe JFET I-V 특성 비교, (a) I_{DSS}, (b) $V_{Cut\ off}$

Fig. 8. I-V characteristics of Si JFET and SiGe JFET depending on drain-source diffusion temperature variation, (a) I_{DSS}, (b) $V_{Cut\ off}$

결과에 비해 변화폭이 감소한 것은 드레인-소스 공정 이전에 게이트공정이 진행되었기 때문으로 확산시간이 늘어남에 따라 변화폭의 차이가 미미해지고 소자제조의 수율을 증가 시킬 수 있을 것이라 여겨진다.

그림 8(a)는 드레인-소스 확산 공정의 온도 변화에 따른 Si JFET과 SiGe JFET의 I_{DSS} 변화 값을 비교한 것이다. 확산 온도 1000°C를 기준으로 5°C씩 증감시켰을 때, 앞선 실험과 같은 경향성을 보였다. Si JFET의 경우 1000°C에서 300 μA, 995°C에서 400 μA, 1005°C에서 220 μA로 변화폭이 약 80~100 μA까지 나타났지만, SiGe JFET에서는 955°C에서 314 μA, 1005°C 290 μA로 변화폭이 약 10~14 μA정도로 Si JFET의 것과 비교해서 크게 줄어들었다.

그림 8(b)는 드레인-소스 확산 공정의 온도 변화에 따른 Source-Drain 공정의 Si JFET 과 SiGe JFET의 Cut off Voltage 변화 값을 비교한 것이다. 드레인-소스 포화 전류 값을 비교한 것과 마찬가지로 확산온도 1000°C 일 때를 기준으로 5°C씩 증감시켰다. Si JFET보다 SiGe JFET의 변화폭이 훨씬 줄어든 것으로 앞선 실험들과 같은 경향성을

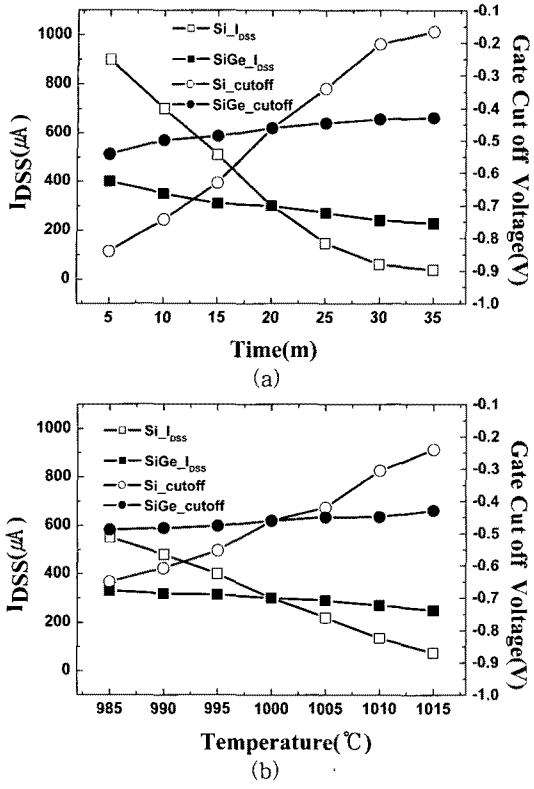

그림 9. S-D 확산 시간과 온도 변화에 따른 Si JFET 과 SiGe JFET I_{DSS}, $V_{Cut\ off}$ 비교, (a) 확산 시간, (b) 확산 온도

Fig. 9. I-V characteristics of Si JFET and SiGe JFET depending on source-drain diffusion time and temperature variation, (a) diffusion time, (b) diffusion temperature

보였다. Si JFET은 확산온도 1000°C에서 -0.46 V, 995°C에서 -0.552 V, 1005°C에서 -0.419 V로 기준값에서 변화폭의 차이가 약 0.041~0.092 V가 나타났고, SiGe JFET의 경우 확산온도 995°C에서 -0.476 V, 1005°C에서 -0.449 V로 약 0.011~0.016 V 정도의 변화폭을 보여 Si JFET에 비해 크게 감소한 것을 알 수 있다. 이것은 확산 시간 변화 실험의 원인과 동일한 원인으로 여겨지며, 다만 Gate 공정실험과 달리 확산시간보다 확산온도의 영향이 더 작은 이유는 Gate공정에서 사용되는 불순물인 phosphorus 원자가 boron원자에 비해 크기 때문에 온도변화에 덜 민감하게 된 것으로 사료된다.

그림 9와 표 4는 I_{DSS}, Cut off voltage, g_m을 확산시간과 확산 온도에 따른 변화를 나타낸다. 확

표 4. N-well 확산 시간과 온도 변화에 따른 Si 과 SiGe JFET의 I_{DSS}, $V_{Cut\ off}$, gm값.

Table 4. Si JFET and SiGe JFET I_{DSS}, $V_{Cut\ off}$, gm data depending on N-well diffusion time and temperature variation.

(a) Si Time variation

Time (m)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
5	900	-0.84	1.071
10	700	-0.742	0.943
15	510	-0.63	0.809
20	300	-0.46	0.652
25	147	-0.339	0.433
30	60	-0.203	0.260
35	37.9	-0.165	0.229

(b) SiGe Time variation

Time (m)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
5	400	-0.541	0.739
10	350	-0.498	0.702
15	310	-0.485	0.639
20	300	-0.46	0.652
25	270	-0.445	0.606
30	240	-0.433	0.554
35	228	-0.411	0.554

(c) Si Temperature variation

Temperature (°C)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
985	550	-0.649	0.847
990	480	-0.608	0.789
995	400	-0.552	0.724
1000	300	-0.46	0.652
1105	220	-0.419	0.525
1010	136	-0.305	0.445
1015	74	-0.234	0.316

(d) SiGe Temperature variation

Temperature (°C)	I_{DSS} (μA)	$V_{GS(off)}$ (V)	gm (A/V)
985	330	-0.488	0.676
990	318	-0.483	0.658
995	314	-0.476	0.659
1000	300	-0.46	0.652
1105	290	-0.449	0.645
1010	270	-0.448	0.602
1015	250	-0.428	0.584

산시간의 경우 5분에서 35분, 확산온도는 985°C에서 1015°C까지 변화시켰고 이전 실험결과와 동일한 경향성을 볼 수 있다.

4. 결 론

소자의 구조와 공정 조건에 따른 소자의 전기적 특성 변화를 확인하기 위해 Si JFET과 제안된 구조의 SiGe JFET의 전기적 특성을 비교하였다.

게이트 공정에서 확산시간을 60-90분, 확산온도를 985-1015°C까지 변화시켰을 때 드레인-소스 포화전류, Cut off voltage, g_m은 Si JFET에서 각각 31~850 μA, -0.163~-0.83 V, 0.19~1.024 A/V로 크게 영향을 받았지만 SiGe JFET의 경우 220~400 μA, -0.414~-0.548 V, 0.531~0.729 A/V로 기존의 Si JFET에 비해 안정적인 값을 보였다. 확산온도의 변화에 따른 영향은 Si JFET에서 각각 8~1000 μA, -0.17~-0.936 V, 0.047~1.068 A/V로 크게 영향을 받았지만 SiGe JFET의 경우 152~540 μA, -0.341~-0.676 V, 0.445~0.789 A/V로 확산시간에 비해 더 큰 변화폭을 보였다.

마찬가지로 드레인-소스 공정에서도 확산시간과 온도에 따라 SiGe JFET이 기존 Si JFET에 비해 전기적 특성의 변화폭이 작은 것을 확인할 수 있다.

제안된 SiGe JFET에서는 채널 상하부에 삽입한 SiGe 확산 저지층이 게이트 접합부분과 기판부분으로부터 채널층으로 확산되는 Boron을 차단하여 채널층을 보호한 것으로 사료되고, 전기적 특성의 편차가 작아져, 일정한 전기적 특성을 유지시키는 것이 용이하고 그 결과 전체 수율을 향상시킬 수 있을 것으로 기대된다.

감사의 글

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 "나노반도체장비원천기술상용화사업"을 통해 개발된 결과임을 밝힙니다.

참고 문헌

[1] M. Fujiwara, M. Sasaki, H. Nagata, and H. Matsuo, "Optical control of low frequency noise behavior in cryogenic GaAs junction field effect transistor", Cryogenics, 2009.

[2] L. J. Sevin, "Field-effect Transistors", New York: McGraw-Hill, 1965.

[3] A. D. Evans, "Designing with Field-effect Transistors", New York: Siliconix Inc., McGraw-Hill, 1981.

[4] E. S. Oxner, "FET Technology and Application", Santa Clara, CA: Siliconix, 1989.

[5] M. Citterio, J. Kierstead, S. Rescia, P. F. Manfredi, and V. Speziali, "Low noise monolithic Si-JFET's for operation in the 90-300 K range and in high radiation environments", in Proc. Symp, Low Temp. Electronics and High Temp. Superconductivity, C. L. Claeys, S. I. Raider, R. K. Kirshman, and W. D. Brown, Eds. Soc., Vol. PV 95-9, p. 418, 1995.

[6] B. G. Park, C. J. Choi, J. Y. Kim, and K. H. Shim, "Electrical properties of JFET using SiGe/Si/SiGe channel structure", (to be published).