

# SiGe/Si/SiGe Channel을 이용한 JFET의 전기적 특성

## Electrical Properties of JFET using SiGe/Si/SiGe Channel Structure

박병관<sup>1</sup>, 양현덕<sup>1</sup>, 최철종<sup>1</sup>, 김재연<sup>1</sup>, 심규환<sup>1,a</sup>

(B. G. Park<sup>1</sup>, H. D. Yang<sup>1</sup>, C. J. Choi<sup>1</sup>, J. Y. Kim<sup>1</sup>, and K. H. Shim<sup>1,a</sup>)

### Abstract

The new Junction Field Effect Transistors (JFETs) with Silicon-germanium (SiGe) layers is investigated. This structure uses SiGe layer to prevent out diffusion of boron in the channel region. In this paper, we report electrical properties of SiGe JFET measured under various design parameters influencing the performance of the device. Simulation results show that out diffusion of boron is reduced by the insertion SiGe layers. Because the SiGe layer acts as a barrier to prevent the spread of boron. This proposed JFET, regardless of changes in fabrication processes, accurate and stable cutoff voltage can be controlled. It is easy to maintain certain electrical characteristics to improve the yield of JFET devices.

**Key Words** : JFET, SiGe, Junction, Diffusion, SILVACO

### 1. 서론

일반적으로 PN 접합에 의해 절연된 게이트를 통해 전류 통로를 제어하는 접합형 전계 효과 트랜지스터(Junction Field Effect Transistors; JFETs)는, 입력 임피던스가 크고, 온도에 덜 민감하며, 제조가 간편하여 IC제조에 용이하고, 동작의 해석이 단순하다는 장점을 갖는다. 특히 JFET는 선형적인 전류의 증폭 특성을 갖으며 잡음이 작기 때문에, 감도가 우수한 음향센서의 증폭회로, 선형성이 우수한 증폭회로, 입력 계측 증폭 회로 등에 주로 사용된다. 기존에 사용되는 JFET 소자는 구조와 제조 공정에 따라서, 소자의 전기적 특성, 특히, 컷오프 전압( $V_{cut-off}$ )과 드레인-소스 포화 전류( $I_{DSS}$ )의 변화가 심하게 발생하여, 소자의 전기적 특성 제어가 어렵고, 소자의 수율이 낮다는 문제점이 있다[1,2].

본 연구에서는 SILVACO 시뮬레이션을 통해 게이트 전압에 의해 채널이 형성되는 채널 층의 상하부에 각각 SiGe로 이루어진 상부 및 하부 확산

저지층을 삽입한 JFET 소자 구조를 형성하여, 게이트 접합부의 접합 영역 확산을 저지하고, 상기 게이트 접합부가 계면에서 날카로운 농도 구배를 갖도록 함으로써, 공정 변화에 따른 전기적 특성의 편차가 작아지는 JFET 소자 구조를 제안하였다. 이는 제조 공정의 변화에 관계없이 컷오프 전압을 정확하고 안정되게 제어할 수 있고 이를 통해 소자의 수율을 높일 수 있을 것으로 기대된다.

본 논문에서는 제안된 JFET 소자 구조를 설계한 후, 여러 변수(Ge 함유량, SiGe층 두께, N채널 두께)를 변경하면서 JFET의 주요 파라미터의 변화를 분석하였다.

### 2. 실험

#### 2.1 Si JFET와 SiGe JFET structure

그림 1은 제안된 SiGe JFET소자의 단면구조를 나타낸 것이다. SiGe JFET은 게이트 전압에 의해 채널이 형성되는 채널 층의 상하부에 각각 SiGe층을 형성하여 Boron의 확산 현상을 막기 위한 확산 저지층으로 사용하였다. SiGe JFET 소자의 공정 순서는 다음과 같다. 반도체 기판 위에 Si 하부에 피층을 성장하고, 접합 영역의 확산을 저지하는 하

1. 전북대학교 반도체과학기술학과  
(전북 전주시 덕진동 1가 664-14)

a. Corresponding Author : khshim@chonbuk.ac.kr

접수일자 : 2009. 8. 12

1차 심사 : 2009. 9. 17

심사완료 : 2009. 10. 22

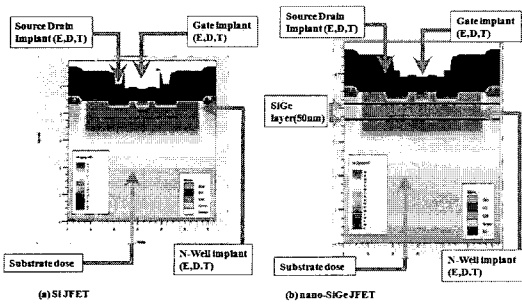


그림 1. 제안된 SiGe-JFET 구조.

Fig. 1. Structure of proposed SiGe JFET.

표 1. SiGe JFET 소자의 공정 파라미터.

Table 1. Process parameters of SiGe JFET.

Structure	Length(μm)	Condition
Gate	5	BF <sub>2</sub> , 1.0E15 cm <sup>2</sup> , 60 keV
Source-Drain	18	Phosphorus, 5.0E15 cm <sup>2</sup> , 80 keV
N-Channel	0.881	Phosphorus, 5.0E15 cm <sup>2</sup>
Substrate(100)	1.4	Boron, 9.0E18 cm <sup>2</sup> , 0.0095 Ω·cm
Si top layer	0.73	Undoped
Si bottom layer	0.289	Undoped
SiGe layer	0.05	Undoped

부 확산 저지층을 형성한 후, Si 채널층을 성장시키고, 다시 상부 확산 저지층을 성장시킨 후, Si 상부 에피층을 성장, 게이트, 소스, 드레인 접합을 형성한 후, 상,하부 확산 저지층 및 채널층의 측면을 격리하고, 게이트, 소스, 드레인을 형성하였다.

표 2는 Si에서의 Ea값과 SiGe에서의 Ea값을 나타낸 것이다. Ge의 함유량이 0~24%까지 증가할수록 Ea값이 상승 하여(2.68 eV→3.56 eV→3.68 eV)로 증가한다. 이런 결과 값을 토대로 Boron의 확산속도를 낮출 수 있어 이를 시뮬레이션에 반영하였다.

$$D_{BI}^x = DIX.0 \exp\left(-\frac{DIX.E + x.EAFACT.SIGE}{KT}\right) \quad (1)$$

DIX.0 = boron activation in sigе

DIX.E = boron activation energy in sigе

EAFAC.T.SIGE = SiGe model에 사용되는 보정계수

표 2. Boron & Phosphorus 확산 활성화 에너지.

Table 2. Boron & phosphorus of diffusion activation energy.

Ge (%)	Strain state	Temp range (°C)	D <sub>0</sub> (cm <sup>2</sup> /s)	Q (eV)
Diffuser: boron				
0	relaxed	800-900	3.4(2.3) × 10 <sup>-4</sup>	2.68(7)
0	tensile	800-900	3.7(8.0) × 10 <sup>-2</sup>	3.06(21)
1	relaxed	800-925	3.4(2.0) × 10 <sup>-2</sup>	3.13(6)
12	compressive	800-925	1.5(1.3) × 10 <sup>0</sup>	3.56(8)
12	relaxed	800-925	2.4(2.4) × 10 <sup>-1</sup>	3.30(10)
12	tensile	800-925	1.8(1.7) × 10 <sup>0</sup>	3.48(9)
24	compressive	800-925	3.1(6.9) × 10 <sup>0</sup>	3.68(22)
24	relaxed	800-925	5.7(7.0) × 10 <sup>-2</sup>	3.18(13)
Diffuser: phosphorus				
0	relaxed	825-900	2.0(1.8) × 10 <sup>-3</sup>	2.80(9)
7	relaxed	825-900	1.8(4.8) × 10 <sup>-1</sup>	3.24(26)
12	relaxed	800-900	1.1(4.0) × 10 <sup>-1</sup>	3.11(35)
24	relaxed	800-900	1.7(5.3) × 10 <sup>3</sup>	4.01(31)
40	relaxed	800-900	1.7(3.8) × 10 <sup>2</sup>	3.83(22)

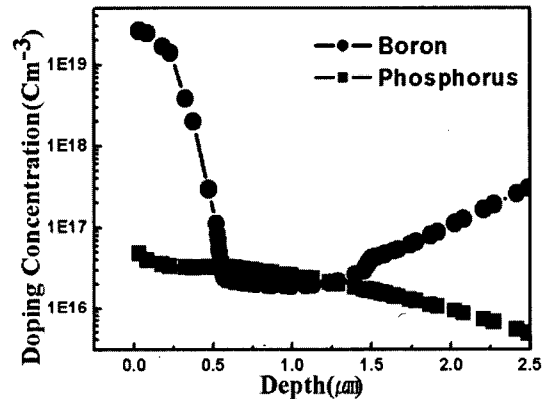


그림 2. SiGe JFET의 깊이 분포.

Fig. 2. Depth profile of SiGe JFET.

식 (1)은 실제 시뮬레이션에 적용되는 SiGe 에서의 boron의 확산률 보정계수 관련된 식이다.

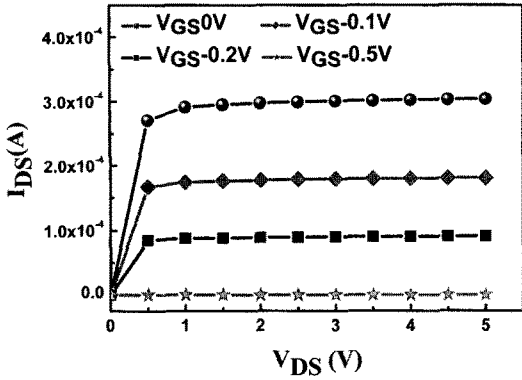
### 2.2 carrier depth profile

그림 2는 SiGe JFET의 게이트 접합 부분에서 N-well 부분까지 수직으로 잘랐을 때 도핑 프로파일을 나타낸 것이다. SiGe JFET의 경우 상하부 SiGe층으로 인해 Boron의 확산 속도가 감소하는 것을 볼 수 있다.

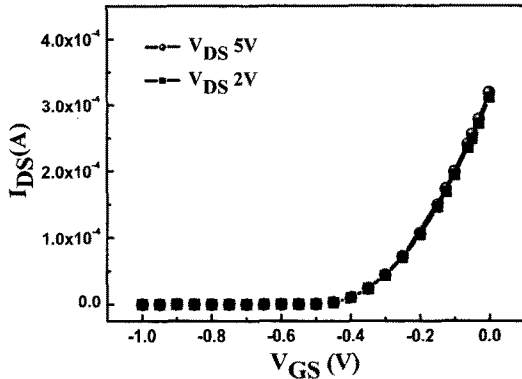
## 3. 결과 및 고찰

### 3.1 I-V Characteristics of JFET

그림 3(a)는 V<sub>GS</sub>의 변화에 따른 Si JFET의 I-V



(a)



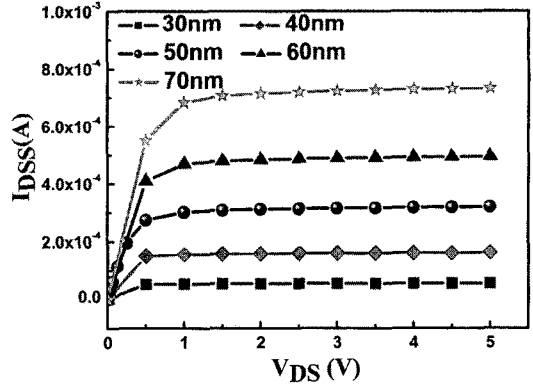
(b)

그림 3. JFET의 I-V 특성.  
Fig. 3. I-V characteristic of JFET.

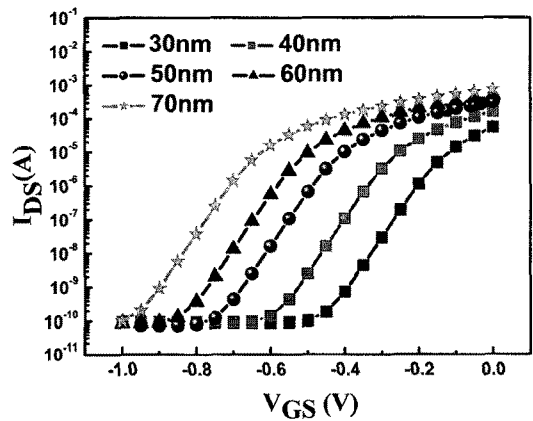
그래프이고, 그림 3(b)는  $V_{DS}$ 가 각각 2 V, 5 V에서의 I-V 그래프이다.  $I_{DSS}$ 와  $V_{GS(off)}$  값이 각각  $300 \mu A$ ,  $-0.46 V$ 일 때를 기준으로 여러 parameter (N-well, Gate, Source-Drain, Substrate)에서 각각 시간, 온도, 도핑농도, implant energy에 변화를 주어 시뮬레이션한 결과 시간과 온도에 의한 영향이 가장 컸고, 열처리 공정에서 Gate와 substrate에서 확산된 Boron원자가 N-Channel에 영향을 주기 때문으로 사료된다.

### 3.2 Electrical property of SiGe by SiGe layer thickness

그림 4(a)는 SiGe층 두께에 따른 SiGe JFET의  $I_{DSS}$  변화 값을 나타낸 것이다. SiGe층 두께가 50 nm 일 때  $I_{DSS}$ 는  $300 \mu A$ 이었으며 이를 기준으로 두께를 10 nm씩 증가시키거나 감소시키면서  $I_{DSS}$ 를 측정하였다.



(a)



(b)

그림 4. SiGe층 두께에 따른 SiGe JFET의 I-V 특성.  
Fig. 4. I-V Characteristic of SiGe JFET depend on SiGe layer thickness.

그 결과 두께가 줄어들수록  $I_{DSS}$ 값이 감소하는 반면에 증가할수록  $I_{DSS}$ 값이 증가하는 결과를 보이고 있다. 그림 4(b)는 SiGe층 두께에 따른 SiGe JFET의  $V_{GS(off)}$  변화 값을 나타낸 것이다.  $I_{DSS}$ 실험과 마찬가지로 SiGe층 두께를 10 nm씩 증가시키거나 감소시켰다. 그 결과 두께가 줄어들수록  $V_{GS(off)}$ 값이 증가되는 반면에 증가할수록  $V_{GS(off)}$ 값이 감소되는 것을 볼 수 있다. 이는 SiGe층의 두께가 감소할수록 Boron의 채널층으로의 확산이 증가되어 채널 영역이 좁아지게 되고, 전류의 흐름을 방해하게 되어  $I_{DSS}$ 값이 줄어들게 된다. 또한 채널층이 Gate 접합부분과 가깝게 되어  $V_{GS(off)}$ 값이 증가하는 현상이 나타난 것으로 사료된다.

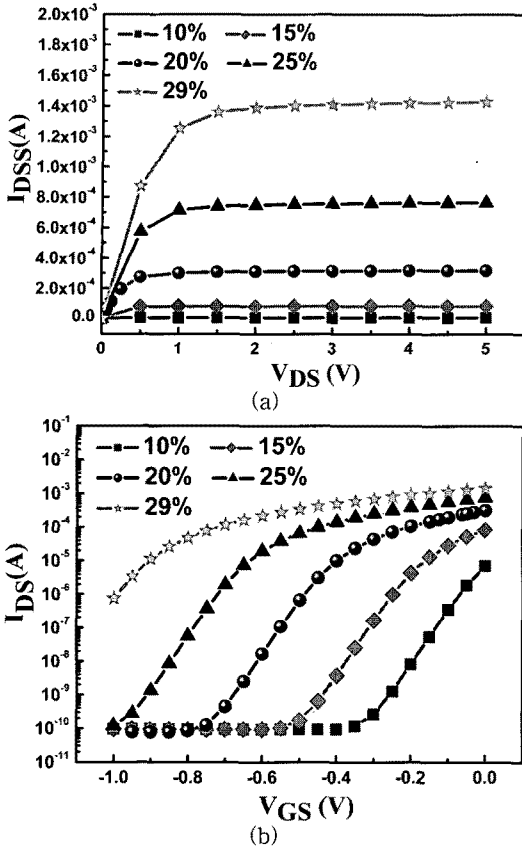


그림 5. Ge 함유량에 따른 SiGe JFET의 I-V 특성.  
Fig. 5. I-V Characteristic of SiGe JFET depend on Ge mole fraction.

### 3.3 Electrical property of SiGe by Ge mole fraction

그림 5(a)는 Ge 함유량에 따른 SiGe JFET의  $I_{DSS}$  변화 값을 나타낸 것이다.

Ge 함유량이 20%일 때  $I_{DSS}$ 는  $300 \mu A$ 이고 이를 기준으로 Ge 함유량을 5%씩 증가시키거나 감소시켰다. 그 결과 함유량을 줄일수록 앞 실험에서의 두께 결과와 마찬가지로  $I_{DSS}$  값이 감소하는 반면에 Ge 함유량을 늘릴수록  $I_{DSS}$  값이 증가하였다. 그림 5(b)는 Ge 함유량에 따른 SiGe JFET의  $V_{GS(off)}$  변화 값을 나타낸 것이다. Ge 함유량 20%일 때  $V_{GS(off)}$ 는  $-0.46$  V이고 이를 기준으로 Ge 함유량을 5% 증가시키거나 감소시켰다. 그 결과 Ge 함유량이 줄어들수록  $V_{GS(off)}$  값이 증가되는 반면에 Ge 함유량이 증가할수록  $V_{GS(off)}$  값이 감소되는 것을 볼 수 있다. 이는 SiGe층에서 Ge의 함유량이 감소할수록 두께 실험 결과와 마찬가지로 Boron의 확산이 증

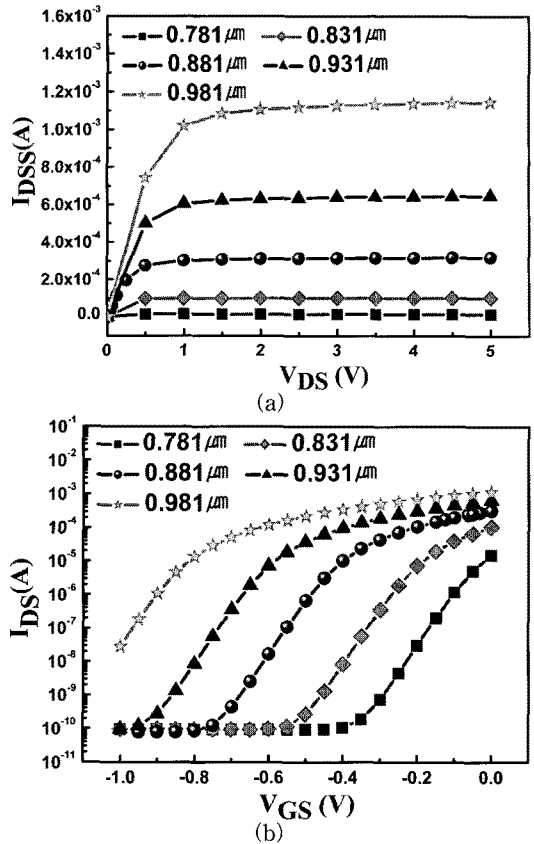


그림 6. N-Channel 두께에 따른 SiGe JFET의 I-V 특성.  
Fig. 6. I-V Characteristic of SiGe JFET depend on N-Channel thickness.

### 3.4 Electrical property of SiGe by N-channel thickness

그림 6(a)는 N 채널 두께에 따른 SiGe JFET의  $I_{DSS}$  변화 값을 나타낸 것이다.

N 채널 두께가  $0.881 \mu m$  일 때  $I_{DSS}$ 는  $300 \mu A$ 이며 이를 기준으로  $50$  nm씩 증가시키거나 감소시켰다. 그 결과 두께가 감소할수록  $I_{DSS}$  값이 줄어드는 반면 증가할수록  $I_{DSS}$  값이 증가하는 결과를 보였다.

그림 6(b)는 N 채널 두께에 따른 SiGe JFET의  $V_{GS(off)}$  변화 값을 나타낸 것이다.

N 채널 두께가  $0.881 \mu m$  일 때를 기준으로  $50$

nm씩 두께 변화를 주면서 측정하였고, 두께가 감소할수록  $V_{GS(off)}$ 값이 증가되는 반면에 증가할수록  $V_{GS(off)}$ 값이 감소되는 결과를 보이고 있다.

이것은 boron의 확산 현상은 SiGe layer의 두께가 50 nm로 고정된 상태이므로 크게 영향을 끼치지 못한 상태에서 N-Channel층의 두께를 줄였을 경우 N-well 접합의 깊이가 줄어들고, N채널의 폭이 좁아지게 되어  $I_{DSS}$ 값이 감소하고 게이트 접합과 점점 가까워지므로  $V_{GS(off)}$ 값은 증가되는 것으로 사료된다.

#### 4. 결론

본 연구에서는 기존 JFET에서 주로 나타나는 게이트 접합 부분과 기판 부분의 Boron out diffusion 현상을 막기 위한 SiGe 확산 저지층을 채널 상하부에 삽입한 구조를 제안하였다. 제안된 SiGe JFET은 채널층에 삽입된 SiGe 층의 두께가 10-30 nm, Ge 함유량이 10-29%, N채널층의 두께를 0.781-0.981  $\mu\text{m}$ 으로 변화시켰을 때,  $V_{GS(off)}$ 가 -0.83 V까지 감소한 반면에  $I_{DSS}$ 값은 최대 1100  $\mu\text{A}$ ,  $g_m$ 은 1.024 A/V까지 증가하였다. 결국 삽입된 SiGe층은 Boron out diffusion을 방지하여 채널이 좁아지는 현상을 막아 소자의 전기적 특성을 개선하였다.

#### 감사의 글

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “나노반도체장비원천기술상용화사업”을 통해 개발된 결과임을 밝힙니다.

#### 참고 문헌

- [1] J. C. Zolper, A. G. Baca, M. E. Sherwin, and J. F. Klem "Ion Implantation for High Performance III-V JFETS and HFETS", Microwave Signal, Inc., 1996.
- [2] M. Citterio, J. Kierstead, S. Rescia, P. F. Manfredi, and V. Speziali, "Low noise monolithic Si-JFET's for operation in the 90-300 K range and in high radiation environments", in Proc. Symp. Low Temp. Electronics and High Temp. Superconductivity, C. L. Claeys, S. I. Raider, R. K. Kirshman, and W. D. Brown, Eds. Soc., Vol. PV 95-9, p. 418, 1995.
- [3] N. R. Zangenberg, J. Fage-Pedersen, J. Lundsgaard Hansen, and A. Nylandsted Larsen, "Boron and phosphorus diffusion in strained and relaxed Si and SiGe", J. Appl. Phys., Vol. 94, No. 6, 2003.