
지연고정루프를 이용한 $1\mu\text{s}$ 아래의 위상고정시간을 가지는 Integer-N 방식의 위상고정루프 설계

최혁환* · 권태하*

Design of a Sub-micron Locking Time Integer-N PLL
Using a Delay Locked-Loop

Hyek-hwan Choi* · Tae-ha Kwon*

요 약

본 논문에서는 $1\mu\text{s}$ 이하의 아주 짧은 위상고정시간을 가지는 새로운 방식의 위상고정루프(Phase Locked Loop, PLL)를 제안하였다. 지연고정루프(Delay Locked Loop, DLL)를 사용하여 입력 주파수를 체배 시켜 위상 고정 루프가 보다 더 높은 루프 대역폭을 가지도록 하여 위상고정이 짧은 시간에 일어나도록 설계하였다. 제안한 위상고정루프는 기존의 위상고정루프와 지연고정루프, 주파수 체배기로 구성되었으며 전원전압은 1.8V 를 사용했다. $0.18\mu\text{m}$ CMOS 공정으로 Hspice를 이용해서 시뮬레이션 했으며 채널 변환 시 위상고정시간은 $0.9\mu\text{s}$ 이다. 입력과 출력 주파수는 각각 162.5MHz , 2.6GHz 이다.

ABSTRACT

A novel phase-locked loop(PLL) architecture of sub-micron locking time has been proposed. Input frequency is multiplied by using a delay-locked loop(DLL). The input frequency of a PLL is multiplied while the PLL is out of lock. The multiplied input frequency makes the PLL having a wider loop bandwidth. It has been simulated with a $0.18\mu\text{m}$ 1.8V CMOS process. The simulated locking time is $0.9\mu\text{s}$ at 162.5MHz and 2.6GHz , input and output frequency, respectively.

키워드

위상고정루프, 지연고정루프, 위상고정시간

Key word

PLL, Fast Locking, adaptive bandwidth

I. 서론

무선 통신과 정보 통신 기술이 발전함에 따라 최근 개발되고 있는 고속 데이터통신 시스템이나 이동 통신 수신기는 신호를 정확하게 송수신하기 위하여 주파수 합성기를 필요로 한다. 주파수 합성기로 위상고정루프가 가장 널리 사용되고 있다.

다양한 무선 통신의 표준들은 위상 잡음, 스퍼 크기와 위상고정시간 등에 대해 엄격한 요구 사항을 규정하고 있다. 위상고정시간은 위상고정루프의 안정된 동작을 위해서 입력 주파수의 1/10로 제한되는 루프 대역폭에 결정된다. 그러므로 위상고정루프의 위상고정시간은 기준 주파수가 정해지면 최소 위상고정시간이 결정된다. 이러한 조건하에서 위상고정시간을 줄이기 위해 adaptive bandwidth controller를 이용한 위상고정루프gradual loop-bandwidth 변화 방식을 이용한 디지털 위상고정루프, dual-slope phase frequency detector (PFD)와 capacitance scaling 구조를 이용한 위상고정루프, discriminator-aided phase detector를 이용한 fast switching frequency synthesizer 등의 다양한 구조의 위상고정루프가 연구 되었다 [1][2][3][4][5].

본 논문에서는 기존의 위상고정루프에 지연고정루프와 주파수 체배기(Frequency Multiplier)를 덧붙여 사용하여 위상고정 과정에서 입력 주파수의 1/10보다 넓은 대역폭을 가지는 Integer-N 방식의 위상고정루프를 제안한다. 본 구조는 넓고 좁은 대역폭을 가진 두 개의 루프에 기초를 두고 있으며, 주파수 체배기를 사용하여 자체적으로 높은 주파수를 생성하여 그 주파수를 위상고정루프의 넓은 대역폭 루프의 입력으로 사용한다. 넓은 대역폭 루프가 빠른 위상고정을 위하여 위상고정 상태를 가속화 시키는 동작을 하며, 좁은 대역폭 루프가 잡음을 많이 감소시킨 출력 주파수를 생성하는데 사용된다.

II. 제안된 위상고정루프 구조

제안한 위상고정루프는 두 개의 루프로 구성되어 있다. 두 개의 루프에서 위상고정시간을 짧게 하는 넓은 대역폭을 가진 루프가 위상고정루프가 다른 채널로 주

파수로 바뀔 때 동작하며 위상고정 시간은 식(1)로 주어진다.

$$t_{lock} = \frac{-1}{\zeta\omega_n} \ln \left(\frac{f_{accuracy}}{f_{jump}} \sqrt{1-\zeta^2} \right) \quad (1)$$

f_{jump} 는 주파수 이동 폭 이고 $f_{accuracy}$ 는 시스템이 요구하는 주파수 변동 폭이다. 식(1)을 대역폭이 포함됨 수식으로 바꾸면 다음과 같이 표현 될 수 있다.

$$t_{lock} = \frac{-2}{BW} \ln \left(\frac{f_{accuracy}}{f_{jump}} \sqrt{1-\zeta^2} \right) \quad (2)$$

BW는 루프대역폭이다. 식(2)에 의하면 위상고정 시간은 루프대역폭에 반비례한다. 그러므로 루프대역폭을 넓게 하면 위상고정시간을 줄일 수 있다.

그림 1은 제안된 위상고정루프로써, 지연고정루프와 주파수 체배기, 위상주파수 검출기, 전하 펌프, 위상고정 상태 표시기(LSI), 루프 필터, 전압 제어 발진기, 분주기로 구성되어져 있는 두 개의 루프를 가진 구조이다.

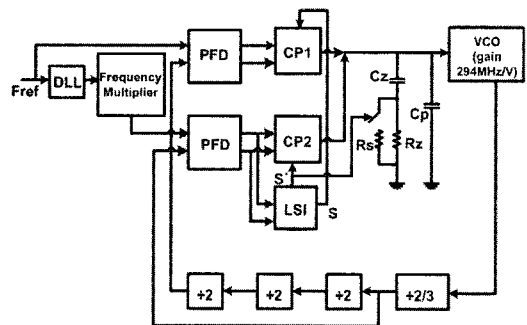


그림 1. 제안한 위상고정루프의 구조
Fig. 1. Proposed PLL architecture

제안된 구조의 전반적인 동작을 살펴보면, 지연고정루프의 출력을 입력받아 주파수 체배기에서 높은 주파수의 클록을 생성해 낸다. 입력신호 (Fref)와 주파수 체배기의 출력이 위상고정루프의 두 개 루프에 각각 입력으로 들어가서 위상고정루프로 동작하게 된다. 위상고정이 되지 않은 상태가 되면 LSI의 신호에 따라 루프 필

터의 R의 값이 바뀌며 내부의 광대역 루프가 동작하여 빠른 속도로 위상고정을 시켜주며, 거의 위상고정이 된 후에는 광대역 루프의 약 1/10의 대역폭을 가진 협대역 루프가 동작하여 위상고정 상태를 안정되게 유지시켜 준다.

제한된 구조가 위상고정이 되지 않은 상태일 때는 PFD2와 CP2만 동작하여 전달함수는 다음과 같다.

$$H_o(s) = \frac{I_{p2}}{2\pi} \cdot \frac{K_{VCO}}{s} \cdot \frac{1 + sC_2(R_2 \parallel R_3)}{s^2 C_p C_2 (R_2 \parallel R_3) + s(C_p + C_2)} \cdot \frac{1}{N} \quad (3)$$

위상고정 상태일 때는 PFD1과 CP1만 동작하여 전달함수는 다음과 같다.

$$H_o(s) = \frac{I_{p1}}{2\pi} \cdot \frac{K_{VCO}}{s} \cdot \frac{1 + sC_2 R_2}{s^2 C_p C_2 R_2 + s(C_p + C_2)} \cdot \frac{1}{N} \quad (4)$$

Kp[amp/radian]는 위상주파수 검출기와 전하펌프를 포함한 이득으로 전하펌프에 흐르는 전류를 Ip라고 하면 Kp=Ip/2π로 나타낼 수 있다. Kvco [Hertz/volt]는 전압 제어발진기의 이득, N은 분주비이다.

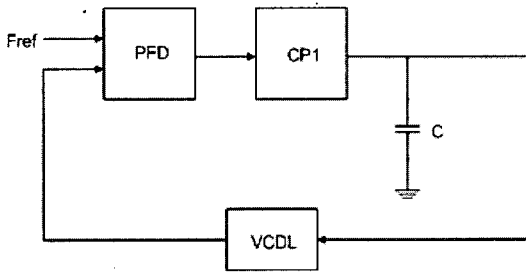


그림2. 지연고정루프 구조
Fig. 2. Architecture of DLL

그림 2는 지연고정루프라고 하며 전압 제어 발진기 (VCO) 대신 전압 제어 지연단 (Voltage Controlled Delay Line : VCDL)을 사용한다. 지연고정루프와 주파수 체배기를 사용하여 입력 주파수보다 높은 주파수를 만들어 위상고정루프의 입력으로 사용함으로써 위상고정루프의 대역폭을 더 넓게 한다. 주파수 체배기(Frequency Multiplier)는 전압 제어 지연단의 각 단에서 나오는 위상

간격이 동일한 클록들의 클록을 조합하여 더 높은 주파수의 클록을 생성해 냄으로써 주파수 체배가 가능하다. 지연고정루프를 사용하여 위상간격이 동일한 클록들을 생성해 내므로 지연고정루프 출력 지터가 작은 장점을 가진다. 그림 3은 주파수 체배기의 구조를 나타낸다. 제한한 주파수 체배기는 전압 제어 지연단 각 단의 출력을 F1~F8까지 입력받아 입력주파수보다 8배 빠른 주파수를 만들어 낸다.

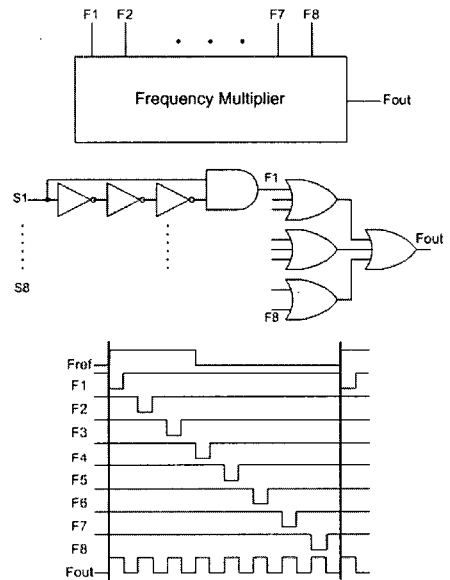


그림 3. 주파수 체배기 구조
Fig. 3. Frequency Multiplier

위상 고정상태 표시기는 그림 4와 같이 위상고정루프의 동작 상태에 따라 루프필터의 저항 값, 전하펌프1과 전하펌프2를 제어하기 위한 신호 sch1과 schb를 생성한다. 이 신호는 전하펌프1과 전하펌프2의 연결 여부를 위상고정 상태에 따라 제어하도록 한다. MP1, MN1에 흐르는 전류에 의해 Cload의 전압 Va가 정해지고, Va에 따라서 슈미트 트리거가 동작한다. 위상고정루프가 고정되지 않은 경우, 즉 위상 주파수 검출기 두 입력신호의 주파수와 위상 차이가 크면 NOR 게이트의 출력은 상대적으로 "Low" 값을 많이 가지는 주기가 일정하지 않은 펄스파로 나타나고 NMOS가 "on" 되어 흐르는 전류보다 상대적으로 PMOS가 "on" 되어 흐르는 전류량이 많아서 커패시턴스 Cload의 전압 Va는 서서히 증가

한다. 반면, 위상이 고정된 상태일 때는 V_a 는 서서히 감소한다. PLL이 동작하는 과정에서는 V_a 는 NOR 게이트 출력의 비주기적 펄스에 의해 흔들리게 되고, 커패시턴스 C_{load} 를 랜덤 패턴으로 충/방전 시킨다. 만약 위상 고정 상태에 따라 위상 고정 상태 표시기의 출력 신호 S 가 일정하지 않고 움직인다면 신호 S 에 연결된 전하 펌프와 루프 필터가 원하지 않는 동작을 할 수 있다. 하지만 그림 4와 같은 슈미트 트리거의 히스테리시스 효과를 이용하면 V_a 의 출력 거동에 관계없이 안정된 신호 S 를 출력한다. 따라서 V_a 의 출력 거동이 심한 부분에서도 슈미트 트리거의 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계하였다. 또한, 슈미트 트리거의 히스테리시스 동작 범위가 정해지면 MP1, MN1에 흐르는 전류와 C_{load} 의 값을 짧은 위상 고정 시간을 가지도록 설계하였다.

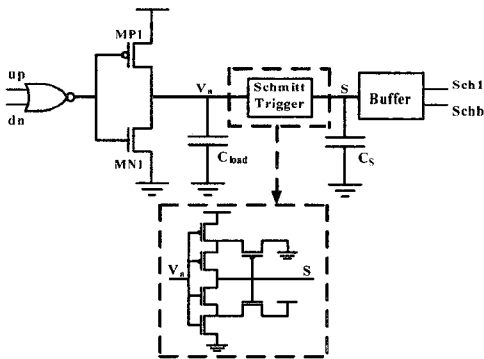
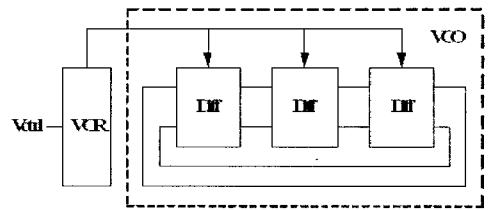
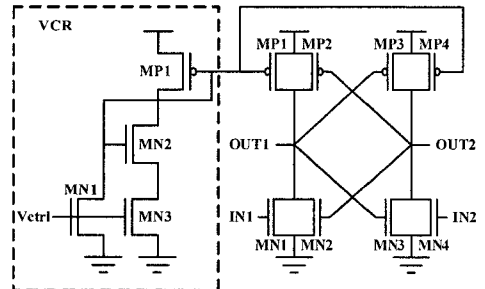


그림 4. 위상 고정상태 표시기의 구조
Fig. 4. Architecture of Locking Status Indicator(LSI)

Voltage control resistor(VCR)을 포함한 전압제어발진기의 차동 지연소자가 그림 5에 나타나있다. VCR은 입력전압에 출력 주파수가 선형적으로 값을 가지도록 제어한다. 루프필터의 출력전압은 VCR을 통해 전압제어발진기의 지연 시간을 조절하는 전류로 변환된다. VCR은 입력 전압을 변화를 큰 전류의 변화로 바꾸어 주어 전압제어발진기가 넓은 범위의 주파수를 만들어내게 한다. 전압제어발진기는 세 개의 차동 지연소자로 구성되어 있다. MP2와 MP3, MN2와 MN3의 래치 구조는 지연소자의 짧은 on-time을 가지게 하여 위상 잡음을 줄여준다. VCR에 연결된 MP1과 MP4는 지연소자에 흐르는 전류를 조절한다.



(a)



(b)

그림 5. (a) 전압제어발진기
(b) 차동 지연 셀과 VCR
Fig. 5.(a) Voltage control Oscillator
(b) Differential delay cell and voltage control resistor

III. 시뮬레이션 결과

본 논문에서 제안한 위상고정루프는 지연고정루프의 출력주파수를 주파수 체배기를 이용하여 입력주파수의 8배로 생성하여, 위상고정루프의 입력으로 사용하였으며 위상고정루프는 2.6GHz의 출력주파수를 가지도록 설계하였다. 입력주파수는 162.5MHz이고, 전압 제어발진기의 이득은 294MHz/V, 주파수 분주기의 분주 비는 16/17이다. 루프필터는 3k Ω , 400 Ω 의 저항과 100pF, 13pF의 커패시터로 구성되었다. 전하 펌프에 흐르는 전류는 각각 2.5mA와 250 μ A이다.

위상고정루프는 부궤환 구조를 가지고 있기 때문에 회로의 안정성을 검증하는 것이 중요하다. 안정된 동작을 위해서 개루프 이득이 0dB가 될 때 위상 여유가 충분히 확보 되어야만 한다. 식 (3)과 (4)를 MATLAB을 이용하여 주파수 변화에 따른 개루프의 크기와 위상을 시뮬레이션 한 결과가 그림 6과 같다.

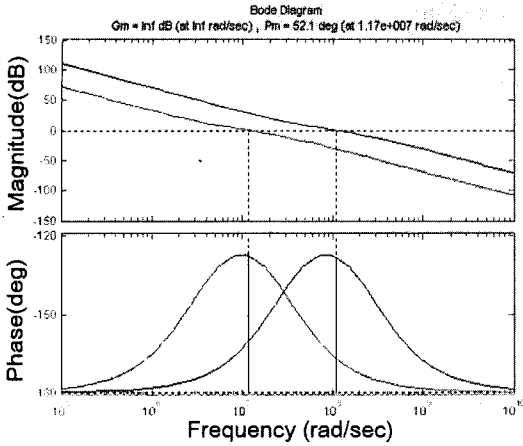


그림 6. Bode 선도
 Fig. 6. Bode plot

그림 6에서 좁은 대역폭을 가지는 선은 위상고정루프가 위상고정된 상태를 나타내고, 넓은 대역폭을 보여주는 선은 위상고정루프가 위상고정이 안된 상태를 나타낸다. 위상고정이 된 상태의 대역폭 주파수는 11.7MHz이며 위상 여유는 52.1도이고, 위상고정이 안된 상태의 대역폭 주파수는 109MHz, 위상 여유는 51.6도이다. 두 상태 모두 충분한 위상 여유를 가지고 있어서 안정된 동작을 한다는 것을 보여준다.

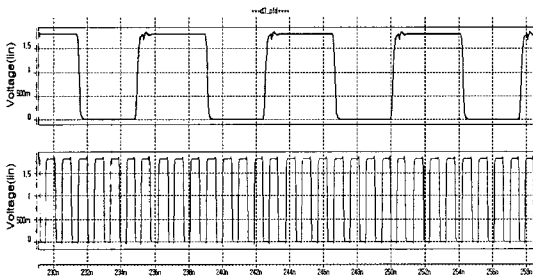
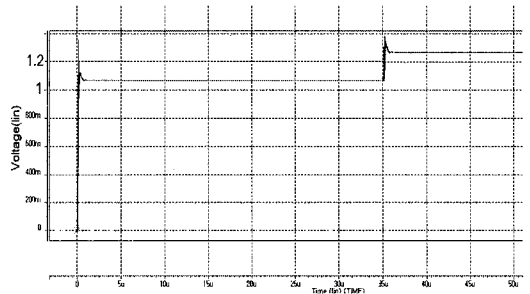


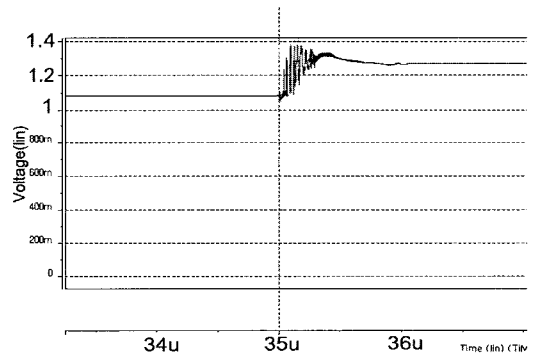
그림 7. 주파수 체배기 출력
 Fig. 7. Output of frequency multiplier

그림 7은 주파수 체배기의 출력파형을 시뮬레이션한 결과이다. 지연고정루프의 출력 클록이 8배로 주파수 체배되어서 기준 주파수인 162.5MHz의 8배인 1.3GHz의 클록으로 생성된다. 이 클록이 대역폭이 넓은 루프의 입력으로 들어가며 LSI의 신호에 의해 그림 1의 저항 R_s 를 연결시킨다. 이때 전하펌프에 흐르는 전

류량은 2.5mA이며 저항 값은 총 350Ω이 된다. LSI의 출력신호가 나오게 되면, 즉 V_a 의 값이 low에서 high로 바뀌면 광대역 루프의 연결이 끊어지고 협대역 루프가 연결된다. 협대역 루프로 동작할 때에는 위상주파수 검출기에 기준 주파수 162.5MHz가 입력으로 들어가며 전하펌프에 흐르는 전류량은 250μA, 루프 필터의 저항 값은 3KΩ이 된다.



(a)



(b)

그림 8. (a)전압제어발진기 입력
 (b)채널 변환 시 위상고정시간 (0.9μs)

Fig. 8. (a) Input voltage of VCO
 (b) Locking time(0.9μs)

그림 8은 전압제어발진기 입력 시뮬레이션 결과이다. 총 60μs를 시뮬레이션 했고, 35μs에서 분주기의 값을 바꾸었다. 그림 8(b)는 분주기의 값을 바꾼 뒤의 결과파형을 확대한 것이다(분주비 = 17). 위상고정에 걸리는 시간은 약 0.9μs임을 확인할 수 있다. 제안한 구조의 0.9μs의 위상 고정시간은 참조 논문 [3]과 [5]의 위상고정시간 6μs와 20μs 보다 아주 작음을 보여주고 있다.

그림 9는 전체회로의 레이아웃을 나타낸 것이다. 레이아웃은 TSMC 0.18 μ m RF 공정을 이용하여 Cadence사의 Virtuoso로 구현하였다. 루프 필터를 포함한 칩의 면적은 0.78 x 0.77mm²이다. 일반적으로 집적화가 불가능할 정도의 크기를 가진 루프필터의 커패시터를 작은 값을 가지도록 하여 제안한 고속 위상고정루프를 하나의 칩으로 집적화 하였다.

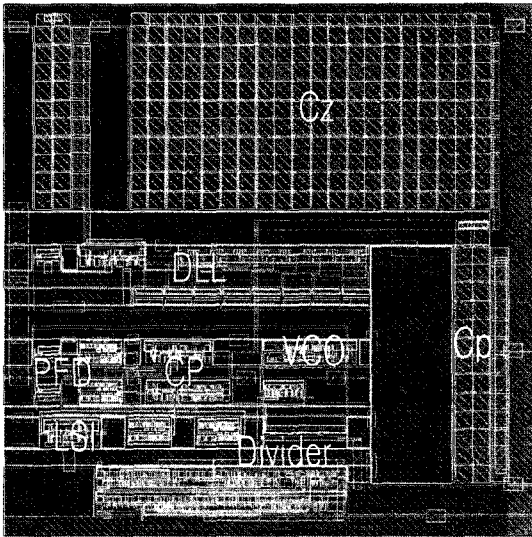


그림 9. 레이아웃
Fig. 9. Layout

IV. 결 론

본 논문에서는 지연고정루프를 사용하여 빠른 락킹 타임을 가지는 Integer-N 방식의 위상고정루프 설계를 제안하였다. 제안한 위상고정루프는 기본적인 위상고정루프 구조에 지연고정루프와 주파수 체배기를 덧붙여 사용했다. 지연고정루프와 주파수 체배기를 사용하여 입력 주파수의 8배가 되는 출력 주파수를 만들어 위상고정루프의 넓은 대역폭 루프의 입력으로 사용한다. 위상 고정 시간이 되지 않은 상태일 경우에는 LSI 블록의 출력 신호가 넓은 대역폭 루프를 구동시켜 보다 더 빠른 위상고정을 시켜주며, 위상고정 상태일 경우에는 LSI 블록의 출력 신호가 좁은 루프 대역폭을

가지는 외부의 루프를 동작시켜 안정되게 잡음이 감소된 출력 주파수를 얻도록 해준다. 이 구조의 위상고정루프는 단일 구조로 저잡음의 특성을 가진 높은 출력 주파수를 얻을 수 있으며 위상고정 시간이 0.9 μ s로 매우 빠른 것을 볼 수 있다. 제안된 위상고정루프는 0.18 μ m CMOS공정을 기반으로 설계 되었으며, Hspice를 사용하여 시뮬레이션 하여 동작을 검증하였다. 위상고정루프의 입력 주파수는 162.5MHz이며 출력 주파수는 2.6GHz이다

참고문헌

- [1] J. Lee and B. Kim, "A low-noise fast lock phase-locked loop with adaptive bandwidth control," IEEE J. Solid-State Circuits, vol. 35, no. 8, pp. 1137-1145, Aug. 2000.
- [2] J. Dunning et al., "An all-digital phase-locked loop with 50-cycle lock time suitable for high-performance microprocessors," IEEE J. Solid-State Circuits, vol. 30, no. 4, pp.412-422, Apr. 1995.
- [3] L. C. Liu and B. H. Li, "Fast locking scheme for PLL frequency synthesizer," Electronics Letters, vol. 40, no.15, pp. 918-920, July 2004.
- [4] Keliu Shu, Edgar Snchez-Sinencio, Jos Silva-Martinez and Sherif H. K. Embabi, "A 2.4-GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and Loop Capacitance Multiplier," IEEE J. Solid-State Circuits, vol. 38, no. 6, pp. 866-874, June 2003.
- [5] Ching-Yuan Yang, Shen-Juan Liu, "Fast- switching frequency synthesizer with a discriminator-aided phase detector" IEEE J. Solid-State Circuits, vol.35, NO. 10, Oct. 2000.

저자소개



최혁환(Hyek-hwan Choi)

1979. 02. 경북대학교 전자공학과
졸업(공학사)

1990. 02. 아리조나 주립대 전기공학
과 졸업(공학석사)

1993. 05. 아리조나 주립대 전기공학과 졸업(공학박사)

1994. ~ 현재 부경대학교 교수

※관심분야: 반도체 소자 모델링, 디지털 시스템 설계,
집적회로 설계



권태하(Tae-ha Kwon)

1975. 08. 경북대학교 전자공학과
졸업(공학사)

1990. 02. 경북대학교 전자공학과
졸업(공학석사)

1993. 05. 경북대학교 전자공학과 졸업(공학박사)

1982. 03 ~ 현재 부경대학교 교수.

※관심분야: 적외선 센서, 박막형 초전도체, 태양전지,
집적회로 설계