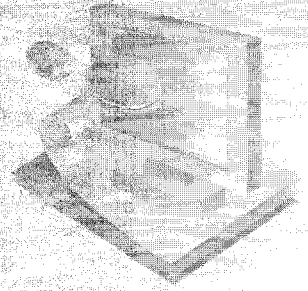


차세대 패키징용 회로기판 소재의 기술동향



이우성 책임연구원, 이형규 수석연구원(센터장) (전자부품연구원)

1. 서론

IT 기술의 급속한 발전에 따라서 전자기기는 소형화와 더불어 카메라, 통신, 게임 등의 여러 종류의 기능을 융복합화한 기기로 출현되었으며, 이를 위한 반도체 소자 및 회로 소자를 기판에 패키징하기 위한 신기술이 개발되고 있다. 회로가 구현되는 반도체 패키지 기판은 회로의 고집적화가 진전되고 있으며, 반도체 소자를 플립칩하거나 수동 소자를 내장하는 등의 기술이 적용되고 있다. 반도체용 패키지

용 PCB는 1937년 메탈리콘이라는 이름으로 발명된 이후에 1950년 후반 관통홀인 PTH (Plated Through Hole)이라는 쓰루홀을 형성하였고, 도금을 통해서 전극을 형성하는 기술 개발된 후에 기술의 급격한 발전이 이루어졌다. 반도체는 20세기 후반 서브마이크론의 배선밀도가 nm 대역으로 발전하면서 집적도를 높이고 있는 상황이나, 반도체를 패키지 하는 배선 기판의 선폭은 수백 μm 를 활용하고 있으며, 최근 수십 μm 대역으로 선폭을 구현하기 위한 기술 개발의 필요한 상황이다.

본 기고에서는 반도체를 패키징 하기 위해서 활

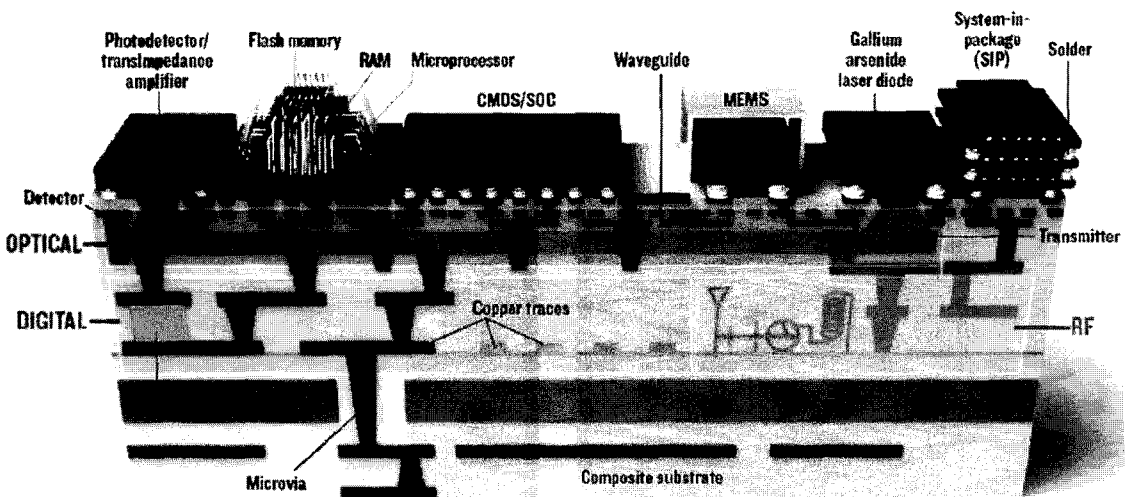


그림 1. 고집적 기판 기술이 적용된 SIP 패키지 기술 개념도 [PRC Center].

Integral substrate

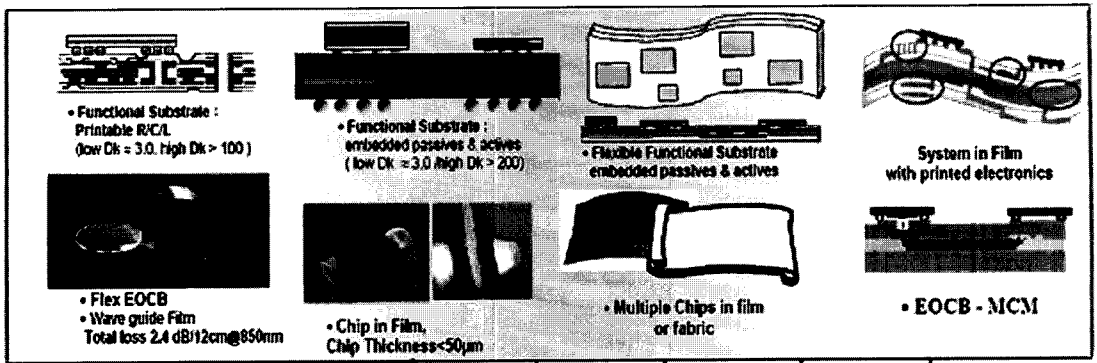


그림 2. 패키징용 부품의 기술 동향.

용되고 있는 회로 기판용 소재의 기술 동향을 기술한다.

1.1 정의 및 요소기술

차세대 패키징용 회로 기판 소재는 반도체를 패키징 하기 위해서 필요한 재료이며, 회로 구현을 통해서 반도체의 미세 선로에 대응이 가능하다. 또한, 고방열 및 반도체 임베디드 등의 기능 구현이 가능한 차세대 반도체 패키징용 소재를 칭할 수 있다.

그림 2 (ITRI 패키지 기술 로드맵)에서와 같이 패키지는 다기능화의 진전과 더불어 플렉시블한 영역으로 발전하고 있다. 이중에 반도체 패키징용 회로 기판의 소재의 기술은 초소형화에 따른 고집적, 고방열화 등의 기술로 나뉘볼 수 있다.

- ① 고집적 소재 기술은 칩부품과 같은 능동부품과 R, L, C와 같은 수동 부품을 기판 내에 임베디드 함으로써 부품을 고집적화하는 임베디드 기술과 미세 선로를 구현함으로써 플립칩 패키징에 대응이 가능한 기술이 필요하다. 반도체 패키징 공정 중에 사용되는 소재의 열팽창계수로 인해서 휨 등의 문제가 발생해서 이를 해결하기 위한 저팽창용 소재 개발이 요구된다. 고밀도 회로를 구현하기 위해서 고다층화와 미세선로의 구현이 가능하고 SAP (Semi-additive Plating) 회로 패턴 기술 개발이 요구된다.

- ② 조명용 LED 반도체와 전력 발전용 반도체 소자는 고열 방출로 인해서 특성 열화의 문제점을 지니고 있으며 이를 해결하기 위해서 고방열을 위한 절연 소자가 필요하다.

1.2 중요성

패키징용 소재는 HDI 기판 및 휴대폰 등의 다층 기판용으로 고부가 PCB 제품에 활용되고 있으며 IT 기기의 고기능화에 대응하여 반도체 실장용 소재로서 수요가 크게 증가하고 있다. 임베디드 소자는 2013년 600억 엔 시장이 형성되며 매년 100% 이상 성장률이 전망 (출처: '09 후지키메라 리포트-부품내장기판)되고 있다. 또한, LED 대응을 위한 고방열·고신뢰성 PCB의 수요 증가하고 있으며 2012년 132억 엔 시장 형성이 예상되는 등 이 분야에서 매년 78% 성장률 전망 (출처: JMS 2008.5)하고 있는 고성장의 응용 분야를 지니고 있는 장래 유망한 부품 소재 분야이다.

2. 테마 기술의 일반 동향

2.1 세라믹 폴리머 복합 소재 기술

반도체 패키징용 고방열, 고집적 소재는 폴리머의 유연성과 세라믹의 물성이 결합한 복합소재로 구성된다. 그림 3에서와 같이 유전체, 압전체, 자성체 등

의 분말 금속을 폴리머와 혼합함으로써 고특성의 복합 소재의 구현이 가능하다. 세라믹 소재는 폴리머와의 상용성을 높이기 위해서 실란 처리 등의 표면처리를 하게 되며, 폴리머의 유연한 물성을 해치지 않는 범위에서 필러의 함량을 최대한 충전하기 위한 공정 기술이 요구된다. 다음은 이러한 소재를 개발하기 위한 기술과 관련된 변수를 정리한 것이다.

- (1) 폴리머 및 세라믹 소재 조성 기술
- (2) 필러의 표면 처리 및 분산 기술
- (3) 필름 성형 기술
- (4) 필름 특성 평가 기술
- (5) 필름 적용 공정 기술

2.2 Low CTE 소재 기술

배선의 고밀화와 더불어 반도체 패키지는 박형화가 지속되고 있으며, 이로 인해 제조공정 중에 제품의 휨현상으로 인해서 제품의 치수 불안정 문제가 발생하고 있다. 이러한 휨현상은 기판 및 반도체소자 등의 구성소재가 가진 열팽창율의 차이로 인해서 패키지 제품 제조 시 온도의 상승 및 하강 시에 발생하게 된다. 불량률의 원인이 되는 휨현상을 줄이기 위해서 수백 ppm/K의 폴리머의 소재의 CTE (Coefficient of Thermal Expansion)를 베어칩 Silicon의 CTE와 유사한 값으로 줄이기 위한 노력이 확대되고 있다. Low CTE를 구현방법은 폴리머에 비해서 낮은 CTE 값을 지니는 세라믹 필러의 충전도를

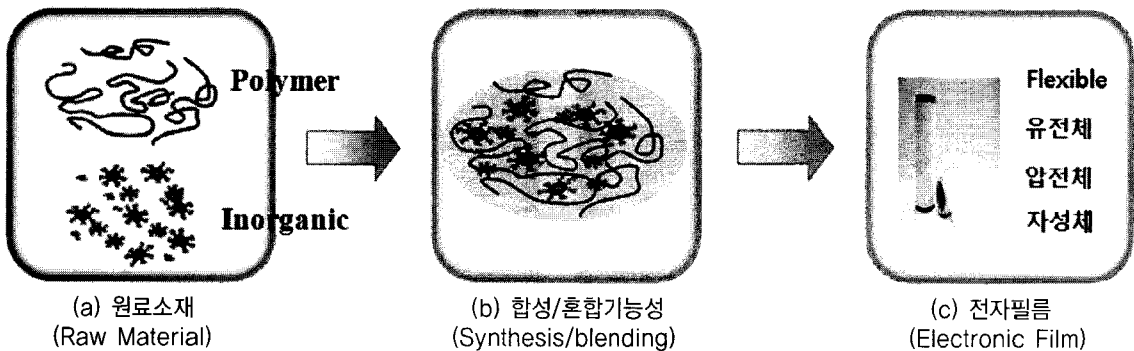


그림 3. 기능성 패키징용 소재의 구현 모식도.

표 1. Glass Fabric 특성.

Glass		Q	D	S	E	H
조성	SiO ₂	99.9	75~76	62~65	53~56	TiO ₂ -SiO ₂ glass
	Al ₂ O ₃		<1	20~25	14~18	
	CaO		<1		20~24	
	MgO		<1	10~15	<1	
	R ₂ O		<3	0~1	<1	
	B ₂ O ₃		19~20	0~1	5~20	
CTE (ppm/k)		0.54	3.1	2.9	5.6	7.8
인장강도 KN/mm ²		73	53.9	84.3	72.5	-
유전율 (at 1MHz)		3.8	4.2	5.4	6.7	11.6
유전정접 (at 1MHz)		0.0002	0.0008	0.0011	0.0014	0.0010

R : Alkali-Metal

최대화하는 방안과 Glass Fabric을 활용한 컴포지트 소재를 복합화 하는 방향으로 개발이 되고 있다. 회로 기판의 CTE 감소를 위해서 다음의 핵심기술 요소의 확보가 필요하다.

- (1) Filler 표면처리
- (2) 필러의 분산을 통한 고충전화
- (3) Fabric 소재 종류
- (4) Resin 종류

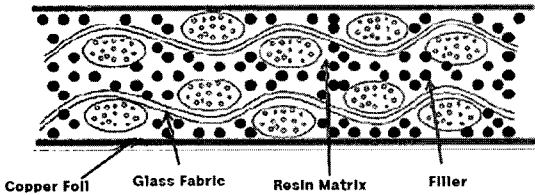


그림 4. PCB CCL의 단면도.

그림 4에는 Low CTE 패키지 소재로써 활용되는 CCL (Copper Clad Laminate) 소재의 단면을 나타내었다. Low CTE 소재를 제조하기 위해서 Glass Fabric에 폴리머와 세라믹이 분산된 소재를 함침시킨 후에 건조하여 B-Stage의 상태의 필름을 제작한다. 표 1은 Low CTE 기판소재에 활용되는 Fabric 소재를 나타내고 있으며 기계적 강도, 비아 형성 특성, 전기적 특성 및 Fabric의 가격 따라서 다양한 Glass Fabric 소재가 활용된다.

2.3 SAP(Semi Additive Plating) 회로 패턴용 소재 기술

표 2는 PCB 산업에서 요구되는 ITRS 기판에서 요구되는 디자인 로드맵 기술을 정리한 것이다. 반도체의 고집적화에 따라서 반도체 패키지용 기판소재의 선택은 2020년 6 μ m/6 μ m의 Line/Spacing이 구현되는 것이 요구된다.

그러나 기존의 전통적인 PCB 공정에서 사용되는 에칭만으로는 미세라인을 형성에 한계가 있어서 미세라인이 형성이 가능하도록 도금에 의한 회로 패

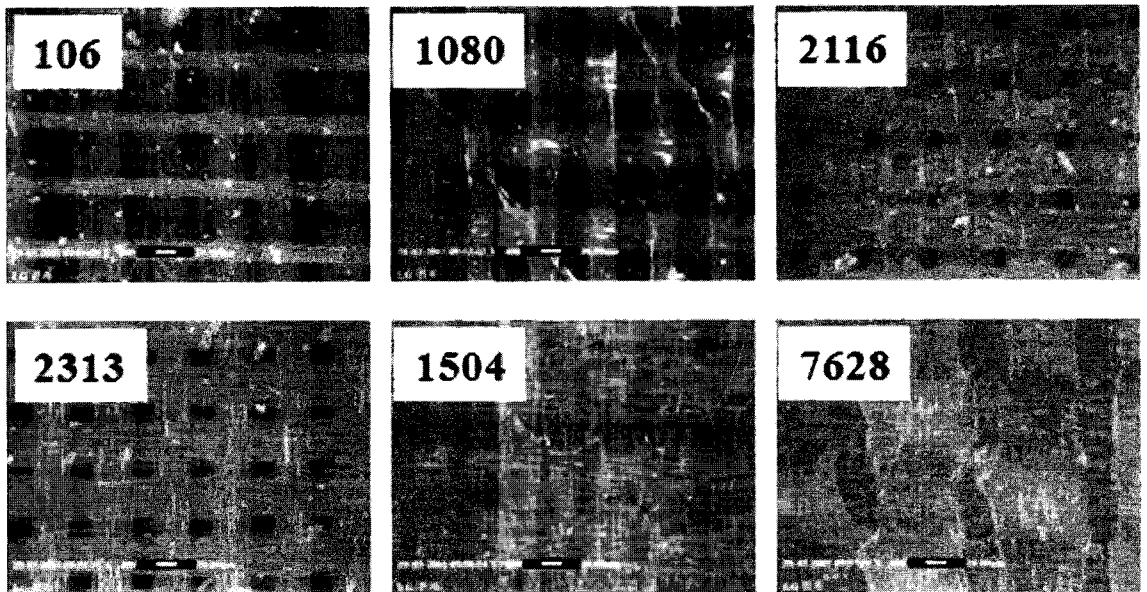


그림 5. Glass Fabric 사진.



표 2. ITRS Substrate Requirement Roadmap 2008.

[Unit : μm]

Item		2008	2009	2010	2011	2012	2015	2020
Line/Spacing	Buildup for FCBGA	15/15	12/12	12/12	10/10	10/10	8/8	6/6
	Buildup for SiP	20/20	20/20	10/10	10/10	22/22	8/8	8/8
	Rigid for P-BGA	50/50	40/40	30/40	30/40	30/40	30/40	30/40
Blind Via Diameter	Buildup for FCBGA	50	50	50	50	50	40	30
	Buildup for SiP	65	60	60	60	55	50	30
	Rigid for P-BGA	100	100	80	80	80	70	60
Through Via Diameter	Buildup for FCBGA	150	100	100	100	100	80	70
	Buildup for SiP	100	75	70	70	70	60	60
	Rigid for P-BGA	100	100	80	80	80	70	50
Min. Core Thickness	Buildup for FCBGA	400	400	200	200	200	200	200
	Buildup for SiP	100	100	100	100	90	80	70
	Rigid for P-BGA	130	120	110	100	90	90	80

Buildup for FCBGA : high-end Cost Performance Applications

Buildup for SiP : Handheld Applications

Rigid for P-BGA : Low Cost & Harsh Application

턴 공정 기술인 SAP (Semi-Additive Plating) 회로 구현공정을 도입하고 있다. SAP 공정에서는 우선 절연체 기판 표면에 조도를 형성한 후에 Pd과 같은 Seed Layer를 형성하고 Cu 무전해 도금을 거친다. 이러한 소재 표면에 PR (Photo Resistive) 필름을 도포한 후에 노광, 현상하고, 전해도금을 통해 형성된 패턴 내 Cu를 채우는 공정을 거쳐서 미세라인을 형성하게 된다. 이러한 공정도를 아래 그림 6에 나타내었다. SAP 공정이 가능하도록 구현된 대표적인 소재가 ABF (Ajinomoto Build-Up Film)이다. ABF 소재는 SiO_2 가 필러로 활용되며, 폴리머 소재는 KMnO_4 용액에서 디스미어 공정 동안에 앵커 형성이 가능하도록 하는 특징을 가지고 있어서 디스미어 공정 이외에 별도의 공정 없이 표면에 조도가 형성됨으로서 신뢰성이 있는 메세라인용 Cu 소재의 도금이 가능하도록 설계되어

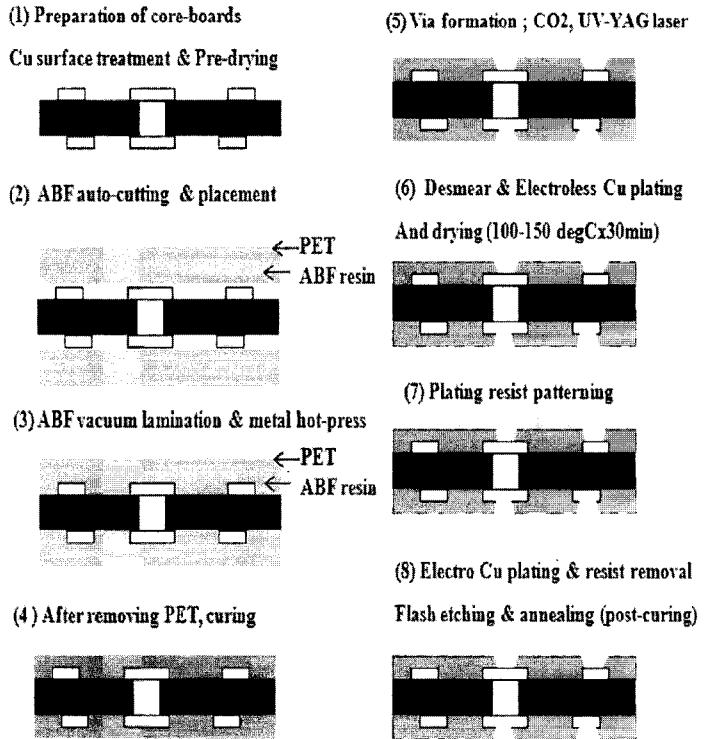
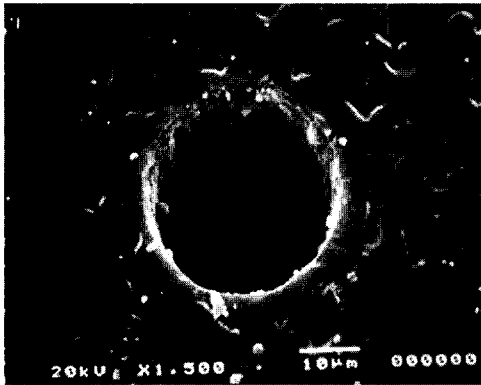


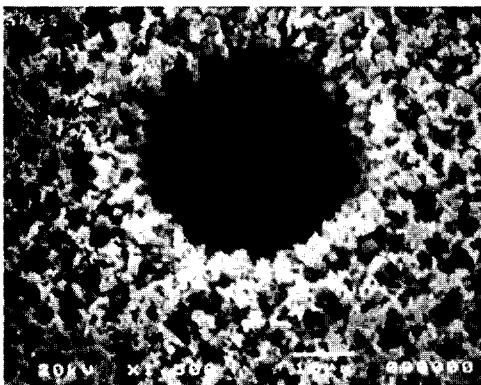
그림 6. ABF 필름을 활용하는 SAP Process.

있다. 또한, ABF 필름은 반도체의 플립칩이 가능하도록 미세라인이 구현되며 Glass Fabric이 없어서 홀가공이 용이한 장점이 있어 고집적화가 가능한 특징이 있다. 아래 그림 6은 $KMnO_4$ 로 디스미어 후에 형성한 미세구조를 나타내었다.

ABF 절연 Film과 RCC (Resin Coated Copper)를 비교해 보면, ABF 필름은 도금을 통해 적정두께를 올리기 때문에 두께 조절이 자유로우며 비아 형성을 위한 Laser 가공이 용이하다는 장점이 있다. 이에 비해서 액상 수지를 Cu 필름에 코팅하는 RCC는 경화시에 기포의 발생이 용이하고 적층 후에 두께편차에 의해서 제품의 수율이 저하하는 문제가 있다. 또한,



(a)



(b)

그림 7. 디스미어 전후의 사진.

ABF와 같은 필름소재는 박형 기판에 활용될 때에 표면 평활성이 뛰어나서 기판의 두께 용이하게 조절할 수 있다는 장점이 있다. 이러한 장점 때문에 Intel社의 Flip-Chip 패키지 기판으로 활용이 되고 있으며, 최근 고속의 특성이 요구되는 그래픽 칩용 패키지 등에서도 활용이 확대되고 있다.

2.4 고방열 회로 패턴 기술

최근 그린에너지의 일환으로 고효율 부품 개발에 대한 관심이 증폭되고 있으며 이에 따라서 조명 분야, 전력 반도체 등에서도 열방출 특성 향상을 통한 반도체 고효율화를 위한 회로 기판의 필요성이 대두되고 있다. 조명이 많이 활용되는 High Power LED의 경우 고열방출이 요구되는 기판 소재가 필요한데 고방열의 소재는 대부분 일본에서 수입되고 있다.

기판소재로서 고방열 소재는 대부분 에폭시 소재에 Al_2O_3 , AlN과 같은 고방열의 세라믹 분말을 분산시킨 B-Stage 필름 소재이며, 고방열 필름은 접착이 가능한 특성이 있다. 고열전도도를 위해서 활용되는 필러 및 금속, 세라믹 소재의 특성을 그림 8에 나타내었다.

방열 기판으로 사용되는 Metal PCB 기판은 Al 기판을 아노다이징으로 표면 처리한 후에 10z 혹은 20z 정도의 Cu 층을 적층함으로써 회로 형성이 가능한 Metal PCB의 제조가 가능하다. 최근 회로 패턴의 고밀도화에 따라서 단층의 Metal PCB는 LED를 하나하나 조절이 필요하게 되어 배선이 고집적화·다층화 하고 있어서 PCB 업체에서는 고방열 접착필

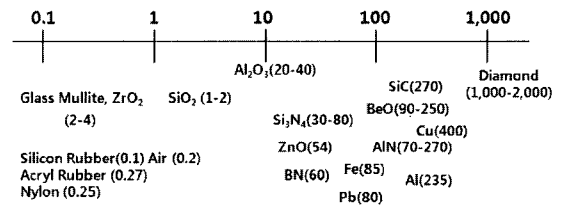
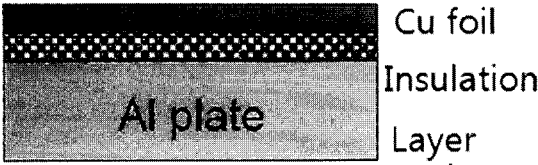


그림 8. 각종 소재의 열전도도 물성.



$$\log \epsilon = V_b \log \epsilon_b + V_c \log \epsilon_c$$



V_c : Ceramic Filler 부피
 V_p : Polymer 부피
 ϵ_c : 필러의 유전율
 ϵ_p : 폴리머의 유전율

그림 9. 단층 Metal PCS의 단면.

름. Cu 필름, Al 기판을 활용하여 다층 기판을 제작하고자 하는 노력을 경주하고 있다.

2.5 고유전율 컴포지트 소재 기술

반도체 소자의 작동을 위해서 Chip 주변에 적절한 전원의 공급, 외부 매칭회로 등이 필요하며, 이를 위해서 많은 수의 수동소자가 회로 부품으로써 요구되며 이러한 수동소자를 기판 내에 내장화하기 위한 임베디드 기술 개발이 확대되고 있다. 커패시터와 인덕터 등의 소자는 소재의 유전율값을 향상시키거나 투자율값을 증가시킴으로써 크기를 감소시킬 수 있다. 유전율을 증가시키기 위해서 에폭시에 BaTiO₃ 등의 고유전율 세라믹 분말을 분산시킨 필름이 고용량의 디커플링 커패시터용 소재로써 제품화되고 있다.

GHz의 고주파수 대역에서는 매칭을 위한 분포소자의 용량이 매우 작아서 비교적 낮은 유전율과 낮은 손실 특성의 소재가 요구된다. 또한, 발룬, 필터, 안테나와 같은 고주파 부품은 사용 주파수에서 $\lambda/4$, $\lambda/16$ 등의 물리적인 치수를 만족해야 한다. 고주파 부품의 물리적인 치수를 만족하는 소자를 구현하기 위해선 사용되는 소재의 유전율 및 투자율을 증가시키는 것이 필요하다. 테프론, LCP, Polystyrene 등의 폴리머 소재는 고주파수 대역에서 낮은 유전특성과 저손실 특성을 갖고 있는데 이러한 소재에 세라믹을 복합체로 하게 되면 고유전율의 세라믹-폴리머 기판 소재의 구현이 가능하다. 이때 세라믹 필러의 양의 증가에 따라서 증가하는 유전율은 Lichtenecker의 지수 법칙에 따라서 예측이 가능하며 그 식은 아래와 같다.

일반적으로 복합체에서 필러를 고충전하는데 어려움이 있으며, 필러의 부피를 50% 이상으로 증가하면 기공의 혼입되어 제품의 신뢰성이 저하되며, 고충전된 복합체 소재는 유연성을 갖지 못해 PCB 공정 적용에 문제가 있다.

2.6 고다층 패키지 소재 기술

PCB에서 다층 회로를 구현하기 위해서 사용되는 빌드업 공정용 Prepreg 등의 소재는 열경화성 폴리머 소재를 활용하기 때문에 Cu 적층, 비아형성, 도금, 노광, 현상, 에칭 등을 매층 반복하여 회로 패턴을 제조하여야 한다. 이 때문에 적층수가 증가하면 제조비용도 층수에 비례해서 증가하게 된다.

이러한 고비용의 문제를 해결하기 위해서 일괄적층 소재 및 공정 기술이 개발되고 있다. 일괄적층 공정을 활용하게 되면 프레스 공정 스텝 수를 대폭 삭감되기 때문에 저가격화하면서 고다층화에 의한

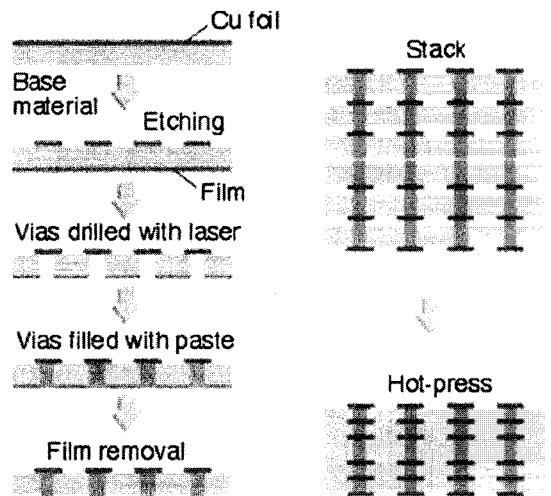


그림 10. 멘소사의 PALAP 일괄적층 공정.

고밀도 배선이 가능하다.

일괄적층이 가능하도록 소재 기술의 하나가 LCP, PEEK와 같은 열가소성 폴리머 소재를 이용하는 기술이다. 열가소성 소재는 온도가 증가하게 되면 유연한 특성으로 폴리머 소재간의 결합이 가능한 특성으로 세라믹의 적층 공정처럼 패턴의 구현을 동시에 하고 한꺼번에 적층함으로써 일체화한 부품이 구현된다.

그림 10은 덴소가 개발한 일괄 적층 배선판 PALAP (PAtterned Prepreg LAY up Process)의 개략도이다. 먼저 Cu박과 열가소성 수지를 적층하고 Cu 박막을 포토리소그래피로 패턴을 형성한다. 아랫면에 이형 필름을 붙이고 필름 측에서 패턴이 형성된 방향으로 레이저로 비어 홀을 형성한다. 여기서 열가소성 수지의 적층 온도에서 경화되는 후막 페이스트를 이용하여 비어를 필링한 후에 비어를 형성한다. 이형 필름을 벗기는 동시에 일괄적으로 압착하여 다층 배선판을 형성한다.

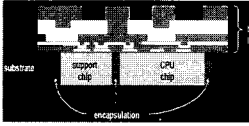
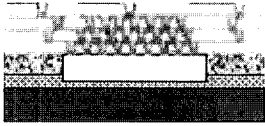
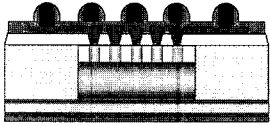
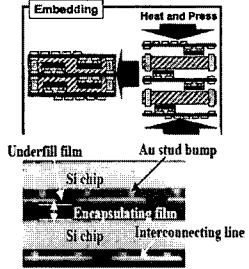
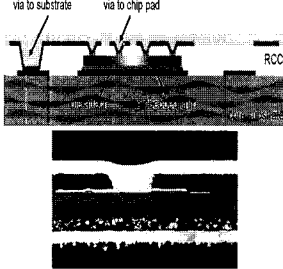

3. 차세대 패키지용 소재 기술의 국내·외 기술 개발 동향

3.1 Low CTE 소재 기술

반도체용 패키지 소재에서 활용되는 CCL (Copper Clad Laminate) 소재는 높은 Tg를 지닌 고내열성 소재가 활용이 되는데 고열에서도 Chip 부품과 Package 기판과의 CTE 값의 차이를 줄이기 위한 소재가 개발되고 있다. 이러한 고내열 특성을 만족하기 위해서 BT (Bismaleimide-Triazine), PPO (Polyphenylene Oxide) 및 다관능 에폭시 소재를 활용하고 있으며 Glass Fabric에 SiO₂를 분산한 소재가 활용되고 있다. 반도체 패키지용 저유전 소재는 MGC, Hitachi, PEW 등의 업체에서 제품화하고 있으며 국내에서는 두산 전자에서 소재를 개발하고 있다.

Low CTE 소재를 활용한 칩임베디드 패키지 기술이 개발되고 있다. 인텔에서는 PCB 소재로써 Low CTE 소재를 이용해서 BBUL (Bumpless Build-Up

표 3. Embedded Active 패키지 기술.

업체명	인텔 BBUL	GE	CASIO
구조			
특징	몰딩틀내 칩을 내장하고 빌드업: CPU와 주변 칩을 같이 내장	코어위에 칩을 올리고 빌드업: 원천특허 보유	Embedded WLP기술 : 웨이퍼 상태에서 폴리머에 내장
업체명	Nitto-Denko	Fraunhofer IZM	IMBERA
구조			
특징	플립칩 패키징 후 일괄 적층시켜 다층 임베디드 칩을 형성	Chip in Polymer: 코어위에 칩을 본딩하고 레이어와 도금 기술 이용	코어 Cavity에 IC를 몰딩하고 양쪽으로 빌드업

Layer) 기술을 제안하였는데 CPU 프로세스 칩, 메모리, 그래픽 칩 그리고 주변칩 들을 기판 내에 내장시킨 후 PCB의 빌드업 방식을 이용한 임베디드 멀티칩 기술이 그것이다. 또한, 유럽에서는 IZM, IMEC 등의 연구소가 주축이 되어 칩을 사전에 넣고 빌드업하는 Chip First 방법을 이용하여 칩을 기판 내에 내장하는 기술을 개발하고 있다.

3.2 SAP (Semi Additive Plating) 회로 패턴용 소재 기술

현재 PCB 산업에서의 미세라인 형성을 위한 절연 소재는 일본 재료업체가 주도하고 있다. Prepreg 타입의 고밀도 다층회로 기판 연성회로 기판 소재는 Hitachi Chem., Mitsubishi Gas Chem.의 업체 제품이 많이 사용되고 있으나, Flip Chip기판에 사용되는 빌드업 필름은 Ajinomoto社가 인텔에 Build-up 소재로써 독점 공급하고 있다. Ajinomoto社는 경화제 및 경화촉진제를 자체적으로 생산하고 있어서 풀리머 경화 시스템의 조절 능력이 있으며, 조미료 생산에 활용하던 염 (Salt)의 분산기술을 바탕으로 세라믹 필러를 분산하여 제품화가 가능하였다. ABF 필름을 대체하기 위해서 일본에서는 Hitachi Chemical 과 Nippon Steel Chemical 등의 회사에서 소재를 개

발하고 있다.

최근 ABF 타입의 빌드업용 SAP 소재는 에폭시에 SiO₂ 필러를 38 % 첨가하던 것을 더욱 늘려서 Low CTE 제품화하고 있으며, 앵커 형성 후에 Low Profile를 갖아서 배선의 해상도를 높이는 방향으로 제품화 기술이 진전되고 있다. 아래 표는 최근 사용되는 Ajinomoto社의 GX-13과 Low CTE를 위해서 Prepreg에 함침해서 제작된 GX13-GC 제품의 사양을 보여준다.

3.3 고방열 회로 패턴 기술

방열 회로 기판용 소재 분야에서는 고열전도도 Filler의 조합 및 이들의 분산 기술이 핵심기술로서 Filler 크기, 모양, 배합량을 조절하여 최고의 방열 성능을 보이는 복합체 소재를 구현하는 방향으로 개발 중이다. Laird社는 일반 FR4보다 8-10배 열전도성이 우수한 Thermal Prepreg (T-Preg)를 개발하였다. T-preg 제품은 LED 응용 분야에 초점을 맞추어 열전도율이 3.0 W/mK이며, 자동차의 모터 제어 모듈 등을 목표로 열전도율은 2.2 W/mK와 고온에서도 사용될 수 있도록 Tg가 150 °C의 특성을 지닌 소재를 개발하였으며 열전도율을 높이기 위해 Boron Nitride 필러를 사용하였다.

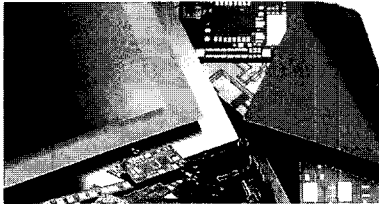
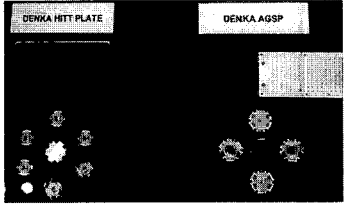
표 4. Ajinomoto社의 SAP용 소재 사양.

Item	unit	GX13	GX13-GC
Thickness (Total/Cloth)	um	40/-	50 - 70/16
Cure condition	-	180degC x 90min.	180degC x 90min.
CTE x-y/z (25-160degC, tensile TMA)	ppm	46/47	23 - 27/around 63
CTE x-y/z (150-250degC, tensile TMA)	ppm	120/155	8 - 11/around 289
Tg (tensile TMA)	degC	156	162
Tg (DMA)	degC	177	173
Young's modulus (MD)	GPa	4.0	10 - 11
Tensile strength (MD)	MPa	93	160 - 170
Elongation (MD)	%	5.0	2.0 - 2.2
Dielectric constant (5.8GHz) (Cavity Perturbation)	-	3.2	3.4 - 3.6
Loss tangent (5.8GHz) (Cavity Perturbation)	-	0.017	0.016 - 0.017
Water absorption (100deg.C x 1hour)	%	1.1	Around 1.0
HAST L/S=20/20um(130deg.C, 85%, 3.3V)	-	>300h	>300h
Flame retardancy (UL94)	-	V0	Equivalent to V0

일본의 Denka에서는 LED 관련 다양한 방열 재료 Line up 구축하여 LED Lamp 및 LED TV BLU 시장을 목표로 열전도도 2~8 W/mK의 다양한 특성의 Metal CCL 제품 개발에 성공하여 양산화하고 있다. Nitto Denko에서는 열전도율 1~4 W/mK인 방열 기판, 0.6~3 W/mK의 방열 Sheet, 2 W/mK의 방열 접착테이프 등을 개발하고 있다.

국내에서는 두산에서 2 W용 Metal Core PCB를 개발하여 판매중이나 시

표 5. 방열 소재 적용 제품.

개발 제품		
업체명	Laird社의 제품	Denka의 방열 기판

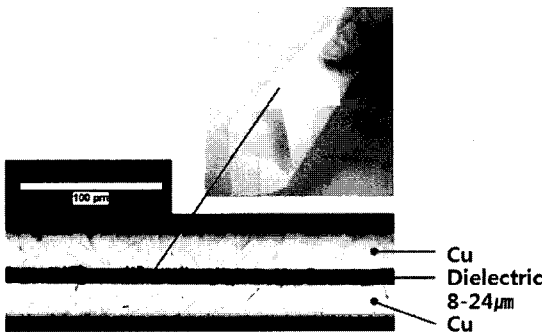


그림 11. Oak-Mitsui社의 소재가 적용된 PCB 부품.

장 점유율은 미미하나, LED TV, LED 조명, 자동차용 LED 등의 개발에 따른 고효율 방열 소재에 대한 수요가 더욱 급격히 증가할 것으로 예상된다.

3.4 고유전율 컴포지트 소재 기술

PCB 기판 내에 내장형 커패시터 구현을 위한 소재는 세라믹 BaTiO₃ 분말을 에폭시나 폴리이미드에 분산시킨 복합체 소재기술을 DuPont, 3M, Gould, Oak-Mitsui와 같은 업체에서 재료로 하고 있다. 특히 일본의 Oak-Mitsui에서는 유전율 4.4~30의 제품을 Paraflex란 상품명으로 출시하고 있으며 전력 개통의 시스템에서 낮은 임피던스를 구현하여 부품의 고집적화와 더불어 고주파대역까지 낮은 임피던스와 저ESR (Equivalent Series Resistance 등가저항)로 시스템의 신뢰성을 향상하는 부품 기술을 제안하고 있다. 국내에서도 KAIST에서 관련 기술을 연구하고 있다.

표 6. 내장형 커패시터용 고유전율 소재.

회사	Oak-Mitsui	Dupont	3M	Gould
상품명	Paradflex	Interra HK10	C-Ply	TPL
유전재료	BaTiO ₃ + Modified Epoxy	BaTiO ₃ + Polyimide	BaTiO ₃ + Epoxy	BaTiO ₃ + Epoxy
유전율	4.4, 10, 30	10, 12, 15	16	24, 3
두께	8, 12, 16, 24	8~25	8~20	4~25

전자부품연구원에서는 고주파 RF 부품용의 고유전율-저손실 컴포지트 소재 기술을 개발하였다. 개발된 폴리머 컴포지트 소재는 고유전율의 저손실의 특징으로 고주파대역에서 초소형 통신기기용 부품 개발에 적용이 가능하며, 저자력의 PCB 공정을 통해 생산이 가능하여 적층 LTCC 세라믹 공정에 비해서 경쟁력이 있는 부품 제조가 가능하다. 현재 국내 업체에서 고유전율 “8-15” ($Q \geq 200$ at 1 GHz) 폴리머 컴포지트 소재를 이용하여 국내 업체에서 Wibro, Bluetooth용 안테나의 생산에 활용하고 있다 (그림 12). PCB 공정의 낮은 공정 온도로 인해서 수동소자 뿐만 아니라 칩 부품이 임베디드 되는 부품 기술 개발을 추진하고 있다.

3.5 고다층 패키지 소재 기술

일본의 덴소에서 PEEK와 PEI 소재를 혼합한 열가소성 필름 제품을 출시하고 있다. Tg가 143 °C인 PEEK와 Tg가 216 °C인 PEI를 혼합하여 압출기에서 380 °C의 용융 혼합 캐스팅을 통해 제품화하는 과정을 거쳐서 PALAP 소재를 개발하였다. PALAP 소재

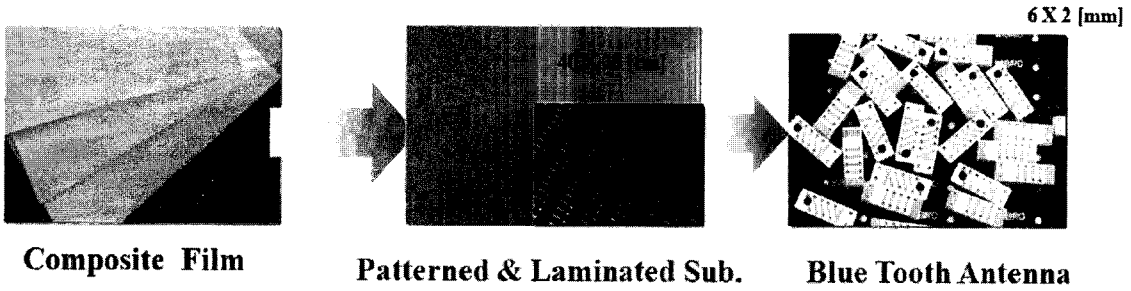


그림 12. 고유전율 컴포지트 소재와 PCB 공정을 통해 제작된 부품.

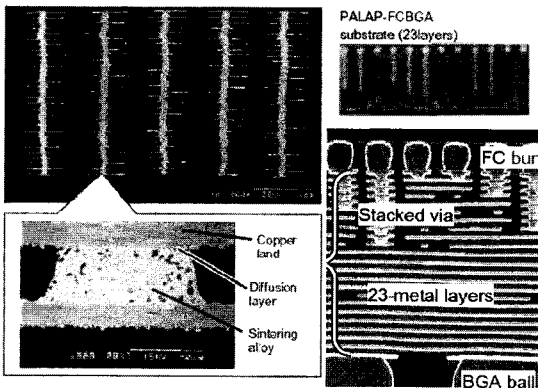


그림 13. PALAP 기술이 적용된 고다층 회로 구현 기술 (FC-BGA).

는 50층까지 적층이 가능하며, 최근 FC-BGA 기판 소재로써 활용되어 23층의 PCB 층이 형성된 패키지 부품에 적용 연구가 진행 중이다 (그림 13). DENSO에서는 Toyota 자동차와 함께 PALAP (고성능다층 기판)을 적용에 대한 연구를 수행중이며 반도체 패키지 및 자동차 분야에 적용을 추진하고 있다. 국내의 삼성전기에서는 용매에 용융이 가능한 LCP 수지에 세라믹 필러를 복합화함으로써 다양한 복합소재를 개발하고 있다.

4. 결론

반도체 패키지 기판의 고집적화를 위해서 현재의 30-15 μm 의 Line/Spacing 구현 기술이 2015년에 10

μm 이하로 그리고 비아도 50~75 μm 에서 10 μm 이하로 진행될 것이 예상된다. 이외에도 10 W/m·K의 고방열 소재와 6-7 ppm/K의 Low CTE 소재 기술이 요구된다. 이러한 회로 구현 기술은 Low CTE 패키지 소재 개발과 공정 기술 개발이 함께 개발이 되어야 가능한 영역이다.

반도체 패키지 소재의 경우에 일본의 업체들이 핵심 소재 기술 확보하고 있으며, 이를 통해 고부가 가치 차세대 반도체 패키지 제품화를 통해서 회로 기판 제품 기술을 선도하고 있다. 이에 국내에서도 반도체용 패키지 소재는 조성물의 개발에 장기간의 시간이 소요되는 문제와 소재를 활용하기 위한 공정 기술과 신뢰성의 확보 등 많은 과제를 고려하여 중장기적이고 체계적으로 패키징 소재에 대한 산학연의 협업 연구 개발이 진행되어야 할 것이다.

참고 문헌

- [1] C. Chien, L. Shen, T. Chang, C. Chang, F. Leu, T. Yang, C. Ko, C. Lee, C. Shu, Yee. and Y. Shih, "Chip Embedded Wafer Level Packaging Technology for Stacked RF-SiP Application", Electronic Components and Technology Conference (ECTC 2007), pp305-310(2007)
- [2] T. Suzuki, S. Tomekawa, T. Ogawa, D. Andoh, M. Tanahashi, and T. Ishida, "Interconnection Technique of ALIVH Substrate", Proc. 2001 Inter. Symp. Advanced Packaging Materials, 23-8, 2001.
- [3] H. KAMIYA, T. MIYAKE, H. KOBAYASHI and K.

KONDO, "Development of the Embedded LSI Technology in PALAP", EMAP 2005,, pp.183-186.(2005)

[4] KPCA magazine No 67, 2009.6.

[5] Current status and future prospects of high-heat-related markets JMS, 2008

[6] 高周波用高分子材料の開発と応用, pp45-61, 2005

[7] Ajinomoto Build-up Film Brochure.

저자|약력



성 명 : 이우성

◆ 학 력

- 1990년 고려대 금속공학과 공학사
- 1992년 고려대 대학원 금속공학과 공학석사
- 2008년 고려대 대학원 신소재공학과 공학박사

◆ 경 력

- 1992년 - 1997년 (주)유유 부설연구소 과장
- 1997년 - 현재 전자부품연구원 전자소재·응용연구센터 책임연구원



성 명 : 이형규

◆ 학 력

- 1984년 연세대 세라믹공학과 공학사
- 1986년 KAIST 재료공학과 공학석사
- 1989년 KAIST 재료공학과 공학박사

◆ 경 력

- 1989년 - 1992년 삼성반도체 선임연구원
- 1992년 - 현재 전자부품연구원 전자소재·응용연구센터 수석연구원(센터장)

