

VDL Mode-2 D8PSK 모뎀 설계 및 개발

정희원 김 종 만*, 최 승 덕*, 종신회원 은 창 수**

Design and Development of VDL Mode-2 D8PSK Modem

Jong-man Gim*, Seoung-duk Choi* *Regular Members*, Chang-soo Eun** *Lifelong Member*

요 약

본 논문에서는 VDL 모드-2 규격을 따르는 송신기와 수신기의 구조 및 설계방법 그리고 개발한 모뎀의 성능 시험 결과에 대해 기술한다. VDL 모드-2에서 송신기 필터는 올림 코사인 필터를 사용하고 수신기에서는 일반 저역 통과 필터(LPF)를 사용(비 정합필터)하기 때문에 ISI 경감 효과는 없으나 스펙트럼 특성은 더 좋다. 이는 정합 필터를 적용했을 경우보다 1~2 dB 정도의 BER 성능은 저하되나 협 대역 통신에서 이웃 채널에 간섭을 최소화 하는 것이 더 중요하기 때문이다. 송신기에서 변조신호 생성 시 발생하는 아날로그 방식의 단점(I/Q 이득 불균형, DC 오프셋 등)을 최소화하기 위해 디지털 방식으로 생성하였으며 수신기도 디지털 IF 샘플링 기법을 통하여 디지털 하향변환기를 적용하였다. 본 논문은 기 제안된 일부 구조 및 알고리즘^{[5]-[7]}을 포함하며 모뎀 구성에 필요한 전반적인 구조와 설계 방법 그리고 모의실험 결과가 추가되었다. 개발된 모뎀은 VDR 장비에 통합되어 각종 기능 실험과 환경시험을 거친 후 지상통신시험을 실시하였고 비행통신시험결과 시속 870 km/h로 310 km까지 메시지 송수신이 정상적으로 이루어짐을 확인하였다^[16].

Key Words : VDL Mode-2, D8PSK, Raised Cosine Filter, VDR, Preamble, DUC, DDC

ABSTRACT

We present a structure and design method of the D8PSK modem compatible with the VDL mode-2 standard and performance test results of the developed modem. In VDL mode-2, the raised cosine filter is used only in the transmitter and a general low pass filter is used in the receiver. Consequently, we can not achieve ISI reduction but can have better spectrum characteristics. Although there is 1~2 dB performance degradation with an un-matched filter compared to that with a matched filter, it is more important to minimize adjacent channel interference in narrow band communications. The transmit signal is generated digitally to avoid the problems(I/Q imbalance and DC offset etc.) of analog modulators. In addition the digital down converter using digital IF sampling technique is adopted for the receiver. This paper contains the overall configuration, design method and simulation results based in part on the previously proposed structures and algorithms^{[5]-[7]}. It is confirmed that the modem transmits and receives messages successfully at a speed of max. 870 km/h over ranges of up to 310 km through the ground and in-flight communication tests^[16].

1. 서 론

VHF 디지털 링크 (VDL)는 국제 민간 항공 기

구 (ICAO)의 항공 통신 패널 (ACP)에서 표준화 작업이 진행되어온 차세대 공지간 항공 통신 시스템이다. 현재 VDL은 용도와 변조 방식에 따라 3가지

* (주)파인텔레콤 연구 2팀 (jmkim@pinetelecom.com)

** 충남대학교 전기정보통신공학부

논문번호 : KICS2009-08-361, 접수일자 : 2009년 8월 8일, 최종논문접수일자 : 2009년 10월 22일

표 1. 모드 별 주요 특징 요약

Table 1. Summary of key characteristics of VDL Modes

항 목	Mode-2	Mode-3	Mode-4
변조방식	D8PSK	D8PSK	GFSK
전송속도	31.5 kbps	31.5kbps	19.2kbps
접속방식	CSMA	TDMA	STDMA
용 도	데이터	음성/데이터	감시

모드로 국제표준 및 권고방식 그리고 기술 지침이 규정되어 있으며, 각각 모드-2, 3, 4로 불린다. 각 모드별 주요 특징을 표 1에 요약 하였다.

국제적으로 VHF 대역에서 항공통신을 위한 주파수 대역은 118-137 MHz이며, 채널당 대역폭은 25 kHz로 분할되어 있다. 현재 항공통신의 수요 증가에 따른 주파수 자원의 고갈 문제로 기존의 AM-MSK 아날로그 방식에서 디지털 방식으로 전환의 기로에 있다. VDL 모드-2는 변조방식으로 D8PSK를 사용하며 접속방식은 CSMA 그리고 심벌율은 10,500 sps이고 전송율은 31.5 kbps이다. 이는 현재의 모드-1 보다 13배 빠른 것이다^[14].

본 논문은 상기 모드 중 모드-2 규격을 따르는 변조기 및 복조기를 설계하고 구현하여 성능 시험한 결과에 대해 기술한다.

II장에서는 디지털 변조기를 적용한 송신기 설계 방법 및 구현결과를 제시하고 III장에서는 디지털 하향 변환, 버스트 모드 AGC 루프, 프리앰블 검출기, 심벌타이밍 복원기, 도플러 및 주파수 오프셋 보상기 등 수신기 설계 및 구현 방법을 기술하고 IV장에서 송신기 및 수신기의 구현 결과와 성능 시험한 결과를 보이고 V장에서 결론을 맺는다.

II. 송신기 설계 및 구현

2.1 전송 프레임 구조

VDL 모드-2에서 전송 프레임 구조는 그림 1과 같이 송신시의 램프 업(lamp up)과 수신기에서 AGC 동작을 위한 영(zero) 심벌 3개와 48비트의 유닉워드(unique word), 25비트의 길이필드(length field), 그리고 가변 데이터필드(data field)로 구성되어 있다^[4].

그림 2는 VDL 모드-2 표준안에 제시된 송신 버스트의 램프 업 규정이다. 그림 2에서 가로축은 송신 심벌 인덱스를 나타내고 인덱스 '0'이 프리앰블 첫 번째 심벌에 해당된다. 송신기에서 램프 업 신호를 생성하기 위해 영 심벌 3 개를 프리앰블 앞에

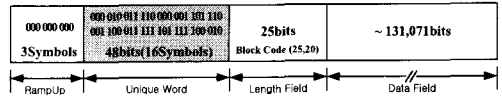


그림 1. VDL 모드-2 전송 프레임 구조
Fig. 1. Tx Frame Structure of VDL Mode-2

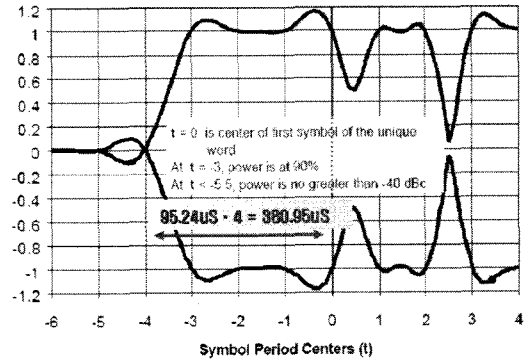


그림 2. 송신 신호 램프 업 규정
Fig. 2. Transmit Burst Ramp Up Rule

추가하여 올림 코사인 필터링을 수행하면 필터의 그룹지연으로 인해 5-심벌 구간에 걸쳐 램프 업 신호가 출력된다.

2.2 송신 기저대역 처리기

송신기의 기저 대역 처리기는 그림 3과 같이 전송 데이터와 길이 정보를 MAC으로부터 입력 받고, RS-부호기, 헤더 부호기, 훈련신호 생성기, 심벌 인터리버, 비트 스크램블러, 차동 부호기, 심벌 맵핑, 올림 코사인 필터, 송신기 제어기, 그리고 디지털 상향 변환기와의 인터페이스 로직 등으로 구성되어 있다. 전송 데이터와 길이정보를 MAC으로부터 심벌율 보다 훨씬 빠른 클럭으로 입력받은 즉시 길이 정보를 이용하여 길이정보의 부호화 및 전송 데이터의 RS 부호화 그리고 인터리빙의 쓰기 동작을 완

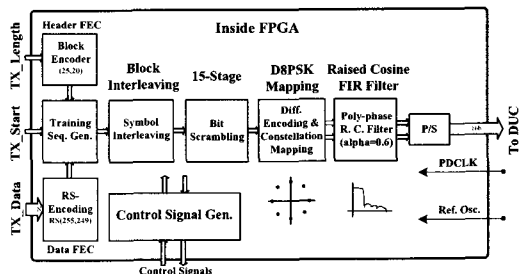


그림 3. 송신 기저대역 처리기 블록도
Fig. 3. Block Diagram of Tx BBP

료하고 송신시작(TX_Start) 신호가 입력될 때까지 대기한다. 만약 MAC으로부터 송신시작 신호를 입력 받으면 램프 업, 프리앰블, 부호화된 길이필드, 부호화되고 스크램블된 데이터 필드 순으로 심벌을 전송된다. 인터리버 블록에 듀얼 포트 램(DPRAM)을 사용하고 쓰는 클럭(1~10 MHz)을 읽는 클럭(10.5 kHz)보다 훨씬 빠르게 함으로서 전송 준비 지연시간을 최소화 하였다.

2.3 송신 FEC 및 인터리버

송신기는 수신기에서 RS FEC의 블록 길이를 알 수 있도록 17 비트의 길이정보를 송신하는데, 전송 과정에서 발생하는 오류를 정정하기위하여 부호화한다. 이 코드의 오류 정정 능력은 1 비트이다.

예약 비트 '000'을 포함한 길이정보(20 비트)는 선형블록코드(25, 20)의 부호기를 통해 25 비트로 부호화 된다. 여기서 패리티 행렬 및 부호화는 다음 식과 같다.

$$P = \begin{pmatrix} 00000000111111111111 \\ 00111111100001111111 \\ 11000111001100001111 \\ 11011011010100110011 \\ 01101001111001010101 \end{pmatrix} \quad (1)$$

$$G = [I_k \mid P^T] \quad (2)$$

$$C = mG = [m_1 m_2 \dots m_k | p_1 p_2 \dots p_{n-k}] \quad (3)$$

데이터 부분의 FEC는 RS(255,249) 2⁸-ary 코드를 사용한다. 여기서 원시다항식(primitive polynomial)과 생성다항식(generator polynomial)은 아래와 같다.

$$p(x) = x^8 + x^7 + x^2 + x + 1 \quad (4)$$

$$g(x) = \prod_{i=1}^{125} (x - \alpha^i) = x^{125} + \alpha^{176}x^{124} + \alpha^{186}x^{123} + \alpha^{244}x^{122} + \alpha^{176}x^{121} + \alpha^{225}x^{120} + \dots \quad (5)$$

표 2는 RS 부호기에 필요한 탭 계수의 이진표현

표 2. RS 부호기에 필요한 탭 계수
Table 2. RS(255,249) Code Tap Coefficients

$g_0 = \alpha^{225}$ = 00010111	$g_1 = \alpha^{156}$ = 10000010	$g_2 = \alpha^{176}$ = 11011001
$g_3 = \alpha^{244}$ = 00111110	$g_4 = \alpha^{186}$ = 01100011	$g_5 = \alpha^{176}$ = 11011001

표 3. RS 코드의 부호화 방법
Table 3. Encoding Method of RS Code

오류정정능력	데이터 바이트	ECC 바이트
0 바이트	2 이하	0
1 바이트	3~30	2
2 바이트	31~67	4
3 바이트	68 이상	6

이다. 오류는 최대 3 바이트까지 정정할 수 있으며 전송할 블록 길이에 따라서 표 3과 같은 방법으로 부호화된다. 예를 들어 전송 데이터가 55 바이트이면 194 바이트를 영으로 채워 부호화를 수행하고 전송할 때에는 데이터 55 바이트와 ECC 4 바이트만 전송하고 수신기에서는 수신된 데이터 55 바이트의 뒤에 194 바이트의 영을 붙이고 ECC 4 바이트와 나머지 ECC 2 바이트는 이레이저(erasure)로 취급하여 복호를 수행한다.

부호화된 옥텟은 FEC 복호 성능을 향상시키기 위하여 블록 인터리버로 인터리빙 된다. 인터리버의 구조는 행(row)과 열(column) 형태이고, 행 당 255 옥텟(바이트)을 가지며 열(column)의 개수는 다음과 같이 계산된다.

표 4에서와 같이 VDL 모드-2 규격에서 최대 전송 길이는 RS 코드 66 블록으로 전송 버스트 시간으로 환산하면 약 4 초가 된다.

인터리빙 방법은 249 바이트(1992 비트) 단위로 부호화된 255 바이트를 가로(좌에서 우로) 방향으로 메모리에 기록하여 세로(위에서 아래) 방향으로 읽고, 옥텟들의 최상위비트(MSB)부터 출력되어 스크램블러에 전달된다. (단, 채워진 비트들과 지워진 옥텟들은 빼고 읽는다.)

길이정보 17-비트로부터 열의 개수를 FPGA에서 구현하는 것은 그리 간단하지 않다. 왜냐하면 나눗셈을 해야 하기 때문이다. 최대 열의 개수는 66이므로 7-비트로 표현할 수 있다. 길이 필드에서 열의 개수 및 기타 인터리빙에 필요한 나눗셈을 라이트 쉬프트 앤드 애드(right-shift and add) 방식으로 구현하였다.

표 4. 인터리버 열 개수 계산
Table 4. Calculate of Column Number

열 개수(c) = ceil[전송비트수/1992]
Maximum Packet Length = 131,071 bits
The maximum value of (c) shall be 66.

아래 식은 길이필드 17 비트를 8로 나누어 길이 정보(비트 단위)를 바이트 단위로 변환 후 249로 나누어 열의 개수를 구하는데 필요한 근사화된 수식이다.

$$\frac{1}{249} \approx 2^{-8} + 2^{-14} + 2^{-15} + 2^{-16} + 2^{-19} + 2^{-20} \quad (6)$$

이 연산을 수행하고 소수점 이하가 영이 아닌 경우만 1을 더한다(1~7 비트도 1 바이트가 된다).

그림 4는 길이정보를 부호화하고 인터리빙 수행에 필요한 각종 변수를 계산하는 길이필드 처리기의 시뮬레이션 타이밍 도이다. 전송비트 수가 4029일 때 데이터 바이트 수는 504이고 열의 개수는 3이며 마지막 열의 데이터 및 ECC 바이트 수는 각각 6, 2이다. 이 길이필드 처리기는 수신기에서도 열과 행을 바꿔 디인터리빙을 수행하는데 사용된다.

부호화된 옥텟들을 비트 단위로 변환한 다음 스크램블 된다. 스크램블러의 특성 다항식과 초기 값은 다음과 같다.

$$g(x) = 1 + x^1 + x^{15}, \text{ 초기값: "110100101011001"} \quad (7)$$

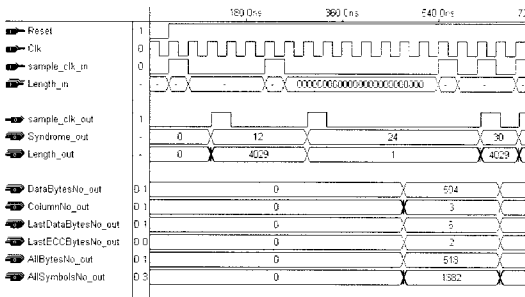


그림 4. 길이 필드 처리기
Fig. 4. Length Field Processor

표 5. 차동 부호화 표
Table 5. Differential Encoding Table

$\phi_k = \phi_{k-1} + \Delta\phi_k$					
X_k	Y_k	Z_k	Gray	Binary	$\Delta\phi_k$
0	0	0	0	0	$0\pi/4$
0	0	1	1	1	$1\pi/4$
0	1	1	3	2	$2\pi/4$
0	1	0	2	3	$3\pi/4$
1	1	0	6	4	$4\pi/4$
1	1	1	7	5	$5\pi/4$
1	0	1	5	6	$6\pi/4$
1	0	0	4	7	$7\pi/4$

스크램블된 비트들은 3 비트씩 그룹 지어져 차동 부호화된다. 차동 부호화 과정은 입력된 3 비트의 메시지들을 그레이 코드로 간주하고 바이너리 코드로 변환하여 이전의 부호에 현재의 바이너리 코드(중분)를 더하면 된다. 입력된 비트가 모두 영인 경우만 위상 변화가 없다. 나머지 경우에는 항상 위상이 천이된다. 차동 부호화 후 심벌 맵핑 과정을 거쳐 올림 코사인 필터로 대역 제한된다.

2.4 디지털 상향 변환

그림 5에서처럼 본 설계에서 사용한 AD9957 칩은 디지털 변조에 필요한 많은 기능 블록들이 한 칩에 집적되어 있다. 내부 구성은 클록 합성기, 4배 반 대역 보간기, CIC 보간기, 직교 위상 변조기, 14 비트 DAC, 역 Sinc+CIC 필터 등과 그 밖의 여러 기능을 포함하고 있다^[8]. D8PSK 신호의 생성과 채널 필터링은 FPGA 블록에서 수행한다. 채널 필터는 부엽(副葉) 억압 특성이 좋은 윈도 함수를 적용한 512탭 64배 올림 코사인 필터를 사용 블록에 그리고 디지털 상향 변환기의 샘플율을 맞추기 위해 32탭 4배 보간 필터를 추가하여 총 256배 보간되어 디지털 상향 변환기(DUC)에 입력된다. DA 변환된 DUC 출력은 그림 6과 같이 발룬 및 LC LPF, 그리고 SAW 필터를 통과하여 최종 송신 IF 신호가 된다. [5]에서는 IF를 21.4 MHz로 하였으나 이후 설계가 변경되어 70 MHz로 바뀌었다. SAW 필터의 양단에 연결된 LM 매칭 회로는 보드마다 미세 조정 작업이 필요하였다.

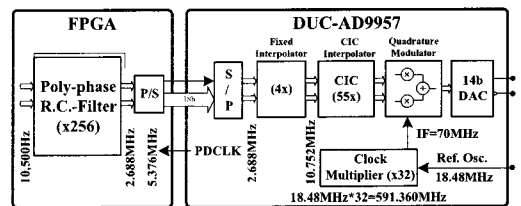


그림 5. 디지털 상향 변환기 블록도
Fig. 5. Block Diagram of Up Converter

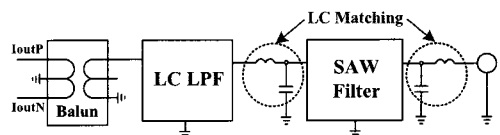


그림 6. 송신 IF 아날로그 필터
Fig. 6. Tx IF Analog Filter

2.5 송신기 구현결과

그림 7은 디지털 상향 변환기의 특성을 확인하기 위한 2-톤 테스트 결과이고 중심 주파수 70 MHz를 보면 DC 오프셋이 거의 없음을 확인할 수 있다. 여기서 테스트 톤 신호를 생성하기 위해 올림 코사인 필터 입력으로 I와 Q채널에 동일한 "010101..."을 입력하였다. 보통 아날로그 I/Q 변조기에서는 상당량의 DC 오프셋이 존재하며 별도의 조정 작업 또는 보상 회로가 필요하나 디지털 상향 변환기는 그런 과정이 필요 없다.

그림 8은 송신 버스트의 램프 업 구간을 캡처한 것으로 그림 2와 비교하면 매우 유사하고 표준안의 램프 업 상승시간 및 프리앰블 첫 심벌 규정을 모두 만족한다.

그림 9는 송신기 SAW(surface acoustic wave) 필터의 임피던스 매칭회로를 미세 조정 한 후의

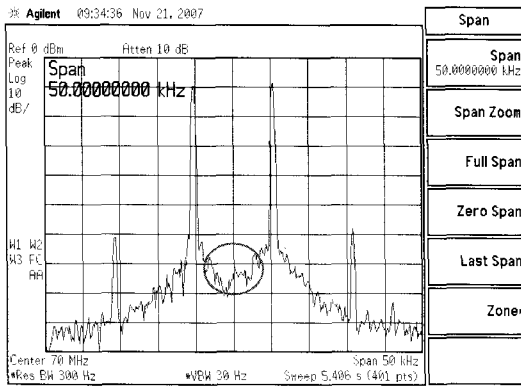


그림 7. 송신기 2-톤 테스트
Fig. 7. Transmitter Two-Tone Test

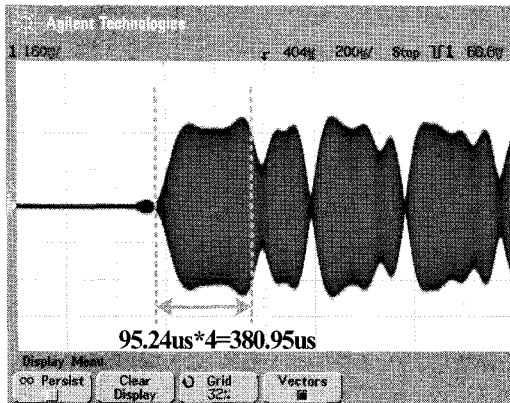


그림 8. 송신 버스트와 램프 업 과정
Fig. 8. Transmit Burst and Ramp Up

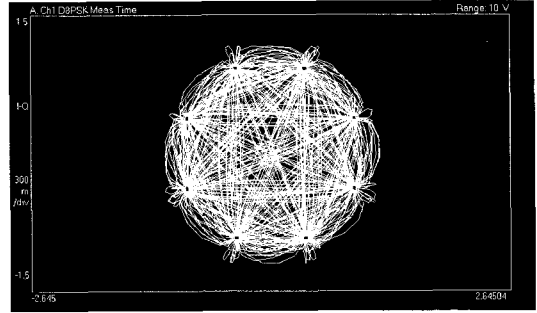


그림 9. 송신기 EVM 측정(0.456%)
Fig. 9. Measurement of Transmitter EVM(0.456%)

EVM(error vector magnitude)을 70 MHz 대역에서 측정 한 그림이다. 그림 6에서 SAW 필터의 LC 매칭 값을 미세 조정하기 전에는 EVM이 3.2%이었으나 미세 조정 후에는 0.456%로 개선되었다. 측정에 사용된 보드는 10개이고 미세 조정하기 전 평균 EVM은 3% 내외를 보였고 미세 조정 후에는 1% 이하로 측정 되었다. 주파수 상향 변환기와 고풍력 증폭기를 거친 후의 평균 EVM은 3.5% 이내로 측정되었고, 표준안에서의 송신 EVM은 6% 이하로 규정하고 있다⁴⁾.

III. 수신기 설계 및 구현

3.1 디지털 하향 변환

그림 10은 디지털 하향 변환기의 구조이다. IF는 70 MHz이며 AD 변환율은 18.48 Msps이다. 구성은 수신 신호의 이득조절을 위한 VGA(variable gain amplifier) 양단에 SAW 필터가 위치하고 언더 샘플링을 위한 IF ADC, 직교 디지털 복조기, CIC 필터, 그리고 채널 필터(LPF) 등으로 구성되어 있다. 그리고 다음 절에서 설명하는 채널 필터의 계수는 AD6620¹⁹⁾ 칩에 로딩 된다.

그림 11에서는 중심 주파수가 70 MHz인 신호를

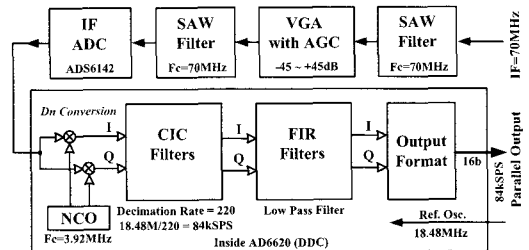


그림 10. 디지털 하향 변환기 구조
Fig. 10. Digital Down Converter Structure

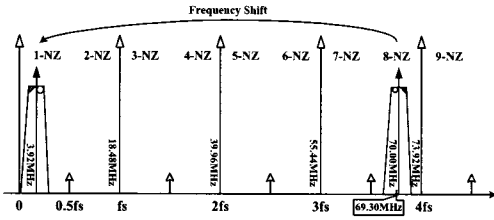


그림 11. 언더 샘플링과 다운 컨버전
Fig. 11. Under Sampling & Down Conversion

18.48 Msps로 언더 샘플링을 하면 3.92 MHz로 주파수가 이동하는 현상을 보여준다. 즉 언더샘플링 결과 8번째 나이퀴스트 영역(NZ)의 신호가 첫 번째 나이퀴스트 영역으로 주파수 이동된다. 3.92 MHz의 신호는 디지털 복조기에서 다시 한 번 하향 변환되어 결국 기저대역 신호가 된다. 이때 짝수 번째 나이퀴스트 영역은 스펙트럼이 좌우가 반전된다.

디지털 하향 변환기의 출력 샘플율은 84 ksps이고 FPGA에서 2배 보간 필터링(168 ksps)하여 심벌율의 16 배로 차동복호기에 입력되어 수신에 필요한 모든 처리를 수행한다.

3.2 수신 채널 필터

VDL 모드-2에서 채널 필터는 비정합 형태이기 때문에 수신기의 채널필터는 일반 저역 통과 필터(LPF)를 사용한다. 수신기 LPF의 대역폭을 결정하기 위해 대역폭을 변경해가면서 BER 성능을 분석하였다. 본 모의실험의 목적은 심벌율의 ±10%인 주파수 오프셋이 존재하고 LPF 후단에서 주파수 오프셋을 보상할 경우 BER 성능 저하가 최소가 되는 대역폭을 결정하는 것이다. 그림 12에서와 같이 수

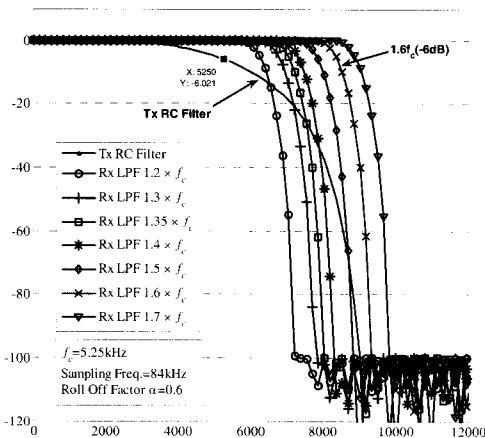


그림 12. 수신기 채널 필터 설계
Fig. 12. Receiver Channel Filter Design

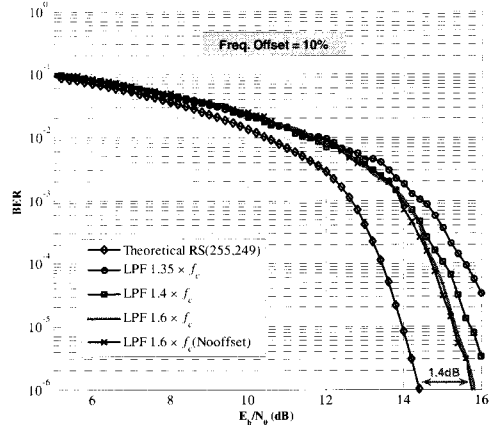


그림 13. 수신 채널 필터의 대역폭에 따른 성능
Fig. 13. Performance w.r.t Rx Channel Filter BW

신기의 LPF 대역폭을 송신기의 올림 코사인 필터의 응답을 기준으로 하여 왼쪽에서부터 바깥쪽으로 증가하면서 BER 성능을 분석하였다. 모의실험 결과는 그림 13에 제시하였고 1.6 f_c 에서 최적의 BER 성능을 보였다. 여기서 f_c 는 송신기 올림 코사인 필터의 -6 dB 대역폭을 의미하고, 수신기 저역 통과 필터의 대역폭은 8.4 kHz 이다.

그림 13은 심벌율의 10%에 해당하는 주파수 오프셋이 존재할 때와 없을 경우 및 수신 필터 대역폭에 따른 BER 성능을 보여준다. 대역폭이 1.6 f_c 인 경우 주파수 오프셋의 유무에 따른 성능 차이는 무시할만하고 정합필터인 경우와 비교하면 약 1.4 dB 차이를 보인다. [12]에서는 정합필터 대신에 이상적인 벽돌형태(brick wall; $f_{edge} = (1+\alpha)/2T_s$)의 LPF를 사용할 경우 SNR 감소는 $10\log_{10}(1+\alpha)$ 가 됨을 보였다. $\alpha=0.6$ 일 때 SNR 감소는 2.04 dB이므로 모의실험 결과가 타당함을 알 수 있다.

3.3 수신 기저대역 처리기

그림 14는 수신기 기저대역 처리기의 내부 구성 블록도이다. 전단의 디지털 하향 변환기의 출력 샘플을 입력 받아 2배 보간 필터링(168 ksps)을 수행하고 차동 복호를 수행한 후 프리앰블을 검출하여 초기 심벌 타이밍 동기과 주파수 오프셋을 보상한다. 그리고 길이필드를 복호하여 디인터리빙을 위한 메모리 주소를 생성한다. 최종 결정된 심벌은 비트 단위로 변환되어 디스크램블링후 바이트 단위로 변환되고 디인터리빙을 위해 메모리에 저장된다. 길이 필드 만큼 쓰기 동작을 마치면 1.155 MHz로 메모리에서 데이터를 블록 단위로 읽어 RS 복호를 수행

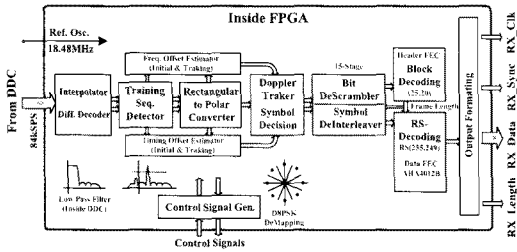


그림 14. 수신 기저대역 처리기 블록도
Fig. 14. Block Diagram of Rx BBP

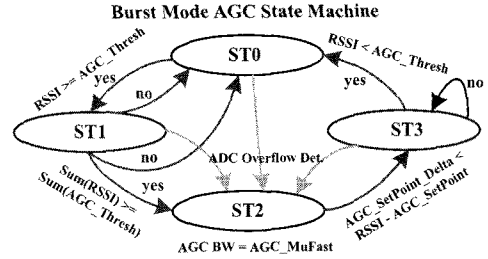


그림 16. 버스트 모드 AGC 루프 상태 천이도
Fig. 16. State Machine for Burst Mode AGC

한다. 여기서 RS 복호는 심벌율의 110배로 하였는데 이는 복호 지연시간을 최소화하여 다음 버스트 수신을 대기하기 위함이다.

3.4 버스트 모드 AGC 루프

VDL 모드-2에서 지상 장비의 수신 감도는 -102 dBm이며 탑재장비는 -98 dBm을 만족해야 한다. 이것을 달성하려면 수신기의 AGC 동작 범위가 100 dB 이상이 되어야 한다.

본 설계에서는 디지털 IF 샘플링 기법을 적용하였기 때문에 IF ADC와 DDC를 거쳐 나온 신호의 처리 지연시간이 680 us가 되어 램프 업 구간(380 us)보다 크므로 기저대역 신호를 이용하여 AGC 루프를 구성하기 곤란하였다. 그래서 중간 주파수(IF) 대역에서 대역제한(SAW 출력)된 수신 신호 전력을 이용하는 로그 증폭기(log amp.)로 AGC 회로를 설계하였다⁷⁾.

그림 15는 AGC 루프의 구조를 나타내고 그림 16은 여기에 적용된 상태머신이다. 버스트 모드로 AGC가 동작하려면 미리 설정해야할 파라미터들이 있다. 여기서 SetPoint는 RSSI 신호와 비교하여 최종 수신 신호의 크기를 결정하는 파라미터이고

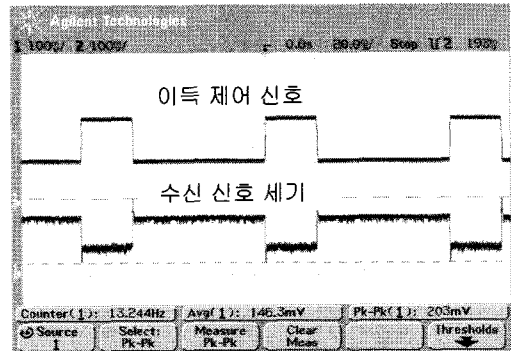


그림 17. AGC 제어 및 RSSI 신호
Fig. 17. Gain Control Signal and RSSI

Mu_Fast와 Mu_Slow는 AGC 루프의 응답속도를 결정한다. 그리고 AGC_Thresh는 버스트 검출 최소 입력 신호레벨을 결정하며 측정이 필요하다. 임의의 상태에서 ADC 오버플로가 발생하면 ST2 상태로 진입하여 이득이 안정화 되면 ST3 상태로 이동한다. 그림 17은 제작된 수신기의 수신 신호 세기와 이득 제어 신호를 보여준다. 수신 신호 세기를 보면 램프 업 구간에서 피크를 갖고 빠르게 안정화됨을 볼 수 있다.

Burst Mode Digital AGC

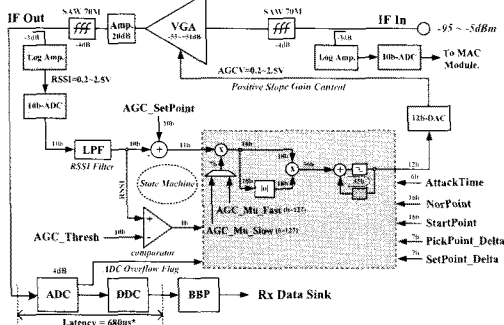


그림 15. 버스트 모드 AGC 루프 블록도
Fig. 15. Block Diagram of Burst Mode AGC

3.5 프리앰블 검출

일반적으로 상호 상관값은 주파수 오프셋이 커면 클수록 상관값의 크기가 작아져 프리앰블 검출 특성이 나빠진다. 본 설계에서는 주파수 오프셋 영향을 최소화하기 위해 차동복호를 수행한 다음 수신 신호와 수신기에서 생성된 프리앰블 패턴과의 상관값을 계산하고 절대값을 취한 다음 그 결과를 동적 가변 임계값과 비교하여 프리앰블의 존재 여부를 판단하는 방법을 사용한다.

식 8에서 $C[n]$ 은 차동복호 후 상관기 출력 값을 의미하고 식 9에서 $S[n]$ 은 16 심벌 구간의 평균 신

호 전력 값을 나타낸다. 본 설계에서는 문턱값 결정을 위해 $|C[n]|$ 값과 $|S[n]|$ 값의 적절한 조합만을 이용하였다.

$$C[n] = \frac{1}{16} \sum_{i=1}^{16} c_i^* \cdot r_{n-i} \quad (8)$$

$$S[n] = \left(\frac{1}{16} \sum_{i=1}^{16} (I_{n-i}^2 + Q_{n-i}^2) \right)^{\frac{1}{2}} \quad (9)$$

그림 18에서 T_s 는 심벌주기이고 하나의 심벌 당 16샘플이 있다. 즉 지연소자 16개가 하나의 T_s 가 된다. 그림 19는 $|S[n]|$ 및 $|C[n]|$ 을 도식화한 것이다.

표 6은 $|S[n]|$ 및 $|C[n]|$ 을 바탕으로 임계값 결정을 위한 중간 변수들이다. 여기서 M , U , L 값들은 모두 C 값의 피크 부분에 깊은 널을 갖는 특징이 있다.

그림 20과 표 6을 보면 논문 [7]과 이동평균을 구하는 부분이 다르다. 즉 “각각의 이동평균을 더한 결과는 더한 것을 이동 평균한 결과와 같다”는 이동평균의 선형성을 이용하여 하드웨어가 효율적인 구조로 변경된 것이다(특허출원:10-2009-0067520).

$$\text{임계값} = G \cdot M_{value} + U_{value} + L_{value} \quad (10)$$

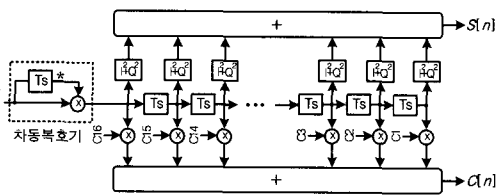


그림 18. $S[n]$ 및 $C[n]$ 상관기
Fig. 18. $S[n]$ and $C[n]$ Correlator

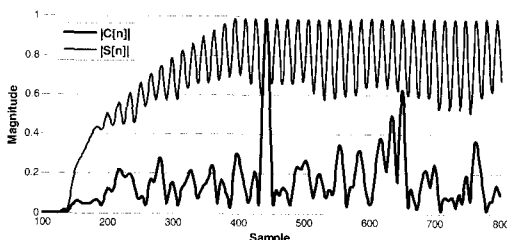


그림 19. $|S[n]|$ 및 $|C[n]|$ 값
Fig. 19. $|S[n]|$ and $|C[n]|$ Value

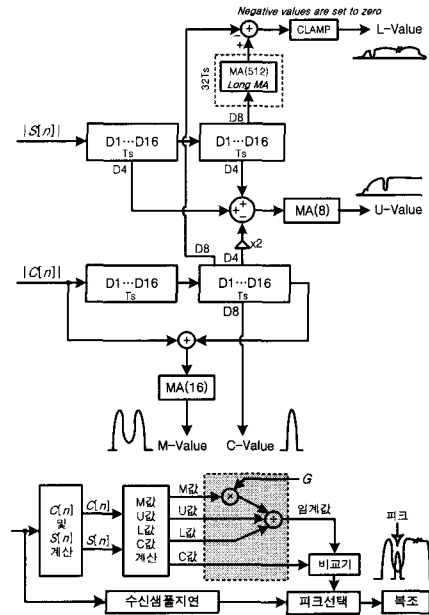


그림 20. 프리앰블 검출기 구조
Fig. 20. Structure of Preamble Detector

$$C_{value} > \text{임계값} \quad (11)$$

최종 임계값은 식 10과 같이 표현되고 여기서 G 는 최적값을 선택하기 위한 임의의 이득(Gain) 값이다. 즉 G 를 변경하여 최적의 성능을 구하면 된다. 최종 프리앰블 검출은 식 11과 같이 상관값이 임계값 보다 크면 프리앰블을 수신하는 것으로 판단하고 이 상관값들 중에서 피크가 되는 샘플이 초기 심벌 타이밍 동기기가 된다. 여기서 피크값을 찾는 원인은 임계값의 널 특징으로 인해 1 심벌 구간에 해당하는 16 샘플만 탐색하면 된다.

표 6. 문턱 값 결정을 위한 중간 변수 정의
Table 6. Variable Definition for the Threshold Determination

C_{value}	$= C[n-24] $ 지연(1.5심벌)된 상관기 출력
M_{value}	$= MA_{16p}(C[n] + C[n-32])$ 프리앰블 영역 피크검출 윈도우
U_{value}	$= MA_{8p}(S[n-4] + S[n-20] - 2 C[n-20])$ 데이터 영역 마스크
L_{value}	$= \alpha(MA_{512p}(S[n-24]) - C[n-24])$ $\approx \alpha(MA_{32p}(ID_{16p}(S[n-24])) - C[n-24])$ 데이터 영역 및 버스트 끝부분 마스크

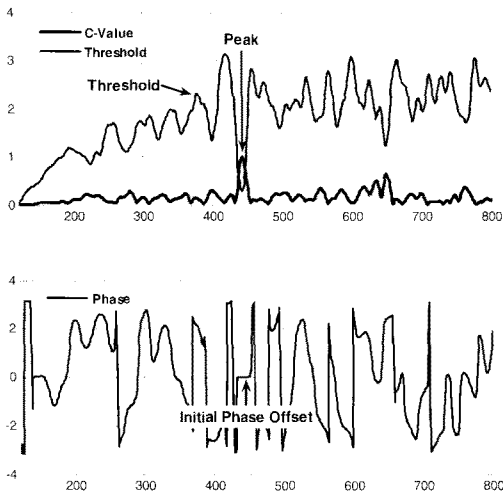


그림 21. 문턱값 및 상관기 출력 크기와 위상
Fig. 21. Threshold Value, Mag. and Phase

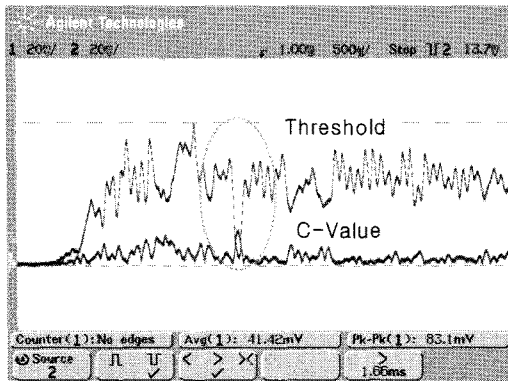


그림 22. 프리앰블 검출 문턱값 및 상관값
Fig. 22. Threshold Value and C-Value

그림 21에서 상관값 피크는 식 10의 임계값 널 중앙에 위치하는 것을 보여준다. 그리고 상관 위상은 프리앰블 피크 부분에서 영이 되는 것을 볼 수 있는데 이는 주파수 오프셋이 없음을 의미하고 이 값을 이용하여 초기 위상(또는 주파수) 오프셋을 추정할 수 있다. 그림 22는 제작된 모뎀에서 프리앰블 검출기의 동작을 캡처한 것으로 프리앰블 구간에서 C 값의 피크가 임계값의 널 부분에 위치함을 볼 수 있다.

3.6 심벌 타이밍 복원

앞 절의 프리앰블 검출기를 통하여 초기 심벌 타이밍 동기가 획득되면 데이터 부분에서도 심벌 타이밍 동기가 유지되어야 하기 때문에 응답속도가 빠른 심벌 타이밍 복원기가 필요하다. 설계에 적용

한 심벌 타이밍 복원기는 버스트 검출용 상관기와 신호 전력이 가장 큰 샘플을 찾기 위한 비교기 및 심벌 클럭을 생성하는 카운터 등으로 비교적 쉽게 구현 가능한 구조를 갖는다. 동작은 프리앰블을 이용하여 초기 동기가 이루어진 후 심벌의 평균전력이 최대가 되는 방향 (얼리파와 레이트 샘플의 차가 최소가 되는 방향이 아님^{[10]~[11]})으로 한 샘플 빠르게 또는 느리게 샘플 클럭을 이동하여 최적의 심벌을 취하는 방식이고, 여기에 적용된 루프 필터는 곱셈기가 없는 간단한 I&D(integrate and dump) 필터이다. 루프 필터로 MA(moving average) 필터를 적용할 수 있으나 대역폭 조절이 어렵고 I&D 필터보다 성능이 오히려 좋지 못하다. 16진 카운터와 I&D 필터는 프리앰블 검출 시점에서 영으로 리셋되고 카운터 값이 8일 때 마다 인덱스 값(+1, 0, -1)을 더하고 카운터 값이 영일 때 마다 심벌 클럭을 생성한다. 여기서 OnTime과 Early 또는 Late 사이는 1/16 심벌 구간이며 I&D 포인트 수마다 한 샘플 앞으로 또는 뒤로 심벌 클럭이 이동하거나 제자리에 있는 방식으로 최적의 샘플을 취하게 된다.

그림 23은 심벌 타이밍 복원기의 구조를 보인 것이다. 이 구조는 논문 [6]에 제시된 STR-A 구조를 변경한 것이다. 즉 [6]에서는 심벌 타이밍 복원을 위해 수신 샘플의 순시 크기를 이용 하였는데 본 연구에서는 프리앰블 검출기에서 이미 사용한 $|S[n]|$ 을 이용하는 것만 다르다.

그림 24-26은 심벌 크기 분산과 타이밍 지터에 대해 성능을 분석한 것이다. 설명을 위해 논문 [6]에 제시된 STR-A 구조를 'STR-A-a'로, 그림 23의 구조를 'STR-A-b'로, [6]에 제시된 STR-B 구조를 'STR-B-a'로, STR-B 구조에서 순시 샘플 크기 대신에 본 구조와 같이 $|S[n]|$ 을 이용하는 것을 'STR-

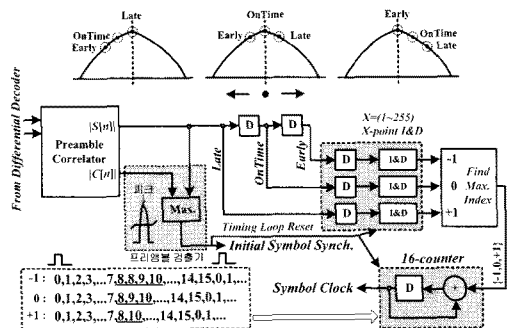


그림 23. 심벌 타이밍 복원기 구조
Fig. 23. Structure of STR

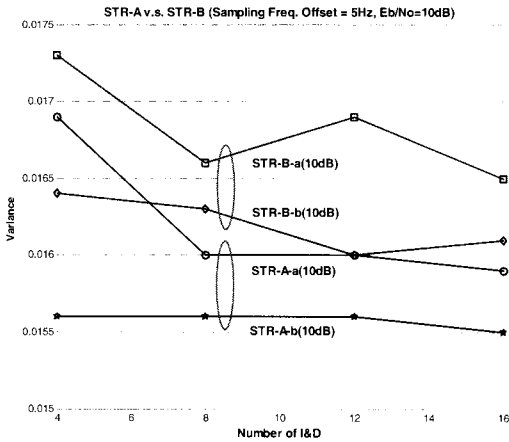


그림 24. STR 구조별 심벌크기분산 성능(10dB)
Fig. 24. Variance of Symbol Mag(10dB)

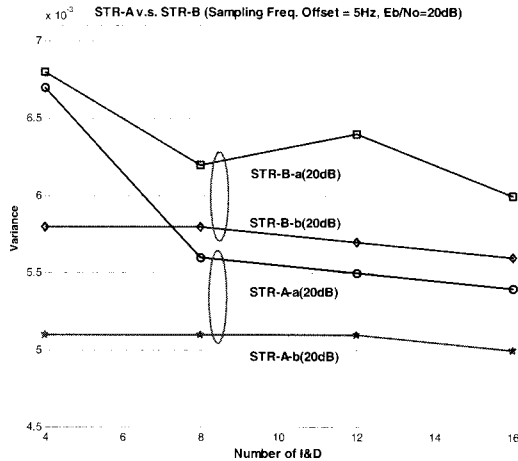


그림 25. STR 구조별 심벌크기분산 성능(20dB)
Fig. 25. Variance of Symbol Mag(20dB)

B-b'라고 명명한다.

그림 24와 그림 25를 보면 STR-B 구조 보다 STR-A 구조가 심벌 크기 분산이 더 작고 순시 샘플 크기를 이용한 경우보다 16 심벌구간 평균한 $|S[n]|$ 을 이용한 STR-x-b 구조가 성능이 더 좋음을 알 수 있다. 특히 STR-A-b 구조는 I&D 수에 민감하지 않은 특징을 보인다.

그림 26은 Eb/No 20 dB에서 STR 구조별 타이밍 지터 성능을 분석한 것이다. 타이밍 주파수 오프셋이 5 Hz일 경우 STR-A-b 구조가 오프셋이 없을 경우 STR-B-b 구조보다 지터 성능이 더 좋다. 부연하여 그림 19를 보면 $|S[n]|$ 의 피크가 되는 부분이 송수신기 간 심벌 타이밍이 일치하는 샘플들의 위치이다. 본 STR의 핵심은 $|S[n]|$ 의 피크를 찾아가는

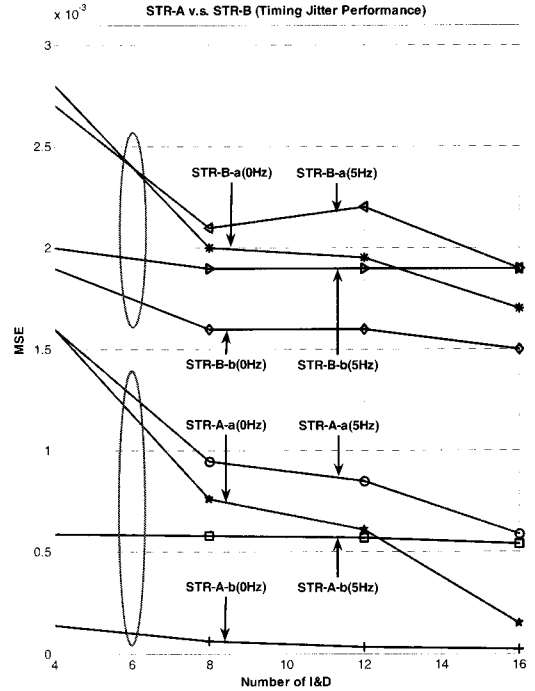


그림 26. STR 구조별 타이밍지터 성능(20dB)
Fig. 26. Timing Jitter Performance(20dB)

방법으로 심벌 타이밍을 복원한다는 것이다.

그림 27은 송신기와 수신기에 ± 1 ppm의 오차를 갖는 기준 발진기를 사용하여 IF 대역에서 테스트한 결과이다. 이 경우에는 초기 심벌 동기만으로도 데이터 복조가 가능함을 알 수 있다. 그림 27의 상(上)은 최종 결정 심벌의 위상이고 9개의 줄무늬가 있는데 첫 번째 줄은 $+\pi$ 이고 마지막 줄은 $-\pi$ 이며 같은 심벌 위상이다. 그림 27의 하(下)는 그 심벌의 크기를 나타낸다.

그림 28-29는 타 송신기와 RF 대역에서 연동 실험

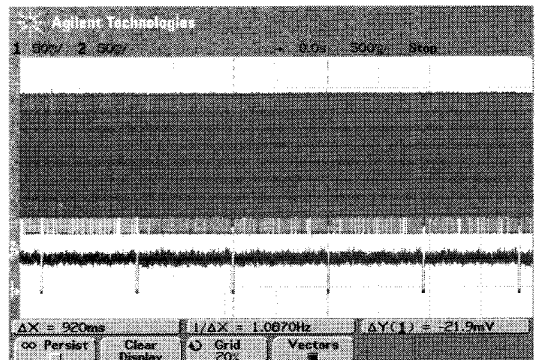


그림 27. 심벌 타이밍 실험 결과(± 1 ppm)
Fig. 27. Test Result of Symbol Timing(± 1 ppm)

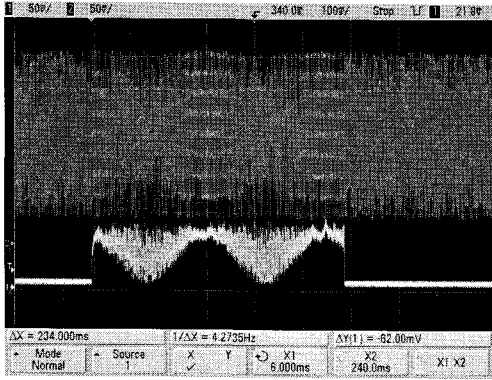


그림 28. 타사 송신기와 연동실험 결과
Fig. 28. Test Result(ADS Corp. Transmitter)

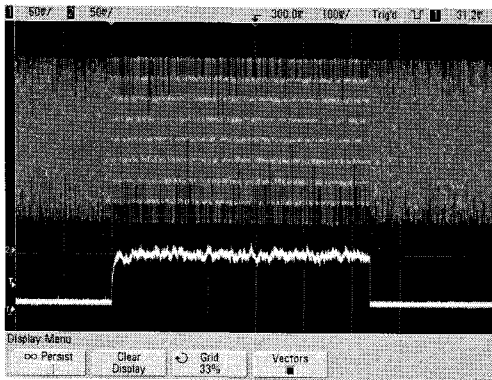


그림 29. I&D-16일 때 타사 송신기와 연동결과
Fig. 29. Test Result in I&D 16 Points

험한 결과이다. 그림 28은 본 심벌타이밍 복원기를 적용하지 않고 초기 심벌 동기만 가능한 경우로 그림 28의 상(上)에서 흐트러진 부분이 심벌 동기화 최적의 심벌위치에서 많이 벗어난 부분이고 심벌의 크기 또한 작다. 그리고 9개의 줄무늬가 있는 부분이 최적의 심벌위치에 있는 경우이고 반복되는 것을 확인할 수 있다. 샘플링 주파수 오프셋은 주기가 234 ms이므로 주파수로 환산하면 4.2735 Hz(407 ppm)가 된다.

그림 29는 본 심벌 타이밍 복원기를 적용하여 I&D 포인트 수를 16으로 한 경우로 심벌 타이밍 추적이 잘 이루어지는 것을 볼 수 있다. 여기에 제시하지는 않았지만 I&D 수 4~64까지 이와 유사한 결과를 보였다.

3.7 주파수 오프셋 추정 및 보상

차동 부호화를 이용하는 변조 방식에서 송 수신 기간 주파수 오프셋은 차동복호 후 위상 회전으로

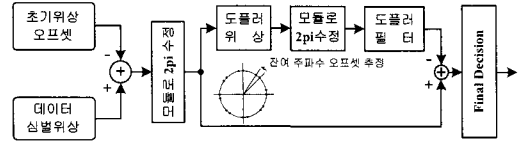


그림 30. 도플러 및 주파수 오프셋 보상기
Fig. 30. Doppler and Frequency Offset Compensator

나타난다. 그림 30은 결정 심벌 위상에서 프리앰블을 이용하여 구한 초기 위상 회전량을 버스트 끝까지 빼주고 데이터 영역에서 잔여 위상 오프셋을 추정하여 중간 결정 위상에서 다시 빼주는 방식으로 주파수 오프셋 영향을 위상영역에서 제거하는 주파수 오프셋 보상기이다. 여기서 프리앰블 검출 시에 초기 도플러 위상은 영으로 매번 초기화 된다. 주파수 오프셋이 보상된 심벌 위상 값들은 최종 결정(final decision)되어 길이필드 복호기와 디스크램블러에 전달된다.

3.8 길이필드 디코딩

길이필드의 복호 방법은 수신된 비트와 패리티 행렬을 곱하여 신드롬을 계산(식 11)한 후 롬 테이블에 저장된 에러패턴을 더하는 방법(식 12)으로 복호 된다.

$$H = [P \mid I_{n-k}], S = rH^T \quad (11)$$

$$V = r + e = [m_1 m_2 \dots m_k \mid p_1 p_2 \dots p_{n-k}] \quad (12)$$

이 정보는 디인터리버와 RS 복호기의 블록 크기를 계산하는데 사용 된다.

3.9 디인터리빙 및 RS 복호

디스크램블된 비트들은 바이트 단위로 변환되고 길이필드의 정보를 이용하여 전송된 블록의 크기(행과 열의 개수 및 메모리 읽기와 쓰기 주소, 전송시 지워진 ECC 바이트의 위치 등)를 계산하여 디인터리빙을 위해 DPRAM에 버스트 끝까지 저장된다. 저장된 바이트들은 RS 복호를 위해 DPRAM에서 1.155 MHz로 읽어서 RS 복호기에 블록 단위로 입력되어 최종 데이터 복호가 이루어진다. 여기서 RS 복호기로 AHA4012B 칩을 사용 하였다^[13].

IV. 구현결과 및 성능시험

본 모뎀에서 기저대역 처리기는 자이링스사의

150만 게이트 급 FPGA를 사용하였고, 차동복호기 및 식 (8), 식 (9), 샘플 위상 및 크기, 제곱근 등을 구하기 위해 시분할 처리와 CORDIC^[14] 모듈을 이용하였다. 벡터의 크기와 위상을 구하기 위한 16-비트 벡터 변환기(vector translation)의 로직 크기는 747 슬라이스를, 16-비트 제곱근(square root)은 247 슬라이스를 각각 차지하였다. FPGA의 이용 가능한 총 슬라이스 수는 13,312 개이고 총 사용률은 93%이다.

그림 31은 상기 내용을 바탕으로 개발된 모뎀 보드이다. 그림 31에서 위쪽 부분이 송신기이고 아래쪽 부분이 수신기이며 모든 부품은 온도시험을 대비해 산업용 온도 스펙을 만족하는 것만을 사용하

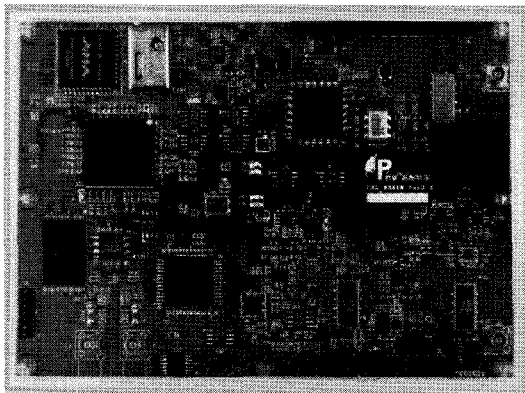


그림 31. D8PSK 송수신기 보드
Fig. 31. D8PSK Modem Board

표 7. 수신기 최소 입력 신호 레벨
Table 7. Minimum Receiver Input Power Level

1	E_b/N_0 (10^{-3} BER)	13.00 dB
2	E_s/N_0 (without Loss) = SNR = ① + $10\log(3)$	17.77 dB
3	Imp. Loss + RC Loss = 1 + 1.2 + 1.8 = 4 dB	04.00 dB
4	E_s/N_0 (with Loss) = SNR = ② + ③	21.77 dB
5	kTo	-174 dBm/Hz
6	Effective Noise Figure	4 dB
7	Baud Rate (R) = $10\log(10.5 \times 10^3)$	40.21 dBHz
8	$No * R$ = ⑤ + ⑥ + ⑦	-129.79 dBm
9	Required Receiver Input Power = ④ + ⑧	-108.02 dBm

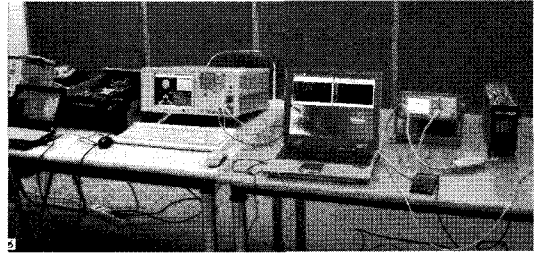


그림 32. 기능 실험 환경
Fig. 32. Functional test environment

였다.

표 7은 수신감도를 이론적으로 계산한 표이다. 계산결과 BER= 10^{-3} 을 만족하는 수신기 최소 입력 신호 레벨은 -108.02 dBm으로 계산되었고 실제 측정결과는 -107 dBm으로 측정되었다. 본 모뎀과 주파수 상향 변환기, 고출력 증폭기, 주파수 하향 변환기를 연동한 결과는 -103 dBm으로 측정되었다. 여기서 4 dB의 손실은 주파수 상하향 변환기내 협대역 필터의 위상특성 및 고출력 증폭기의 비선형성 그리고 주변 잡음 등에서 기인한 것으로 추정된다.

그림 32는 본 모뎀과 주파수 상하향 변환기 및 MAC 제어기 등을 통합한 VDR 장비로 각종 기능 실험을 실시하는 사진이다. 여기서 왼쪽이 지상통신 장비(GVDR), 오른쪽이 탑재통신장비(AVDR)이다.

각종 기능실험 후 온도시험(-30°~55°), 습도시험(95%), EMI/EMC시험, 진동시험 등 환경시험^[15]을 실시하였으며, 지상에 GVDR을 설치하고 AVDR은 차량에 설치하여 지상시험을 수행하였다. 또한 지상장비를 김포공항에 설치하고 탑재장비는 국토해양부 점검기에 설치하여 김포에서 광주항공을 지나 다시 김포로 회항하는 항로로 비행시험을 실시하였다. 비행시험 결과 고도 11,200 m에서 시속 870 km/h로 최대 310 km까지 메시지 송수신이 정상적으로 이루어짐을 확인하였다^[16].

V. 결 론

본 논문은 기 제안된 구조와 알고리즘을 포함한 모뎀 구성에 필요한 전반적인 구조와 설계 방법 그리고 새로운 모의실험 결과가 추가되었다. 본 모뎀을 VDR 장비에 통합하여 각종 기능 실험을 실시한 후 지상통신시험 및 링크 통달거리 측정과 도플러 효과 등을 점검하기 위한 비행통신시험을 완료하였다.

개발된 모뎀은 민항기뿐만 아니라 신뢰성이 요구되는 무인기의 보조링크에도 적용될 수 있고, 최종 RF 대역을 변경하면 국내에서 사용되고 있는 UHF 및 VHF 대역의 통신링크에 적용할 수 있어 좁은 대역으로 고속의 데이터 전송이 가능할 것으로 예상된다.

참 고 문 헌

[1] ICAO, "VHF air-ground digital link (VDL)", International Standards and Recommended Practices, Annex 10, Volume III, Part I, Chap. 6, 2000.

[2] Honeywell, "VHF Digital Link (VDL) Primer", http://www.honeywellcommnav.com/document/s/technical/vhf_primer.pdf.

[3] IATA, "VHF Digital Link Mode 2", http://www.iata.org/NR/rdonlyres/4F42598A-951F-4FC3-A419-E160E0FD961F/0/VLD_Modes2.pdf.

[4] RTCA, "Signal-in-space minimum aviation system performance standards for advanced VHF digital data communications including compatibility with digital voice techniques", RTCA D0-244A, Chap 3.0, 2000.

[5] 김종만 외, "VDL Mode-2 송·수신기 성능분석 및 협대역 디지털 변조신호 생성", 한국항행학회 논문지 11권 1호, pp.9-16. 2007.

[6] 김종만 외, "VDL Mode-2에 적용 가능한 버스트 모드 심벌 타이밍 복원기", 한국항행학회 논문지 13권 3호, pp.337-343. 2009.

[7] 김종만 외, "VDL Mode-2를 위한 버스트 모드 AGC 루프 및 프리앰블 검출기", 한국통신학회 논문지 Vol.34. 7호, pp.706-714. 2009.

[8] Product Specification, "1 GSPS Quadrature Digital Upconverter with 18-Bit IQ Data Path and 14-Bit DAC", Analog Devices, 2007.

[9] Product Specification, "AD6620, 67 MSPS Digital Receive Signal Processor", Analog Devices, 2001.

[10] F.M.Gardner, "A BPSK/QPSK timing-error detector for sampled receivers", IEEE Trans. Commun., Vol. COM-34, pp.423-429, May, 1986.

[11] W.G. Cowley and L.P. Sabel, "The performance of two symbol timing recovery algorithms for

PSK demodulators", IEEE Trans. Commun., vol. 42, pp. 2345-2355, June 1994.

[12] N. Sheikholeslami and P. Kabal, "Generalized Raised-Cosine Filters", in IEEE Trans. Vol.47, No.7, pp.993, July., 1999.

[13] Product Specification, "AHA4012B, 1.5M Bytes/sec Reed-Solomon Error Correction Device", Comtech.

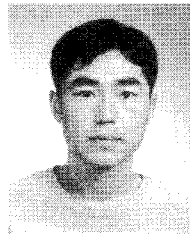
[14] Product Specification, "CORDIC v3.0", Xilinx, DS249, April, 28, 2005.

[15] RTCA DO-160D, "Environmental Conditions and Test Procedures for Airborne Equipment", 1997.

[16] J.W. Bae, H.K. Kim, et al, "Development of prototype VDL Mode 2 system in Korea", Integrated Communications, Navigation and Surveillance Conference, 2009. ICNS. 13-15 May, 2009.

김종만 (Jong-man Gim)

정회원



2001년 2월 원광대학교 전자공학과 학사
 2003년 2월 전북대학교 정보통신공학과 석사
 2003년 3월~현재 (주)파인텔레콤 선임연구원
 2008년 8월 충남대학교 정보통신공학과 박사과정 수료

<관심분야> 모뎀 설계, 디지털 신호처리, RF 회로 설계

최승덕 (Seoung-duk Choi)

정회원



2007년 8월 충북대학교 정보통신공학과(학사)
 2007년 8월~현재 충북대학교 전과 공학과(석사과정)
 2008년 3월~현재 (주)파인텔레콤 연구원
 <관심분야> 모뎀 신호처리

은창수 (Chang-soo Eun)

중신회원

한국통신학회 논문지 제34권 제7호 참고