

논문 2009-46SD-11-6

Mixed Driving 방식을 이용한 QVGA급 LDI의 Source Driver 설계

(Design of Source Driver for QVGA-Scale LDI Using Mixed Driving Method)

김학윤*, 고영근**, 이성우*, 최호용***

(Hak-Yun Kim, Young-Keun Ko, Sung-Woo Lee, and Ho-Yong Choi)

요약

본 논문에서는 mixed driving 방식을 이용하고 이미지 개선을 위해 γ -correction을 수행하는 QVGA급 TFT-LCD driver IC의 Source Driver를 설계한다. 240 RGB x 320 dots resolution을 가진 source driver는 720개의 채널을 통해 TFT-LCD 패널을 구동하고 18-bit의 RGB 데이터를 사용하여 26만 color를 수행한다. Mixed driving 방식은 종전의 좋은 구동력을 가진 channel amp. driving 방식에 저면적이 가능한 gray amp. driving 방식을 혼합한 방식으로서, 영상이 동일 색상을 가지는 worst case를 감지하여 구동력을 높여주는 방식을 사용함으로써 적절한 구동력과 저면적을 구현하는 설계방식이다. 본 Source Driver는 0.35 μ m Magnachip embedded DRAM 공정을 사용하여 설계하였으며 Hspice를 사용하여 시뮬레이션을 하였다. 실험결과, 기존의ayscale driving 방식에서는 hsync time을 만족시키지 못하는데 비해 17 μ s의 channel 구동시간으로 충분한 timing margin을 가지고 액정 channel 을 구동할 수 있으면서, 구동 앰프 78개와 제어회로를 갖는 저면적으로 설계되었다.

Abstract

In this paper, we present the design of a source driver of QVGA scale TFT-LCD driver IC which uses a mixed driving method and performs γ -correction to improve image. The source driver with 240 RGB x 320 dots resolution drives a TFT-LCD panel through 720 channels and implements 262k colors using 18-bit RGB data format. The mixed driving method is a mixture the channel amp. driving method with high drivability and the gray amp. driving method with small area, which remarkably reduces channel driver areas. The driver has been designed using the 0.35 μ m Magnachip embedded DRAM technology and simulated using the HSPICE simulator. The results show that our source driver operates well with γ -correction and the channel driver has 17 μ s channel driving time with only 78 driving amplifiers and control logic.

Keywords: LDI, mixed driving, source driver, channel amplifiers, γ -correction

I. 서론

최근 TFT-LCD의 수요가 급증함에 따라 LDI (LCD

driver IC)의 저면적화와 양질의 영상구현에 대한 요구가 점점 증대되고 있다^[1].

저면적화를 위해서는 technology의 shrink화, GRAM (graphic random access memory)의 DRAM화, LTPS (low temperature polysilicon)를 통한 채널선택의 MUX화 등을 통한 다양한 노력이 이루어지고 있으나^[2~3], 소형화에 대한 설계적인 측면에서의 노력이 더욱 더 요구되고 있다.

특히, QVGA급 LDI에서 면적의 상당부분을 차지하는 source driver의 경우, 액정의 각 channel을 구동하

* 학생회원, 충북대학교 반도체공학과
(Chungbuk National University)

** 정회원, 실리콘웍스
(Siliconworks Co.)

*** 평생회원-교신저자, 충북대학교 전자공학부
(Department of Semiconductor Eng.,
Chungbuk National University)

※ “이 논문은 2008년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음”

접수일자: 2009년7월2일, 수정완료일: 2009년10월13일

기 위해 최종 출력단에 720 (240x3)개의 앰프를 사용함으로써 액정상의 채널 로딩에 대한 구동능력은 확보할 수 있으나, 큰 면적이 소요되는 단점이 있다^[4].

본 논문에서는 mixed driving 방식을 이용하여 262k-color 구동이 가능한 저면적의 QVGA급 LDI의 source driver를 설계한다. 또한 grayscale voltage 조절이 가능한 γ -correction 회로를 설계한다. 트랜지스터 수준으로 회로설계 및 검증을 한다.

II장에서는 일반적인 QVGA급 LDI의 개요에 관해 설명하고, III장에서는 제안하는 source driver의 특징 소개와 회로의 설계를 기술하고, IV장에서는 구현 및 평가 결과에 대해 설명한다. 마지막으로 V장에서는 결론을 내린다.

II. QVGA급 LDI의 개요

QVGA급 TFT-LDI는 720개의 channel과 320개의 scan line으로 구성되어 240*320 dots의 해상도를 갖는 LCD 액정을 구동하는 IC이다.

QVGA급의 TFT-LDI는 그림 1과 같이 GRAM, source driver, gate driver, BMU, DC-DC 전원회로, 그리고 제어 logic 회로로 구성된다.

GRAM은 LCD 화면의 1 frame에 해당하는 디지털 영상 데이터를 저장하는 역할을 한다. Source driver는 메모리의 디지털 데이터를 아날로그 데이터로 변환하여 액정의 720개 channel을 구동하는 기능을 수행한다. gate driver는 320개의 scan line을 순차적으로 선택하여 TFT의 ON 또는 OFF를 제어한다. DC-DC 전원회로는 driver IC 내부와 외부의 액정에 전원을 공급하고, logic 회로는 디스플레이 타이밍을 제어한다. 그리고 source driver는 다시 디지털 데이터를 저장하는 data

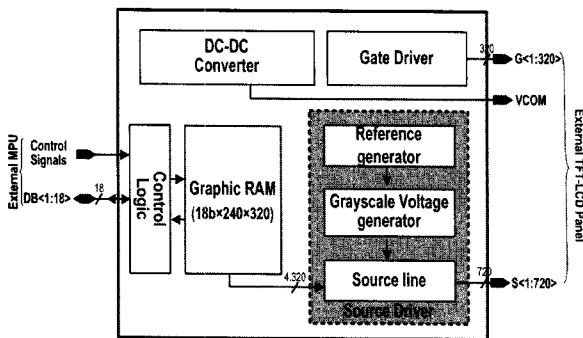


그림 1. QVGA급 TFT-LDI의 블록 다이어그램
Fig. 1. QVGA-scale TFT-LDI block diagram.

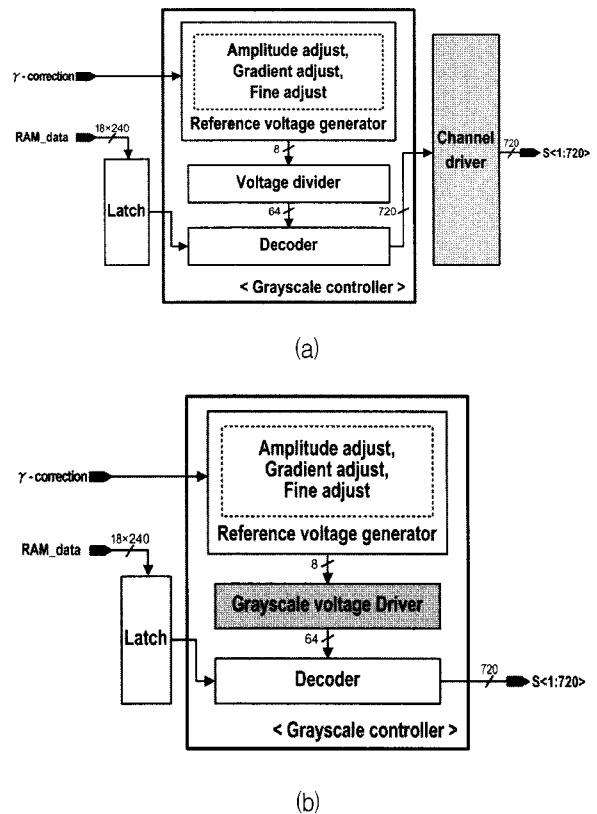


그림 2. 종래의 source driver (a) Channel amp. driving 방식 (b) Gray amp. driving 방식
Fig. 2. Conventional source driver (a) Channel amp. driving method (b) Gray amp. driving method.

latch, 그래픽 메모리의 디지털 데이터를 아날로그 데이터로 변환하는 grayscale controller, 그리고 채널을 구동하는 channel driver로 구성된다.

종래의 source driver는 channel driving 방식에 따라 그림 2(a)와 같이 720개의 channel에 각각의 앰프를 사용하여 구동하는 channel amp. driving 방식과 그림 2(b)와 같이 64 grayscale voltage controller에 앰프를 사용하여 구동하는 gray amp driving 방식이 있다. Channel amp. driving 방식은 액정의 각 채널마다 앰프를 사용하여 구동함에 따라 구동력은 좋으나, 큰 면적을 필요로 한다. Gray amp driving 방식은 채널 구동을 위한 720개의 채널 구동 앰프를 사용하지 않고, grayscale voltage driver단에서 64개의 앰프만을 사용하여 64개의 grayscale voltage를 구동하며, 적은 면적으로 구현할 수 있는 장점은 있으나, black 패턴과 같이 동일한 색으로 한 line을 구동하는 경우에는 구동력이 약해 실제 회로 사용이 어렵다.

QVGA급 (240 RGB x 320) LDI는 60Hz의 frame 주파수로 320개의 scan line을 순차적으로 제어하게 되어

각 scan line에 할당된 구동시간의 제약은 아래와 같다.

$$Hsync\ time = 60Hz \times (320 + FP + BP)$$

여기서 FP = front porch, BP = back porch이며, $FP + BP < 16$ 이다.

즉, 하나의 scan line의 구동에 필요한 240x18비트의 메모리 데이터 읽기 및 액정상의 채널 구동이 최대 49 μs 안에 이루어져야 한다.

III. QVGA급 LDI의 Source Driver 설계

본 장에서는 저면적을 위해 mixed driving 방식을 이용한 채널 구동과, 고품질의 영상구현을 위해 γ -correction function 기능을 지닌 source driver 설계에 대해 기술한다.

본 source driver의 주요 기능 및 특징은 다음과 같다.

- 26만 컬러의 QVGA급 LCD 구동
 - 픽셀당 18비트의 RGB 데이터를 통한 26만 ($=2^{18}$) 칼라의 색 표현
 - 총 720개의 channel 구동
- γ -correction function
 - Amplitude adjust, gradient adjust, fine adjust 기능 내장
- mixed driving method을 통한 저면적 channel 구동회로

그림 3은 본 논문에서 제안하는 QVGA급 source driver부의 블록 다이어그램이다.

QVGA급 source driver부는 graphic RAM으로부터 18x240 비트의 디지털 영상 데이터를 받아 저장하는 데

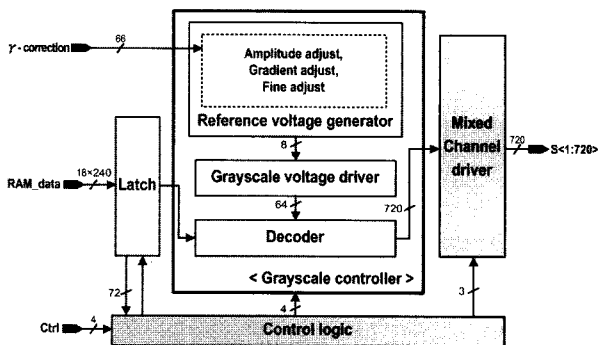


그림 3. QVGA급 source driver의 블록다이어그램
Fig. 3. QVGA-scale source driver block diagram.

이터 레지스터, 디지털 데이터를 64개의 아날로그 데이터로 변환하는 grayscale controller, 채널을 구동하는 mixed channel driver, 그리고 디지털 데이터의 동일 여부를 비교하여 각 블록의 on 또는 off를 제어하는 control logic으로 구성된다.

그래픽 메모리로부터 RAM_data가 입력되면 control logic은 data 레지스터의 데이터와 비교연산을 수행하며, 그 비교결과에 따라 후속의 grayscale controller와 mixed channel driver에 대한 제어를 수행한다. Grayscale controller는 262k 색상 구현을 위해 reference voltage generator와 grayscale voltage driver 단에서 64개의 grayscale voltage를 생성하며, decoder는 data register의 값에 따라 64개의 전압 중에 하나를 선택하여 액정상의 data 채널을 구동한다. 만약 control logic에서의 data register의 값이 R, G, B별로 데이터가 동일하면 최종 출력단의 mixed channel driver를 활성화시켜 채널을 구동한다.

각 블록에 대한 구체적인 회로설계는 다음과 같다.

1. Grayscale controller

Grayscale controller는 그림 3에서와 같이 8개의 기준전압을 생성하는 reference voltage generator, 26만 색의 구현을 위해 64개의 전압을 생성하고 구동하는 grayscale voltage driver, 생성된 64개의 아날로그 중에 하나를 선택하는 decoder로 구성된다.

Reference voltage generator는 amplitude, gradient, fine adjust의 기능을 수행하는 γ -correction block을 내장하고 있다.

Grayscale controller의 상세 설계는 그림 4와 같다. 그림 4(a)의 γ -correction block은 제어신호를 gamma decoder로부터 받아 γ -correction resistor block인 ①, ② 블록의 저항값을 조절하고, γ -correction resistor block의 VDHIN과 AGND (analog ground) 전압을 R-string을 통해서 $KVN<0> \sim KVN<49>$ 의 50개 전압을 생성한다. ③블록은 $KVN<0>$, $KVN<49>$ 와 그외의 48개의 전압 중에서 6개의 8-to-1 decoder를 통해 6개의 전압을 선택함으로써 총 8개의 전압을 생성한다. 2개의 ①번 블록 내부의 저항 조절은 amplitude를 조절하는 기능을 수행하며, ②블록 내부의 저항 조절은 grayscale 전압의 gradient 조절기능을 하고, 마지막 ③의 8-1 decoder를 통해 fine adjust의 기능을 수행한다. amplitude adjust, gradient adjust, fine adjust 등의

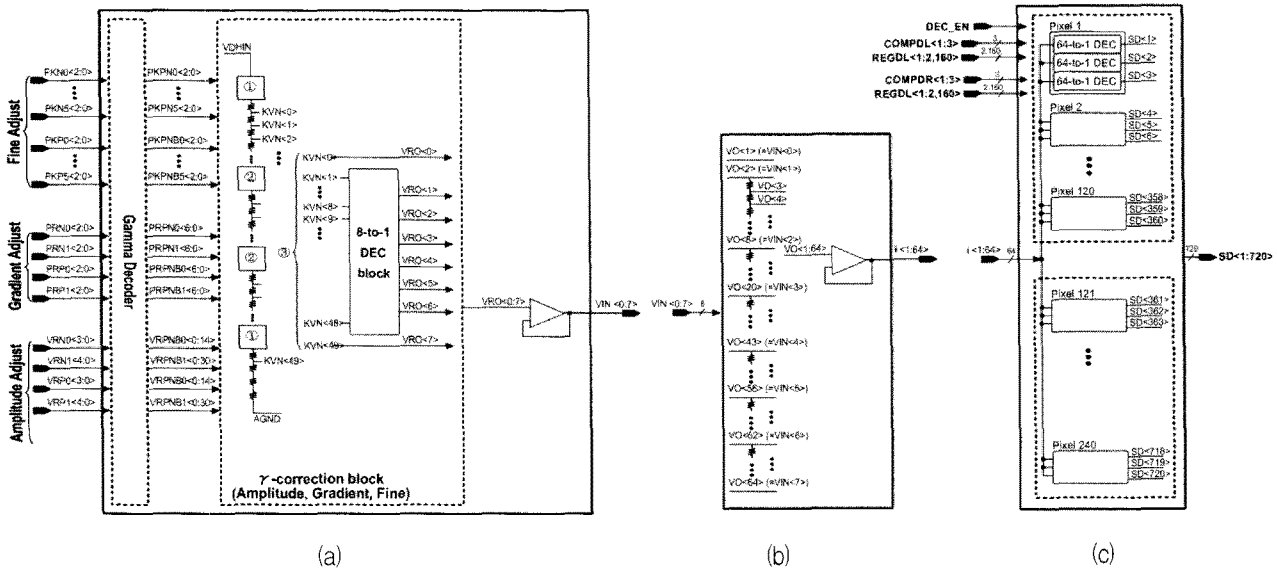


그림 4. Grayscale controller의 블록다이어그램
 (a) Reference voltage generator (b) Grayscale voltage generator (c) Decoder
 Fig. 4. Grayscale controller block diagram.
 (a) Reference voltage generator (b) Grayscale voltage generator (c) Decoder

γ -correction 기능은 선형적으로 빛의 투과율을 제어하기 위한 비선형적인 64개의 grayscale voltage을 액정의 특성에 따라 미세 트리밍하는 기능을 수행한다.

Grayscale voltage driver 회로는 8개의 기준 전압을 resistor string을 통해 64개의 grayscale 전압을 생성하고, 본 64개의 grayscale 전압을 unit gain amp를 통해 채널을 구동시킨다.

Decoder 회로는 720개의 64-to-1 decoder로 구성되고 쉬프트 레지스터의 REGDR<1:2160>, REGDL<1:2160>의 데이터에 의해 64개의 grayscale 전압 중에 해당 전압을 선택하여 출력한다.

2. Mixed channel driver and control logic

Mixed channel driver단은 720개의 채널을 구동하는 단으로, channel의 구동은 데이터 레지스터에 저장된 디지털 데이터의 동일 여부에 따라 control logic에 의해 off 또는 on으로 제어된다.

Off 시는 그림 4(b)의 grayscale voltage driver와 그림 4(c)의 decoder에 의해 gray amp. driving 방식으로 채널이 구동되고, on 시는 black 또는 white 등의 동일 색을 가지는 scan line의 경우로, R, G, B channel 별로 앰프를 사용하여 채널이 구동되는 mixed driving 방식이다. Mixed channel driver는 총 720개의 channel을 블록당 360개의 채널로 구성하여 2개의 블록으로 설계하

며, 각 블록의 회로와 동작 타이밍은 동일하다.

각 블록에 대한 설계 회로는 그림 5와 같다. 그림 5(a)는 data register와 control logic을 나타내고, (c)는 Mixed channel driver를 나타낸다.

그림 5(a)의 data register는 GRAM으로부터 18비트의 1-pixel 데이터를 CLK에 동기하여 120 cycle 동안 순차적으로 저장하고, control logic은 상위 두개의 pixel 데이터를 비교하여 mixed driving을 위한 제어신호를 생성한다. 이의 상세 제어회로는 그림 5(b)와 같이, data register의 pixel I1과 I2의 데이터를 R, G, B별로 각각 비교하는 6비트 비교기, 매번 비교결과를 저장하는 1bit c_latch, 그리고 비교동작을 119회 수행하여 모든 데이터의 비교동작이 완료되면 결과를 저장하는 f_latch로 구성된다. 디스플레이는 외부의 SDT 신호에 의해 비교동작이 시작되고, 중간에 두 데이터가 다르면 비교동작은 중단되며, 비교결과는 COMPDL<1:3>으로 출력된다. 그림 5(c)의 mixed channel driver는 R, G, B 별로 각각 120개의 채널 전체를 구동하는 총 3개의 channel amp. 회로와 해당회로의 출력 혹은 grayscale voltage generator의 신호를 선택하는 switch 회로로 구성된다. 즉, mixed channel driver는 control logic의 최종 출력인 COMPDL<1:3>에 의해 on 또는 off가 제어되며, R 색상의 비교결과가 같으면 (COMPDL<1>="H") 해당 R 앰프는 on되고, 그 출력은 120개의

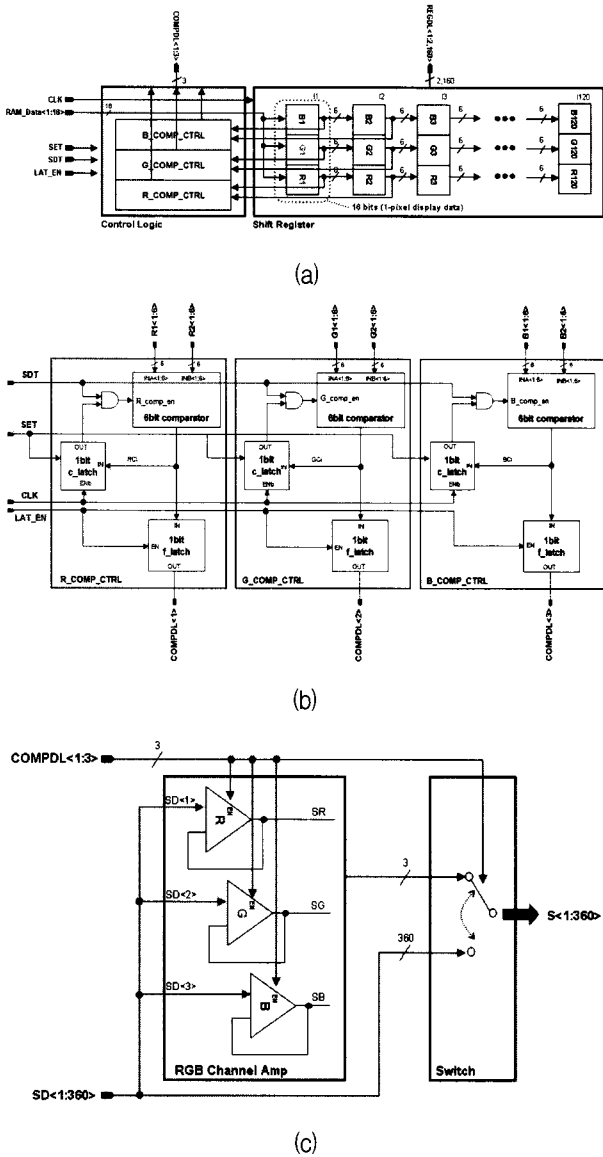


그림 5. Mixed driving 회로와 제어회로
 (a) 데이터 레지스터와 제어회로
 (b) 제어회로 (c) Mixed channel driver
 Fig. 5. Mixed driving circuit and control logic.
 (a) Data register and control logic
 (b) Control logic (c) Mixed channel driver

channel에 공급된다. R, G, B별 모두 비교결과가 다를 경우에는 mixed channel driver는 off되며, 그림 4의 decoder 출력인 SD<1:360> 신호에 의해 channel이 구동된다.

중전의 channel amp. driving 방식은 최종 출력 구동을 위해 720개의 개별 앰프가 필요하였던 것에 비해, mixed driving 방식은 6개의 amp로 줄여 구동함으로써 저전력 구현이 가능하다. 그리고 본 방식에 의해 설계하면 액정 기생저항과 커패시터로 구성된 channel load

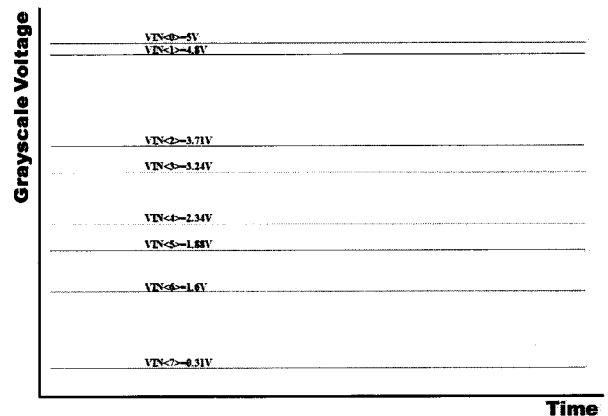
에 대해, 충분한 timing margin을 가지고 Hsync time (49 μ s) 안에 channel 을 구동할 수 있다.

IV. 시뮬레이션 및 레이아웃

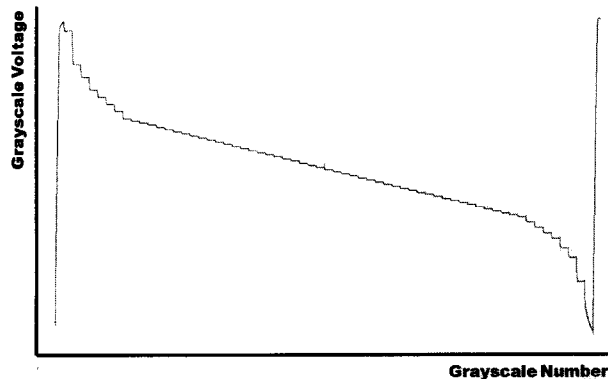
회로설계는 Magnachip반도체의 0.35 μ m embedded DRAM 공정을 사용하여 트랜지스터 수준으로 설계하였고, 전원전압인 DDVDH는 5.5V, grayscale voltage generator의 기준전압인 VDHN은 5V, 그리고 AGND는 0V를 인가하여 HSPICE를 사용하여 시뮬레이션을 하였다.

1. Simulation for grayscale controller

그림 6은 본 설계에서 grayscale controller의 γ -correction을 위해 얻어진 한 typical reference 파형이다.

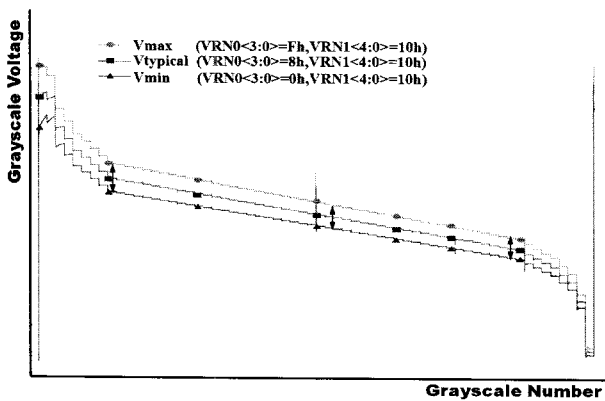


(a)

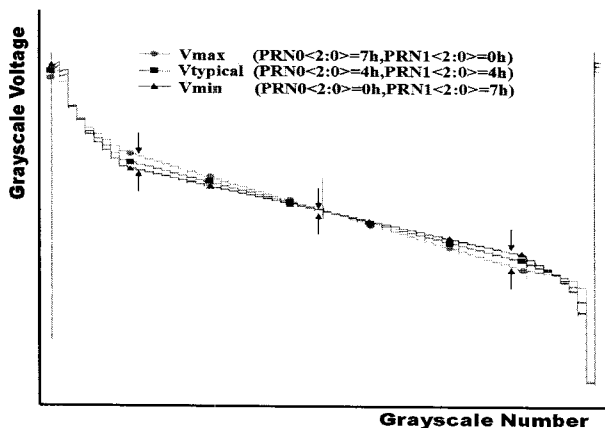


(b)

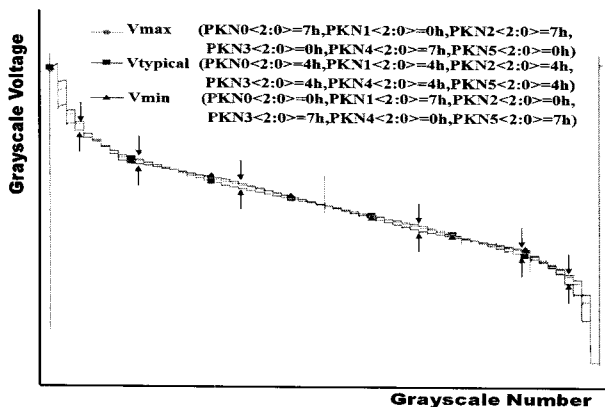
그림 6. Grayscale controller 파형 (a) Reference voltage generator 출력 (b) 64-to-1 DEC 출력
 Fig. 6. Waveforms of grayscale controller (a) Output of reference voltage generator (b) Output of 64-to-1 DEC.



(a)



(b)



(c)

그림 7. γ -Correction 출력 (a) Amplitude Adjust (b) Gradient Adjust (c) Fine Adjust

Fig. 7. γ -Correction output. (a) Amplitude Adjust (b) Gradient Adjust (c) Fine Adjust.

그림 6(a)는 8개의 reference voltage generator에 대한 출력으로, γ -correction block의 γ -correction 수행과 64 grayscale voltage 생성을 위한 중앙값인 VRO0<8>~VRO7<8>의 8개의 전압으로 0.31V~5V의 값을 가진다. 그림6(b)는 00h에서 3Fh까지 1씩 증가시킨 메모리의 데이터(gray-scale number)에 대해 64-to-1

decoder를 통해 얻어진 출력 파형이다.

이에 대해, 그림 7은 γ -correction에 따른 64개 grayscale voltage level들의 변화를 보여준다. (a)의 amplitude 조정에서는 전압의 폭이, (b)의 gradient 조정에서는 dynamic range의 변화 없이 middle range의 전압이, (c)의 fine 조정에서는 grayscale 전압 level이 미세하게 조정되는 것을 확인할 수 있다. 이러한 γ -correction 기능은 액정상의 채널의 로딩 및 LDI에서 액정에 공급하는 VCOM 전압과 source driver의 출력 전압 변화에 대한 영상 구현의 품질을 향상시킬 수 있다.

2. Mixed driving 시뮬레이션

그림 8은 mixed driving에 대해 시뮬레이션을 한 결과이다. 그림 8(a)는 mixed driving 시의 타이밍 다이어그램이다. 먼저 하나의 scan line의 시작을 알리는 SDT 신호가 setting되고 그래픽 메모리에서 240 x 18비트의 데이터 read가 완료되면 데이터를 data register로 옮겨 놓기 위해 CLK가 120회 발생한다. 데이터를 shift하는 과정에서 control logic에서는 데이터의 비교 연산이 동시에 수행된다. 120회 shift 및 비교 연산이 완료되면 비교된 최종결과는 LAT_EN 신호에 의해 출력 래치에 저장되며 DEC_EN 신호가 “H”로 setting되어 grayscale voltage generator의 decoder를 on 시킨다. 비교 결과, 모든 픽셀의 데이터가 동일하면, COMPDL<1:3> (or COMPDR<1:3>) 신호에 의해 720개의 decoder 중의 714개의 decoder가 off되고, RGB channel amp가 on되고, 액정상의 R, G, B별 channel을 구분하여 구동한다. 즉, 블랙 또는 화이트와 같이 동일 색으로 디스플레이 되는 상황에서 mixed channel driver는 enable된다.

그림 8(b)는 본 mixed channel driving 방식과 기존의 대표적인 2가지 방식에 대해 성능 비교한 결과파형이다.

부하는 worst case channel loading으로 발생 가능한 최대 구동 channel 수 x (loading / channel)로 하였고, 각 channel당 로딩은 20k Ω + 40pF을 적용하였다. channel amp driving 방식 ①은 4 μ s의 액정의 구동 시간을 가졌고, gray amp driving 방식 ②는 47 μ s, mixed driving 방식 ③은 데이터를 비교를 위한 시간, t_{CD} = 4.8 μ s의 시간이 추가 소요되나 출력단의 R, G, B별 각 2개 (총 6개)의 앰프 동작에 의해 총 구동시간, t_{MD} = 17

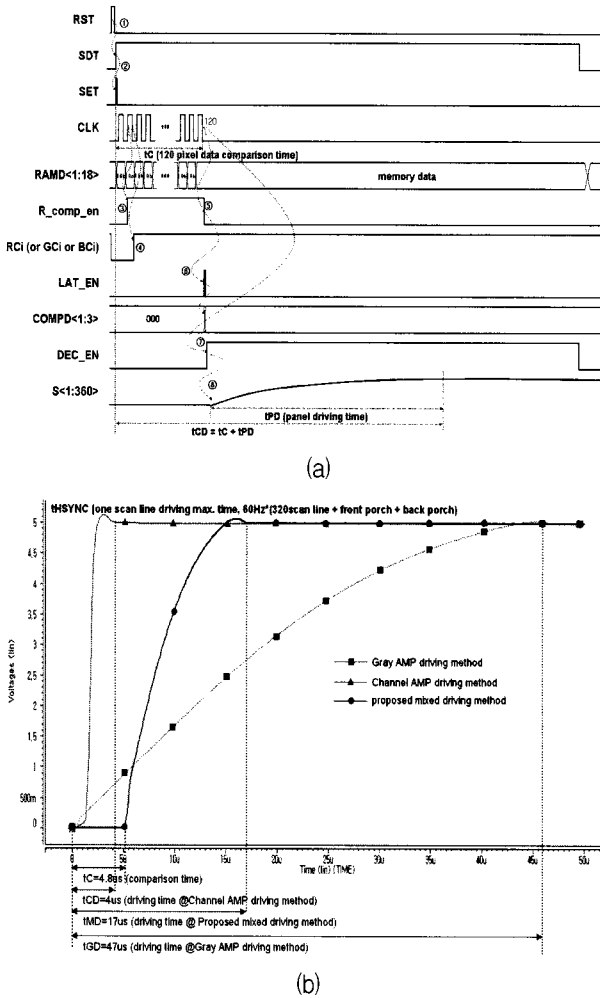


그림 8. mixed driving 방식 (a) 타이밍 다이어그램 (b) 패널 구동방식에 따른 구동시간 (worst case loading 적용)
 Fig. 8. Mixed driving method (a) Timing diagram (b) Driving time for 3 driving methods (in the worst case loading).

μs를 가졌다. 따라서 통상적으로 Hsync time (49μs) 안에 channel 을 구동해야 하므로 방식②는 Hsync 시간에 대한 타이밍 마진이 없어 실제 사용하기 어렵고, 방식 ①과 ③이 사용가능하다.

표 1은 각 구동방식에 따른 worst case에 대한 channel loading과 구동시간과 아울러 소요 하드웨어에 대한 비교를 보여준다.

channel amp. driving 방식 ①은 grayscale controller에 8개의 앰프, 최종출력 channel driver에 720개의 amp.로 총 728개의 amp.가 필요하고, gray amp. driving 방식 ②는 grayscale controller에 사용에 72개의 amp (8 reference voltage amp. + 64 grayscale amp.)가 필요하고, mixed driving 방식 ③은 방식 ②의

표 1. 구동방식에 따른 성능 및 소요 하드웨어의 비교

Table 1. Comparison of the Functions and Necessary Hardware according to the Driving Method.

| Channel driving method | | Method ① (Channel AMP driving method) | Method ② (Gray AMP driving method) | Method ③ (Mixed driving method) |
|------------------------|--------------------------------|------------------------------------------|---------------------------------------|------------------------------------|
| Items | Channel Loading @Worst Case | (20kΩ+40pF) x1 | (20kΩ+40pF) x720 | (20kΩ+40pF) x120 |
| | Drivability | | | |
| Hardware Overhead | # of AMP @grayscale controller | 8 | 72 (=8+64) | 72 (=8+64) |
| | # of AMP @channel driver | 720 | 0 | 6 |
| | Total # of AMP | 728 | 72 | 78 |
| | # of 6-bit comparator | 0 | 0 | 6 |

구조에 72개 amp., 최종출력단에 6개의 RGB channel amp., 기타 comparator 및 SW 회로가 필요하다. 방식 ③은 방식 ①에 비해 현저히 적은 면적으로 구현 가능하다.

따라서 본 mixed driving 방식은 적은 면적으로, 기존의 gayscale driving 방식에서 hsync time을 만족시키지 못하는데 비해 충분한 timing margin을 가지고 액정 channel 을 구동할 수 있어 소형 LDI에 적합한 방식이다.

V. 결론

본 source driver는 저면적 구현을 위해 새로운 mixed driving 방식을 채택하였고, 양질의 이미지 구현을 위한 γ-correction이 가능하도록 설계되었다.

Mixed driving source driver는 동일 색상에 의해 영상이 구현되는 worst case를 감지하는 데이터 비교기와 동일 색상일 경우에만 동작하는 6개의 앰프, 그리고 mixed channel driver만으로 구성하였다. 이 채널구동부는 기존의 gayscale driving 방식에서는 hsync time을 만족시키지 못하는데 비해 17μs의 channel 구동시간으로 충분한 timing margin을 가지고 액정 channel 을 구동할 수 있고, 또한 구동 앰프 78개와 제어회로로 적은 면적을 설계되었다.

향후, 본 논문에서 설계한 source driver의 제조 및 모듈테스트를 통해 γ-correction의 특성을 검증하고, DRAM을 내장한 graphic 메모리부를 내장하여 초소형의 QVGA급 LDI 설계를 할 예정이다.

참 고 문 헌

[1] H. Aoki, "Dynamic Characterization of a-Si TFT-LCD Pixels," IEEE Trans. Electron Devices, vol. 43, no. 1, pp. 31~39, Jan. 1996.

[2] T. Itakura, H. Minamizaki, T. Saito, and T. Kuroda, "A 402-Output TFT-LCD Driver IC With Power Control Based on the Number of Colors Selected," IEEE J. Solid-State Circuits, vol. 38, no 3, pp. 503~510, Mar. 2003.

[3] Bo-Sung Kim, Young-Gi Kim, and Soon -Yang Hong, "Low Power 260k Color TFT LCD One-chip Driver IC," Proc. of 5th International Symposium on Quality Electronic Design, pp. 126-130, 2004.

[4] Jae-Goo Lee, Jae-Hyuck Woo, Bai-Sun Kong, Young-Hyun Jun, Chil-Gee Lee, Im-Soo Kang, Bong-Nam Kim, and Jin-Tae Kim, "Opportunistic multichannel Driving Scheme for low power mobile TFT-LCD driver IC," Electronics Letter, vol. 41, no. 13, June 2005.

저 자 소 개



김 학 윤(학생회원)
 1999년 2월 충북대학교 반도체 공학과 졸업(공학사)
 2001년 2월 충북대학교 대학원 반도체공학과 졸업 (공학석사)
 2000년~2004년 하이닉스반도체 System IC 연구소 주임연구원

2005년~현재 RIUBIT 책임연구원
 2006년 3월~현재 충북대학교 반도체공학과 박사과정
 <주관심분야: DDI & SoC 설계, Embedded Memory>



이 성 우(학생회원)
 2008년 2월 충북대학교 전기전자 공학부 졸업(공학사)
 2008년 2월~현재 충북대학교 대학원 반도체공학과 석사과정
 <주관심분야: DDI 설계>



고 영 근(정회원)
 2007년 2월 충북대학교 전기전자 공학부 졸업(공학사)
 2009년 2월 충북대학교 대학원 반도체공학과 졸업 (공학석사)
 2009년 2월~현재 실리콘웍스 개발 1실 PDI팀
 <주관심분야: DDI 설계>



최 호 용(평생회원)
 1980년 2월 서울대학교 전자공학과 졸업(공학사)
 1982년 2월 한국과학기술원 전기 및 전자공학과 졸업 (공학석사)
 1994년 3월 오오사카대학교 대학원 전자공학과 졸업 (공학박사)

1982년 3월~1985년7월 삼성반도체연구원 선임연구원
 1985년 8월~1996년8월 부경대학교 부교수
 1996년 9월~현재 충북대학교 전자공학부 교수
 <주관심분야: DFT & Testing, 시스템IC설계>