

논문 2009-46SD-12-9

최소 변동 및 가변 데드 타임을 갖는 고전압 구동 IC 설계

(Design of High Voltage Gate Driver IC with Minimum Change and Variable Characteristic of Dead Time)

문경수*, 김형우**, 김기현**, 서길수**, 조효문***, 조상복***

(Kyeong-Su Mun, Hyoung-Woo Kim, Ki-Hyun Kim, Kil-Soo Seo, Hyo-Mun Cho, and Sang-bock Cho)

요약

본 논문에서는 캐패시터로 상승 시간과 하강 시간을 조절하고 슈미트 트리거의 스위칭 전압을 이용한 데드 타임 회로를 갖는 고전압 구동 IC (High Voltage Gate Driver IC)를 설계하였다. 설계된 고전압 구동 IC는 기존 회로와 비교하여 온도에 따른 데드 타임 변동을 약 52% 줄여 하프브리지 컨버터의 효율을 증대시켰으며 캐패시터 값에 따라 가변적인 데드 타임을 가진다. 또한 숏-펄스 (short-pulse) 생성회로를 추가하여 상단 레벨 쉬프트 (High side part Level shifter)에서 발생하는 전력소모를 기존의 회로에 비해 52% 감소 시켰고, UVLO를 추가하여 시스템의 오동작을 방지하여 시스템의 안정도를 향상시켰다. 제안된 회로를 검증하기 위해 Cadence의 Spectre를 이용하여 시뮬레이션 하였고 1.0um 공정을 이용하였다.

Abstract

In this paper, we designed high voltage gate drive IC including dead time circuit in which capacitors controlled rising time and falling time, and schmitt-triggers controlled switching voltage. Designed High voltage gate drive IC improves an efficiency of half-bridge converter by decreasing dead time variation against temperature and has variable dead time by the capacitor value. and its power dissipation, which is generated on high side part level shifter, has decreased 52 percent by short pulse generation circuit, and UVLO circuit is designed to prevent false-operation. We simulated by using Spectre of Cadence to verify the proposed circuit and fabricated in a 1.0um process.

Keywords : Half-Bridge converter, High Voltage Gate Driver IC, Dead Time

I. 서론

최근 전자식 안정기, LCD 및 PDP TV의 전원 장치에 사용되는 하프브리지 컨버터는 출력단의 회로구성이 간단하여 소형화가 가능하고, 높은 효율을 가지며, 낮은

노이즈를 방출하는 장점이 있다.^[1] 이러한 장점으로 인해 하프 브리지 컨버터의 사용이 증가하고 있는 추세이다. 이로 인해 이 파워 스위치를 구동시키는 고전압 구동 IC(High Voltage Gate Driver)의 중요성이 증대되고 있으며, 이는 파워 스위치를 구동시키기 위한 전류와 전압을 생성하며, 두 개의 파워 스위치를 반대로 턴-온 (turn-on), 턴-오프 (turn off)를 하여 부하에 전력을 전달하게 된다.^[2]

일반적인 고전압 구동 IC는 두 개의 파워 스위치가 동시에 턴-온 되어 발생하는 숏-스루(shoot-through) 현상을 방지하는 데드 타임 회로, 전압 레벨을 올려주는 레벨 쉬프트 회로, 파워 스위치를 구동시키기 위한 드라이버(Driver) 회로로 구성된다.^[3]

기존의 데드 타임 회로는 채널 길이가 긴 CMOS 인

* 학생회원, *** 평생회원-교신지자,
울산대학교 전기전자정보시스템공학부
(School of Electrical Engineering,
Ulsan University)

** 정회원, 한국전기연구원
(Korea Electrotechnology Research Institute)

※ 본 논문은 지식경제부의 에너지자원 기술개발 사업인 '대형 가전용 대기전력 절감기술 개발 사업'의 지원과 반도체설계교육센터, IT-SoC 핵심설계인력양성사업, 네트워크 기반 자동화 연구센터 지원을 받아 수행된 연구입니다.

접수일자: 2009년10월27일, 수정완료일: 2009년12월2일

버터로 구성되며 고정된 데드 타임을 가진다. 하지만 공정 및 온도, 공급 전압의 변화에 따라 고정된 데드 타임이 변하게 되어 하프 브리지 컨버터의 효율을 감소시키고^[4], 숏-스루 현상을 발생시켜 파워 스위치 소자와 전원 회로를 파괴시키고 퓨즈가 절단되는 큰 문제를 야기시킬 수 있다.^[5]

본 논문은 온도에 따른 데드 타임 회로의 변동율을 약 50% 감소시켜 숏-스루 현상을 방지하였고 하프 브리지 컨버터의 효율을 증가시켰다. 그리고 기존 회로에 비해 채널 길이가 작고, 캐패시터 값에 따라 사용자가 원하는 데드 타임을 만들 수 있는 장점이 있다.

II. 데드 타임의 최소 변동 및 가변 특성을 갖는 고전압 구동 IC

제안된 회로는 부트스트랩(bootstrap) 방식을 이용하여 상단 드라이버의 전원을 공급하며 부트스트랩 전원은 그림 1에서 보는 것과 같이 다이오드와 캐패시터로 구성이 된다.^[6] VCC는 하단 구동부의 전원이며, 전원이 공급되면 부트스트랩 다이오드가 턴-온 되고, 이 때 하단 드라이버가 턴-온 되면 부트스트랩 캐패시터는 상단 구동부에 공급된 전원만큼 충전이 된다. 그림 1은 캐패시터와 슈미트 트리거를 이용한 최소 변동 및 가변 데드 타임을 가지는 고전압 구동 IC 블록도이다.

PFM 신호가 입력되면 데드 타임 회로에서는 두 개의 파워 스위치가 동시에 턴-온 되는 것을 방지하는 상단 신호(HS)와 하단 신호(LS)를 출력 한다. 만약 하프 브리지의 두 개 파워 스위치가 동시에 턴-온 된다면 전

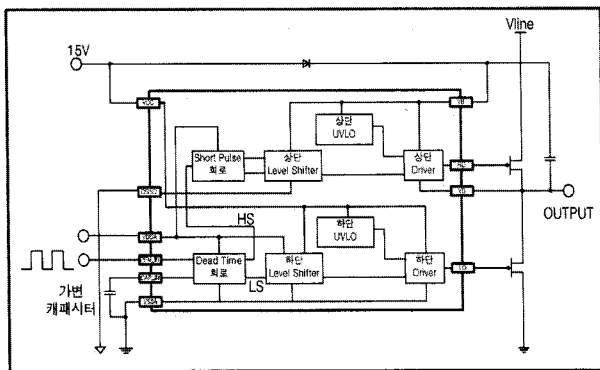


그림 1. 최소 변동 및 가변 데드 타임을 갖는 고전압 구동 IC 블록도

Fig. 1. Block diagram of High Voltage Gate Driver IC with Minimum Change and Variable Characteristic of Dead Time.

원끼리 또는 전원과 그라운드 사이가 쇼트 (short)되어 큰 관통전류가 흐른다. 이 관통전류를 숏-스루 (shoot-through)라 한다. 이 숏-스루 전류가 발생하게 되면 두 개의 파워 스위치 소자의 손실을 발생시키고 부하에 전력을 전달시키지 못하는 문제가 발생하게 되고, 과도한 숏-스루 전류가 흐르게 된다면 전원 회로를 파괴시키거나 퓨즈가 절단되고 파워 스위치 소자를 파괴시켜 버리는 단점이 발생한다.

데드 타임에서 출력된 상단 신호는 플로팅 노드(VS) 전압 (600V)까지 상승시켜야 하기 때문에 상단 레벨 슈프트를 이용한다. 하지만 상단 레벨 슈프트에서 전력 소모가 많이 발생하기 때문에 레벨 슈프트를 구성하는 LDMOS의 게이트 (gate) 입력 부분에 숏 펄스 생성 회로를 추가하여 전력 소모를 줄였다. 그리고 VB 및 VCC 전압 강하가 발생하면 상·하단 구동 부를 오작동시킬 수 있기 때문에 전압 강하가 발생하면 출력을 차단하는 UVLO (Under Voltage Lock_out)를 추가하여 고전압 구동 IC를 설계하였다. 다음은 각 회로에 대한 세부적인 설명이다.

가. 제안하는 데드 타임 회로

데드 타임 회로는 하프 브리지 회로의 상·하단 파워 스위치 소자가 동시에 턴-온 되는 것을 방지하는 역할을 하는 것으로 기존의 데드 타임 회로는 그림 2에 나타내었다. 여기서 일반적인 드레인 전류는 식(1)과 같고 문턱 전압 (threshold voltage)은 식(2)이며, 강반전 표면 전하는 식(3)과 같다.

$$I_D = \mu_0 C_{OX} \frac{W}{L} [(V_{GS} - V_T) - (\frac{V_{DS}}{2})] V_{DS} \quad (1)$$

$$V_T = V_{T0} + \gamma (\sqrt{2|\phi_F| + v_{SB}} - \sqrt{2|\phi_F|}) \quad (2)$$

$$\phi_F = \frac{kT}{q} \ln(\frac{N_{SUB}}{n_i}) \quad (3)$$

식 (3)과 같이 온도가 증가 하게 되면 ϕ_F 는 증가하므로 V_T 가 증가하게 되고, 드레인 전류(I_D)는 식(1)에 의해 감소하게 된다. 드레인 전류가 감소하게 되면 전압 레벨까지 올라가는 데 시간이 많이 걸리고, 그 만큼 지연이 생기게 된다.

기존의 채널 길이가 긴 인버터 회로의 I_D 는 식(4)와 같고, 동작 전압은 식 (5)와 같다.

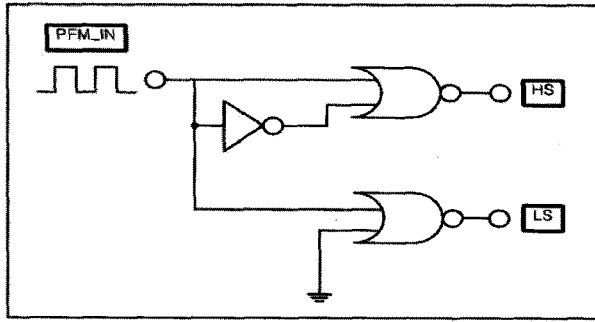
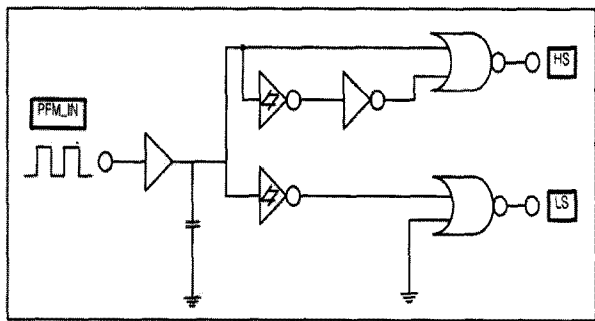


그림 2. 기존의 데드 타임 회로
Fig. 2. Dead Time circuit of conventional.

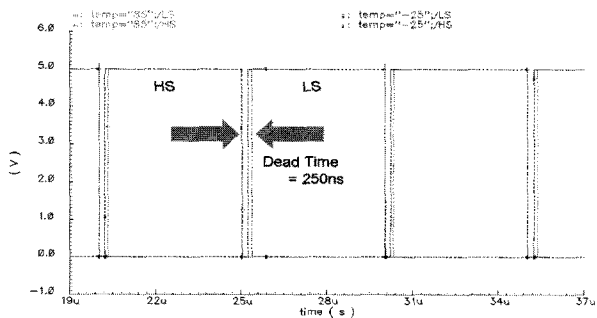
$$I_D = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L}\right)_n (V_{LT} - V_{TH \cdot n})^2 \quad (4)$$

$$V_{LT} = \frac{\sqrt{\mu_n \left(\frac{W}{L}\right)_n \cdot V_{TH \cdot n}} + \sqrt{\mu_p \left(\frac{W}{L}\right)_p \cdot (V_{DD} - |V_{TH \cdot p}|)}}{\sqrt{\mu_n \left(\frac{W}{L}\right)_n} + \sqrt{\mu_p \left(\frac{W}{L}\right)_p}} \quad (5)$$

위의 식과 같이 채널 길이가 길면 드레인 전류는 감소하게 되고 온도가 증가하면 문턱 전압에 의해 동작 전압이 증가하여 드레인 전류는 감소하게 된다. 이로



(a)



(b)

그림 3. (a) 제안하는 데드 타임 회로 (b) 동작 파형
Fig. 3. (a) Proposed Dead Time circuit (b) operation waveform.

인해 큰 지연이 발생하고 데드 타임 변동율이 증가하여 하프 브리지 컨버터의 효율이 감소하게 되는 문제점이 발생한다.

제안하는 데드 타임 회로는 버퍼 (Buffer)와 캐패시터, 슈미트 트리거 회로로 구성이 되고, 그림 3 (a)와 같다. PFM 신호는 충분한 전류 양을 공급하기 위한 버퍼 회로를 거치고, 버퍼 회로의 출력은 캐패시터 값에 의해 상승 시간과 하강 시간이 조절 된다. 이 시간은 슈미트 트리거의 스위칭 전압에 의해 조절되어 가변적인 데드 타임을 형성하게 된다.

기존의 회로에 비해 지연이 적게 나타나고 드레인 전류 양이 크며 온도에 따른 데드 타임 변동을 최소화 하였다. 데드 타임 변동에 따른 쏘-스루 현상을 방지하고, 하프브리지 컨버터의 효율이 감소되는 문제점을 최소화 하였다. 제안하는 회로의 드레인 전류는 다음과 같다.

$$I_D = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L}\right)_{N3} (V_{DD} - V_{T+})^2 \quad (6)$$

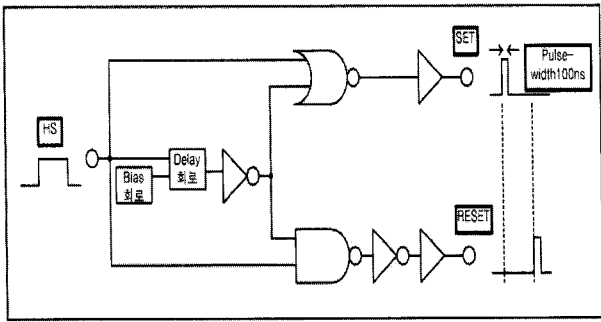
$$V_{T+} = \frac{\sqrt{\left(\frac{W}{L}\right)_{M1} \cdot V_{TH \cdot n}} + \sqrt{\left(\frac{W}{L}\right)_{N3} \cdot (V_{DD})}}{\sqrt{\left(\frac{W}{L}\right)_{M1}} + \sqrt{\left(\frac{W}{L}\right)_{N3}}} \quad (7)$$

기존 회로에 비해 채널 길이가 작게 설계 되어 식(6)과 같이 드레인 전류가 크고 온도 변화에 따라 드레인 전류의 변화가 작기 때문에 데드 타임의 변동율이 작다. 그림 3 (b)는 온도에 따른 데드 타임 변동율을 나타낸다.

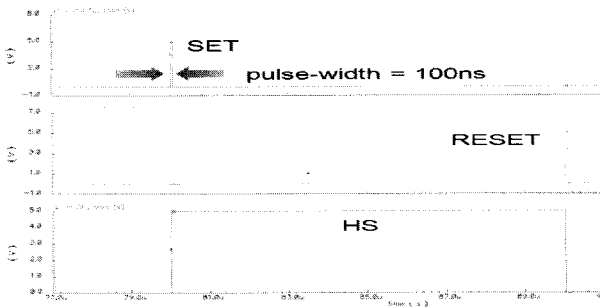
나. 쏘-펄스 (short pulse) 생성 회로

쏘-펄스 생성 회로는 데드 타임회로의 출력인 상단 신호의 상승 및 하강 에지를 검출하여 짧은 펄스를 생성하는 회로이다. 데드 타임에서 출력 된 상단 신호는 LDMOS를 이용한 상단 레벨 슈프트를 통해 플로팅 노드(Vs) 전압 (600V)까지 상승시킨다. 이 때 발생하는 전력 소모를 줄이기 위해 상단 신호의 상승 및 하강 에지를 검출하여 셋 신호와 리셋 신호의 짧은 펄스를 생성하는 회로를 선택하였다. 생성 된 짧은 펄스 신호는 LDMOS의 게이트에 인가 된다. 그림 4 (a)는 쏘-펄스 생성 회로이고 (b)는 동작파형이다.

그림 4 (a)와 같이 데드 타임의 출력 신호와 지연 회로를 거친 신호가 NOR 연산과 AND 연산을 통한다. NOR 연산을 통해 상승 에지에서 셋 신호가 생성이 되



(a)



(b)

그림 4. (a) 숏-펄스 생성 회로 (b) 동작 파형

Fig. 4. (a) Short pulse generated circuit (b) Operation waveform.

고, AND 연산을 통해 하강 에지에서 리셋 신호가 생성된다. 이 신호는 상단 레벨 쉬프트의 게이트로 인가가 된다.

설계된 숏-펄스 생성회로의 pulse width는 100ns이다. 짧은 펄스를 가질 때 상단 레벨 쉬프트에서 발생하는 전력소모는 식(8), (9)와 같고 표 1은 기존 회로와 제안한 회로에서 발생하는 전력 소모이다.

$$I_{AV} = I_{peak} \times \frac{pulse - width}{period} \times 2 = 100\mu A \quad (8)$$

$$P_d = V_1 \times I_{AV} = 600V \times 100\mu A = 60mW \quad (9)$$

입력 전압은 600V이고, I_{peak}는 5mA이다. 기존의 상단 레벨 쉬프트^[7]에서 발생하는 전력 소모와 비교하여

표 1. 기존 회로와 제안한 숏-펄스 회로의 전력 소모
Table 1. Power dissipation of conventional circuit and proposed short-pulse circuits.

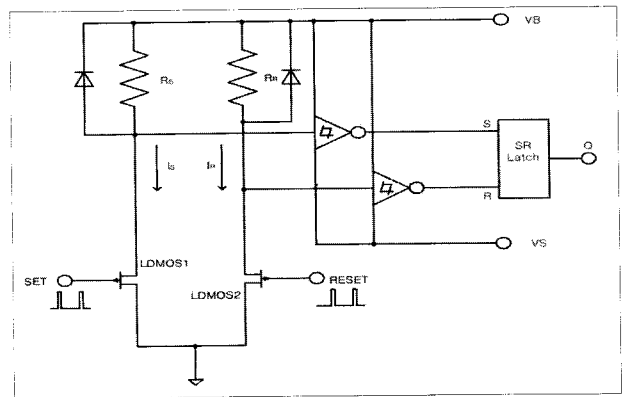
	pulse-width	I _{AV}	P _d
기존 회로	250ns	250uA	125mW
제안한 회로	100ns	100nA	60mW

52% 감소한다.

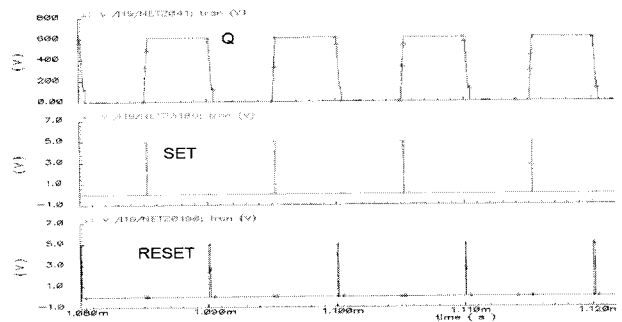
다. 상단 레벨 쉬프트

상단 레벨 쉬프트는 숏-펄스 회로에서 출력된 셋 신호와 리셋 신호를 플로팅 노드(V_S) 전압 (600V)까지 상승시키고 LDMOS와 저항 그리고 슈미트 트리거로 구성이 된다. 그림 5 (a)은 상단 레벨 쉬프트 회로이다.

숏-펄스 출력 셋 신호가 LDMOS1에 인가 되면 LDMOS1이 턴-온 되어 전류 I_S는 V_B에서 GND까지 흐르게 되고, 이 전류 I_S에 의해 전압 강하가 발생하며 슈미트 트리거를 거쳐 S 출력이 나가게 된다. 이 때 슈미트 트리거의 히스테리시스를 크게 갖도록 하여 작은 잡음에 의해 오동작이 발생하지 않도록 설계하였다. 슈미트 트리거 출력 S는 SR latch에 인가되고 하프 브리지 컨버터의 상단 파워 스위치를 턴-온 시키는 역할을 한다. 숏-펄스 리셋 신호가 LDMOS2에 인가 되면 LDMOS2이 턴-온 되어 전류 I_R이 V_B에서 GND까지 흐르게 되고, 이 전류 I_R에 의해 전압 강하가 발생하며 슈미트 트리거를 거쳐 R 출력이 나가게 된다. 슈미트



(a)



(b)

그림 5. (a) 상단 레벨 쉬프트 회로 (b) 동작 파형

Fig. 5. (a) High side level shifter circuit (b) Operation waveform.

트리거 출력 R는 SR latch에 인가되고 하프 브리지 컨버터의 상단 파워 스위치를 턴-오프 시키는 역할을 한다. 그림 5 (b)는 상단 레벨 쉬프트의 동작 파형을 보여 준다. 셋 신호와 리셋 신호는 쏘트-펄스의 출력으로 각각의 LDMOS에 인가되고, Q는 상단 레벨 쉬프트를 거친 SR Latch의 출력이다.

라. UVLO (Under Voltage Lock Out)

UVLO는 입력 전압이 떨어지게 되면 출력 전압을 내보내지 않는 보호 회로이다. 제안된 회로에서는 VB UVLO와 VCC UVLO가 있으며 Bandgap Reference, 비교기, 전류 바이어스 회로 및 전압 분배 회로로 구성되어 있고, 그림 6 (a)는 설계된 UVLO 회로이다.

VB 및 VCC를 저항 R1, R2 및 R3에 의해 분압(VR)하고 이를 Bandgap Reference의 기준 전압과 비교하여 시작 전압 이상으로 상승하면 정상 동작을 하고 정지 전압 이하로 하강하면 출력을 오프 시킨다. 정지 전압과 시작 전압은 식 (10), (11)과 같다.

$$V_H = V_R \times (1 + \frac{R1}{R2 \parallel R3}) \tag{10}$$

$$V_L = V_R \times (1 + \frac{R1}{R2}) \tag{11}$$

V_H는 시작 전압이고, V_L은 정지 전압이다. 그림 6 (b)의 동작 파형과 같이 시작 전압이 11.2V이면 정상 동작을 하고 정지 전압이 8.9V이면 출력은 오프 되며 이로 인해 하프브리지 상·하단 파워 스위치도 오프 된다.

마. 레이아웃

그림 7은 고전압 구동 IC의 레이아웃 (Layout)이고, 레이아웃 면적은 2000um × 2500um이며, 현재 공정 진행 중에 있다.

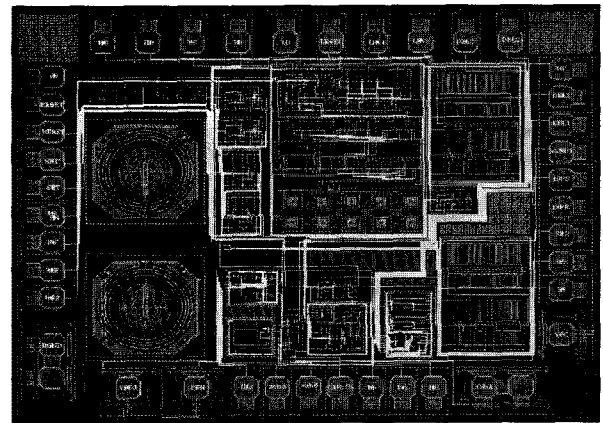
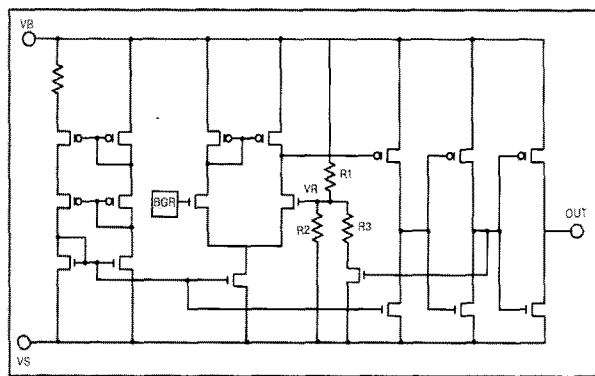
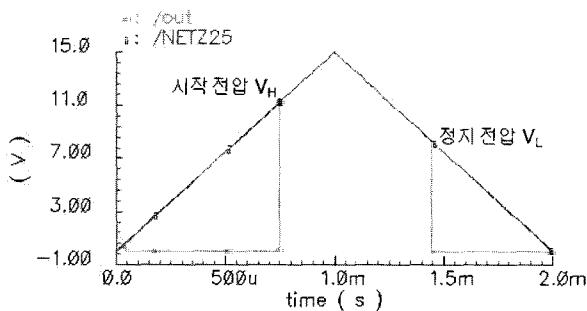


그림 7. 고전압 구동 IC의 Layout
Fig. 7. Layout of High Voltage Gate Driver IC.



(a)



(b)

그림 6. (a) UVLO 회로 (b) 동작 파형
Fig. 6. (a) UVLO circuit (b) operation waveform.

III. 시뮬레이션 결과

제안한 회로는 LLC 공진 하프브리지 컨버터에 적용하여 시뮬레이션 하였다. 고전압 구동 IC를 공진 하프브리지 컨버터에 적용한 그림은 8 (a)와 같다. 스위칭 주파수(f₀)와 공진 주파수(f₁)는 식 (12), (13)과 같고 스위칭 주파수가 공진 주파수보다 작거나 같을 때 정상 동작을 한다. 고전압 구동 IC를 검증하기 위한 스위칭 주파수와 공진 주파수는 100KHz에서 이루어졌다.

$$f_0 = \frac{1}{2\pi \sqrt{L_r \times C_r}} \tag{12}$$

$$f_1 = \frac{1}{2\pi \sqrt{(L_r + L_m) \times C_r}} \tag{13}$$

공진 주파수를 위한 공진 캐패시터는 27.6nF이고 공진 인덕터는 70uH이다.

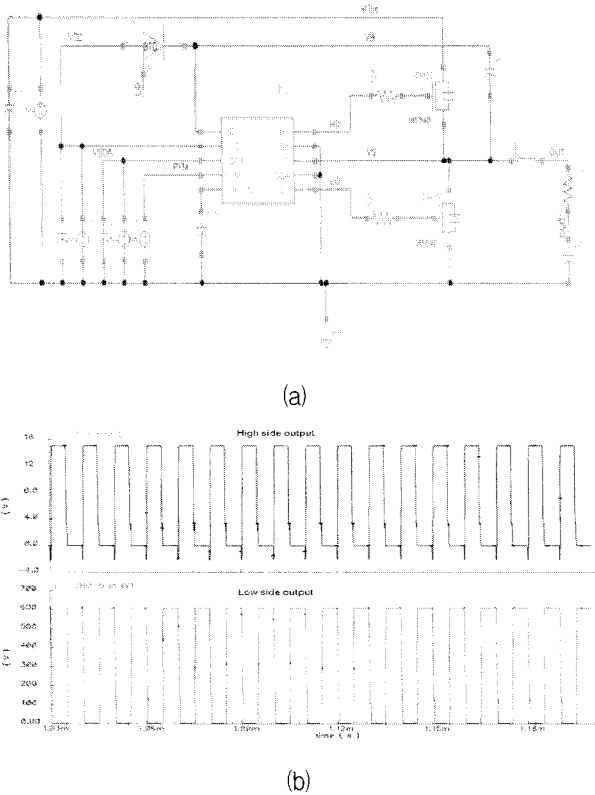


그림 8. (a) 고전압 구동 IC의 테스트 회로
(b) 동작 파형

Fig. 8. (a) Test circuit of High Voltage Gate Driver IC
(b) Operation waveform.

그림 8 (b)는 제안한 회로를 하프브리지 컨버터에 적용한 시뮬레이션 결과이다. PFM 입력 신호에 따른 고전압 구동 IC 출력은 그림 8 (b)와 같이 나타나며 이는 하프 브리지 컨버터의 파워 스위치의 게이트에 인가된다. 상단 신호와 하단 신호는 캐패시터 값 11nF, 22nF, 33nF에 따라 각각 196ns, 247ns, 305ns의 데드 타임을 가지고 하프브리지 컨버터의 파워 스위치를 정상적으로 동작시킨다.

기존의 데드 타임 회로와 제안한 데드 타임 회로의 온도에 따른 데드 타임 변동율과 캐패시터에 따른 데드 타임이 변동율을 표 2에 나타내었다.

기존 데드 타임 회로의 온도에 따른 변동율은 100%라고 가정한다. 제안한 회로에서 캐패시터 값을 11pF, 22pF, 33pF로 변화시키면 데드 타임 변동율은 각각 52%, 52.2%, 53.1% 이다. 이는 기존 회로와 비교하여 온도에 따른 데드 타임 변동율이 상당히 줄어들었다.

그림 9는 입력 신호가 캐패시터 값에 따라 가변 데드 타임이 형성되는 동작 파형이다.

표 2. 기존의 데드 타임회로와 제안한 데드 타임 회로의 온도에 따른 데드 타임 변동율

Table 2. Dead Time fluctuation ratio which follows in temperature with conventional Dead time circuits and proposed Dead Time circuits.

parameter	test condition (-25°C~85°C)	simulation result (ns)			변동율
		min	typ	max	
Dead Time	cap = 11pF	118	196	298	52%
	cap = 22pF	152	247	376	52.2%
	cap = 33pF	192	305	467	53.1%
	기존 회로	172	252	518	100%

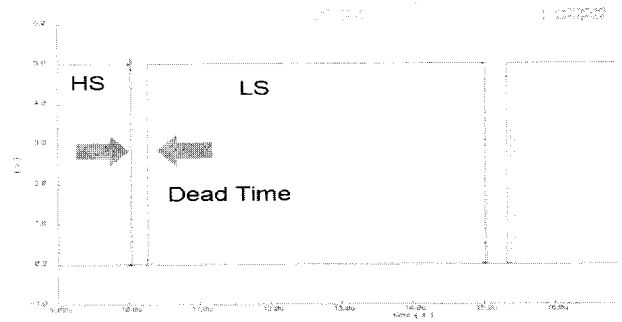


그림 9. 캐패시터 값에 따른 데드 타임 변화

Fig. 9. Variable characteristic of dead time by capacitor.

데드 타임 회로의 캐패시터 값에 따라 입력 신호의 상승 시간과 하강 시간이 변동하게 되고 이를 슈미트 트리거의 스위칭 전압으로 가변 데드 타임을 만든다. 캐패시터 값이 11pF, 22pF, 33pF일 때 각각의 데드 타임은 200ns, 250ns, 330ns로 조정되었다.

IV. 결론

본 논문에서는 최소 변동 및 가변 데드 타임을 갖는 고전압 구동 IC를 설계하였다. 새로운 데드 타임 회로는 버퍼와 캐패시터 그리고 슈미트 트리거로 구성된다. 이는 기존 회로에 비해 온도에 따른 데드 타임 변동율을 약 52% 감소시켜 하프브리지 컨버터의 효율을 증대시켰다. 그리고 캐패시터 값을 11pF, 22pF, 33pF로 변화시키면 각각의 데드 타임은 200ns, 250ns, 300ns가 되고, 이 데드 타임회로는 숏-스루 현상을 방지한다. 숏-펄스 생성회로를 추가하여 상단 레벨 슈프트에서 발생하는 전력소모를 기존 회로에 비해 52% 감소시켰다.

그리고 UVLO를 추가하여 입력 전압이 떨어지면 상·하단 구동 부를 차단하여 오동작을 방지하였고 시스템의 안정도를 향상시켰다. 제안한 고전압 구동 IC는 LLC 하프 브리지 컨버터에 적용하여 시뮬레이션 하였다. 검증 결과 고전압 구동 IC 특성을 만족하고 LLC 하프 브리지 컨버터가 숏-스루 현상 없이 정상 동작 하는 것을 확인 하였다.

참 고 문 헌

- [1] Aldo Novelli, Claudio Adragna, “개선된 공진 양구 컨트roller 하프브리지 방식의 회로 구성”, 전자 부품 10월호 58-63쪽 2006년
- [2] Weiyun Chen, Peng Xu, Lee, F.C, “The optimization of asymmetric half bridge converter” Applied Power Electronics Conference and Exposition, 2001. APEC 2001. Sixteenth Annual IEEE, vol. 2, pp. 703-707 March. 2001
- [3] M. Roßberg, B. Vogler, R. Herzer “600V SOI Gate Driver IC with Advanced Level Shifter Concepts for Medium and High Power Applications” Power Electronics and Applications, 2007 European Conference on, pp. 1-8 Sept. 2007
- [4] A.Pizzutelli, A.Carrera, M.Ghioni and S.Saggini “Digital Dead Time Auto-Tuning for Maximum Efficiency Operation of Isolated DC-DC Converters” Power Electronics Specialists Conference, 2007. PESC 2007. IEEE, pp. 839 - 845, 17-21 June 2007
- [5] 송기남, 박현일, 이용안, 김형우, 김기현, 서길수, 한석봉, “잡음 내성이 향상된 300W 공진형 하프-브리지 컨버터용 고전압 구동 IC 설계” 전자공학 회논문지, 45권, SD편, 10호, pp.7-14, 2008.
- [6] Watabe, K, Shimizu, K, Akiyama, H, Araki, T, Moritani, J, Fukunaga, M, “A half-bridge driver IC with newly designed high voltage diode”, Power Semiconductor Devices and ICs, 2001. ISPSD '01. Proceedings of the 13th International Symposium on , pp. 279-282, June 2001.
- [7] Aldo Novelli, Luca Giussani, Ignazio Bellomo, “NEW GENERATION OF HALF BRIDGE GATE DRIVER ICs FOR USE WITH LOW POWER 3.3V CONTROL APPLICATIONS”, IEEE Power Electronics Specialists Conference, vol. 4, pp. 3237-3242, June 2004.

저 자 소 개



문 경 수(학생회원)
 2008년 울산대학교 전기전자공학부 학사 졸업.
 2008년 3월~현재 울산대학교 전기전자공학부 석사 과정.
 <주관심분야 : CMOS 아날로그 설계 및 제작, HVIC 설계>



김 형 우(정회원)
 1998년 아주대학교 전자공학과 학사 졸업.
 2000년 아주대학교 전자공학과 석사 졸업.
 2002년 아주대학교 전자공학과 박사수료
 2002년 4월~현재 한국전기연구원 에너지반도체 연구센터 선임연구원
 <주관심분야 : Power IC 설계 및 평가, 전력반도체 소자 설계, 신뢰성 분석 및 평가>



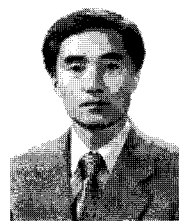
김 기 현(정회원)
 2002년 경상대학교 전자공학과 학사 졸업.
 2004년 부산대학교 전자공학과 석사 졸업.
 2004년~현재 한국전기연구원 에너지반도체연구센터 연구원
 <주관심분야 : 컴퓨터, 반도체, 전력변환>



서 길 수(정회원)
 1989년 영남대학교 전기공학과 학사 졸업.
 1994년 영남대학교 전기공학과 석사 졸업.
 2006년 부산대학교 전자공학과 박사 수료.
 1995년~2008년 현재 한국 전기연구원 에너지반도체연구센터 Power IC 팀장
 <주관심분야 : 아날로그 IC 설계, Implantable sensor, Power IC, SoC, SiP>



조 호 문(정회원)
 1990년 울산대학교 전자공학과 학사 졸업.
 1992년 울산대학교 전자공학과 석사 졸업.
 2006년 울산대학교 전기전자정보시스템공학부 박사 수료
 2009년 울산대학교 객원교수
 <주관심분야 : CMOS VLSI 및 SoC 설계, 영상 압축 및 처리>



조 상 복(정회원)
 1979년 한양대학교 전자공학과 학사 졸업.
 1981년 한양대학교 전자공학과 석사 졸업.
 1985년 한양대학교 전자공학과 박사 졸업.
 1994년~1995년 Univ. of Texas, Austin 교환교수
 2003년~2004년 Univ. of California, San Diego 교환 교수
 2000년~2001년 울산대학교 자동차전자연구센터장
 2006년~현재 울산대학교 e-Vehicle 연구인력양성사업단장
 (2단계 BK21 정보기술사업단)
 <주관심분야 : SoC/VLSI 설계 및 테스트, 자동차 전장시스템 설계, 영상처리 회로 설계 및 제작, 머신비전 시스템 개발, 초고집적 메모리 설계>