

논문 2009-46SD-12-2

Double-Gate MOSFET을 이용한 공핍형 NEMFET의 특성 분석 및 최적화

(Analysis and Optimization of a Depletion-Mode NEMFET Using a
Double-Gate MOSFET)

김 지 현*, 정 나 래*, 김 유 진*, 신 형 순**

(Jihyun Kim, Narae Jeong, Yujin Kim, and Hyungsoon Shin)

요 약

Double-Gate MOSFET 구조를 사용한 Nano-Electro-Mechanical MOSFET (NEMFET)는 게이트 길이가 짧아지면서 나타나는 단채널 현상을 효과적으로 제어하는 새로운 구조의 차세대 소자이다. 특히 공핍형 Double-gate NEMFET (Dep-DGNEMFET)은 차단 상태에서 얇은 산화막을 가지므로 subthreshold 전류가 효과적으로 제어된다. 이러한 Dep-DGNEMFET 특성에 대한 해석적 수식을 유도하고 소자 구조가 변화하는 경우의 특성 변화를 분석하였다. 또한 ITRS (International Technology Roadmap for Semiconductors) 전류 기준값을 만족시키기 위하여 Dep-DGNEMFET 소자 구조를 최적화 하였다.

Abstract

Nano-Electro-Mechanical MOSFET (NEMFET) using Double-Gate MOSFET (DGMOS) structure can efficiently control the short channel effect. Especially, subthreshold current of depletion-mode Double-Gate NEMFET (Dep-DGNEMFET) decreases in the off-state due to the thin equivalent-oxide thickness. Analytical t_{gap} vs. V_g equation for Dep-DGNEMFET is derived and characteristics for different device structures are analyzed. Dep-DGNEMFET structure is optimized to satisfy ITRS criteria.

Keywords : Nano-Electro-Mechanical MOSFET, Double-Gate MOSFET, depletion mode, suspended gate

I. 서 론

지난 20년 동안 CMOS 소자의 축소화로 인하여 직접 회로 기술은 눈부시게 발전하여 왔다. 그러나 소자의 크기가 작아짐에 따라 단채널효과의 증가에 의하여 subthreshold 전류의 증가, 얇은 게이트 산화막에 의하여 전도 상태에서의 게이트의 누설 전류의 증가 등 많

은 문제가 발생한다. Subthreshold 전류의 증가는 subthreshold swing (SS)값에 의한 영향을 받는다. 일반적인 bulk CMOS의 SS는 90mV/dec 이상의 값을 갖는다. 또한 요즘 많은 연구들이 진행되고 있는 다중 게이트 소자들 역시 대부분 70mV/dec 이상의 값을 갖는다. 반면에 Nano-Electro-Mechanical MOSFET (NEMFET)의 경우 게이트의 위치가 변화하면서 V_t 값이 변화하여 subthreshold 전류가 급격히 감소하므로 SS 값이 매우 감소한다.^[1] 따라서 소자가 미세화되면서 나타나는 단점들을 극복할 수 있는 차세대 소자로 각광받고 있다.

NEMFET은 게이트와 실리콘 기판 사이의 전하에

* 학생회원, ** 정회원, 이화여자대학교 전자공학과
(Department of electronics engineering,
Ewha Womans University)

※ 본 연구는 서울시 산학연 협력과제(NT080509)의 지원으로 수행되었음.

접수일자: 2009년7월21일, 수정완료일: 2009년11월7일

의한 쿨롱 힘 (coulomb force)에 따라 게이트의 위치가 변화하면서 게이트와 산화막 사이의 공기 층 두께 (air gap thickness: t_{gap})가 변화하는 소자이다. 이러한 t_{gap} 의 변화에 따라 차단 상태의 subthreshold 전류와 전도 상태의 게이트 누설 전류를 각각 조절할 수 있는 장점을 가지고 있다. 이러한 장점을 이용하여 최근 NEMFET과 MOS 트랜지스터를 조합하여 전류 스위치 또는 tunable 커패시터 등이 제안되었다.^[2] 기존의 NEMFET 연구들은 silicon on insulator (SOI) 소자를 사용하였으나^[1~3] 단채널 현상의 제어 면에서 SOI 소자보다는 Double-Gate MOSFET (DGMOS)가 더욱 효율적이므로 본 연구에서는 기존 연구와 차별화하여 DGMOS 구조를 이용한 NEMFET (DGNEMFET)구조를 제안한다.

본 논문에서는 DGNEMFET의 특성을 분석하고 소자 구조를 최적화하였다. II장에서는 제안된 소자 구조를 설명하고, 게이트 전압 (V_g)에 따른 t_{gap} 변화에 대한 해석적 모델을 유도한다. III장에서는 소자 구조 변화에 따른 특성 변화를 분석하고 이러한 분석 결과에 따라 소자 구조를 최적화한 후, 마지막으로 결론을 맺는다.

II. DGNEMFET 소자 구조와 t_{gap} 모델

1. 소자구조

DGNEMFET의 구조는 DGMOS 구조와 비슷하게 실리콘 기판 양쪽에 게이트가 위치하는 구조이다. 그러나 DGNEMFET은 산화막 양 옆으로 지지대가 위치하고 있어 게이트가 산화막 바로 위에 위치하는 것이 아니라 지지대 높이만큼 떨어져서 위치한다. 이러한 지지대는 쿨롱 힘에 의해서 게이트가 아래쪽으로 당겨지는 힘에 반발하여 게이트를 위로 당겨주는 탄성력 (spring force)의 역할을 한다. 따라서 DGNEMFET은 지지대에 의한 탄성력과 게이트와 기판 전하간의 쿨롱 힘의 평형을 유지하기 위하여 V_g 에 따라 게이트의 위치가 변화한다.

DGNEMFET은 그림 1과 같이 동작 영역에 따라 반전형 (inversion-mode DGNEMFET: Inv-DGNEMFET)과 공핍형 (depletion-mode DGNEMFET: Dep-DGNEMFET)으로 구분된다. Inv-DGNEMFET은 그림 1 (a)의 전도 상태 ($V_g=V_{dd}$)에서 반전 전하에 의한 쿨롱 힘의 증가로 게이트가 아래로 내려와 산화막과 밀착된다. 반대로 그림 1 (b)의 Dep-DGNEMFET은 차단 상태 ($V_g=0V$)에서 공핍 전하에 의한 쿨롱 힘의 증가로 게이

트가 아래로 당겨진다. 각 경우에 있어서 적당한 V_t 값을 유지하기 위하여 Inv-DGNEMFET은 p-type 기판과 n^+ -poly 게이트로, Dep-DGNEMFET은 그 반대로 구성된다. Inv-DGNEMFET은 차단 상태 ($V_g=0V$)에서 반전 전하가 존재하지 않으므로 쿨롱 힘이 지지대의 탄성력보다 작아 게이트는 산화막과 분리된다. 따라서 차단 상태에서의 등가 산화막 두께 ($t_{ox,eq}$)값이 증가하게 되어서 단채널 현상을 효과적으로 제어하지 못한다는 단점이 있다. 반대로 Dep-DGNEMFET은 차단 상태 ($V_g=0V$)에서 공핍 전하에 의한 쿨롱 힘의 증가로 게이트가 산화막과 밀착하게 된다. 따라서 얇은 $t_{ox,eq}$ 에 의하여 단채널 현상이 효과적으로 제어되고, 실리콘 박막은 모두 공핍되는 상태가 되므로 subthreshold 전류가 매우 감소는 장점을 가지게 된다.

그림 2는 각 소자의 V_g 에 따른 게이트의 위치와 그 전류 특성을 나타낸 그래프이다. 그림 2 (a)에서 V_{on} 은 게이트가 산화막으로부터 분리되는 전압이고, V_{off} 는 분리되어 있는 게이트가 산화막에 밀착되는 전압이다.

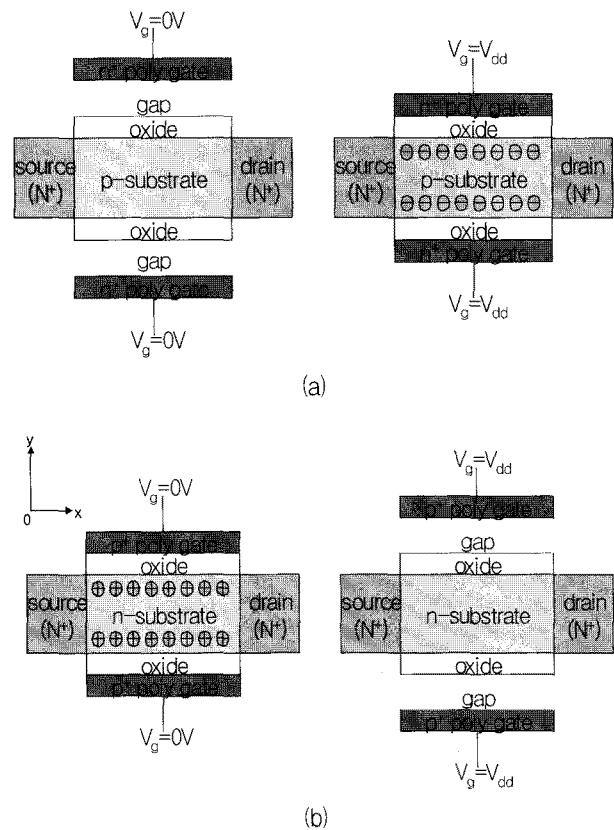


그림 1. 동작 영역에 따른 DGNEMFET의 소자 구조 (a) Inv-DGNEMFET과 (b) Dep-DGNEMFET

Fig. 1. Schematic of DGNEMFET device structure (a) Inv-DGNEMFET and (b) Dep-DGNEMFET.

V_{on} 과 V_{off} 는 서로 다른 값을 갖는데 이는 쿨롱 힘이 거리에 반비례하기 때문이다. 게이트와 산화막에 밀착되어 있다가 분리되는 V_{on} 의 경우, 분리되기 직전 t_{gap} 이 0nm이지만, 게이트와 산화막이 분리되었다가 붙는 V_{off} 의 경우는 붙기 직전 $t_{gap} > 0nm$ 이므로 서로 다른 쿨롱 힘이 작용하게 된다. t_{gap} 이 0nm인 경우에는 아닌 경우에 비해 쿨롱 힘이 크므로 V_{on} 과 V_{off} 는 서로 다른 값을 갖게 된다. 그림 2 (b)에서 알 수 있듯이 Dep-DGNEMFET의 경우는 차단 상태에서 단채널 효과가 효과적으로 제어되고 실리콘 박막이 모두 공핍되어서 subthreshold 전류가 매우 감소하지만 Inv-DGNEMFET은 두꺼운 $t_{ox,eq}$ 의 영향으로 인하여 subthreshold 전류가 증가하게 된다. 이러한 특성에 따라 본 논문에서는 단채널 현상을 효과적으로 제어하는 Dep-DGNEMFET의 특성에 대해서 분석하였다.

2. V_g 에 따른 t_{gap} 의 모델링

Dep-DGNEMFET의 $t_{gap}-V_g$ 특성에 대한 수식을 유도하는 과정은 다음과 같다.

양 옆의 지지대는 아래로 내려가려는 게이트를 위로 잡아당기는 탄성력의 역할을 한다. 이 때 탄성 계수를 k 라 하면, 게이트가 위로 향하려는 복원력은 다음과 같다.^[6]

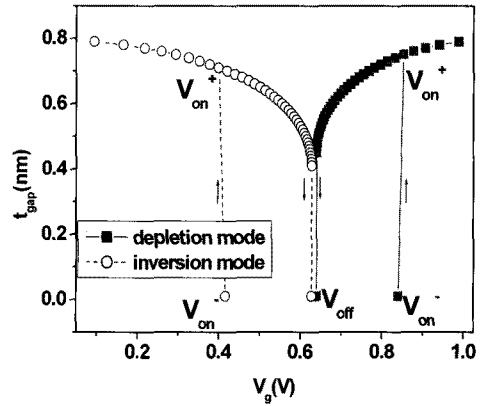
$$F = k(t_{gap,max} - t_{gap}) \tag{1}$$

여기서 $t_{gap,max}$ 는 산화막이 게이트로부터 떨어질 수 있는 최대 거리 (지지대의 높이)이고, t_{gap} 은 실제 산화막으로부터 게이트가 떨어진 거리이다. 게이트에 아래로 작용하는 힘은 게이트와 실리콘 박막간의 쿨롱 전하들이 서로 잡아당기는 인력으로 인해서 발생된다. 두 전하간의 쿨롱 힘은 다음과 같다.

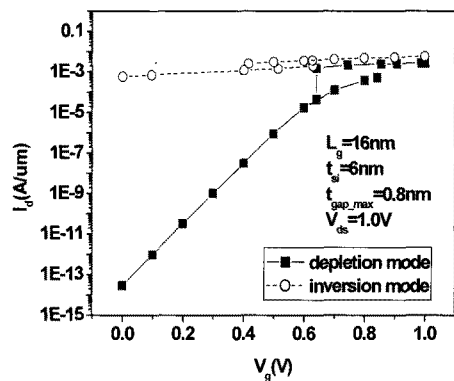
$$F = \frac{\partial C \cdot V^2}{2\partial x} \tag{2}$$

위의 수식에서 정전용량 C 는 산화막 및 공기층을 포함한 $t_{ox,eq}$ 에 대한 정전용량이며 V 는 $t_{ox,eq}$ 에 인가되는 전압 ($V_{ox,eq}$)이다. 따라서 NEMFET에 적용시키면 다음과 같다.

$$F = \frac{\epsilon_{ox} V_{ox,eq}^2 A}{2t_{ox,eq}^2} \tag{3}$$



(a)



(b)

그림 2. Inv-DGNEMFET과 Dep-DGNEMFET의 특성 비교 (a) $t_{gap}-V_g$ 와 (b) I_d-V_g

Fig. 2. Comparison of Inv-DGNEMFET and Dep-DGNEMFET characteristics (a) t_{gap} vs. V_g and (b) I_d vs. V_g .

여기서 ϵ_{ox} 는 산화막 유전율이고 A 는 게이트 면적이다.

수식 (2), (3)과 같이 게이트에는 탄성력과 쿨롱 힘이 동시에 작용하게 되는데 V_g 가 낮을 때는 실리콘 박막이 공핍 또는 반전되므로 그 전하량에 의해서 쿨롱 힘이 탄성력보다 크게 작용한다. 따라서 게이트는 산화막 쪽으로 내려와 위치하게 된다. V_g 가 증가하면 실리콘 박막의 공핍 전하가 감소하므로 쿨롱 힘도 같이 감소하게 된다. 따라서 게이트는 탄성력에 의하여 산화막과 분리되게 된다. 이때 $t_{ox,eq}$ 에 인가되는 $V_{ox,eq}$ 는 다음과 같다.

$$V_{ox,eq} = V_{gap} \cdot \frac{\epsilon_o t_{ox} + \epsilon_{ox} t_{gap}}{\epsilon_{ox} t_{gap}} \tag{4}$$

여기서 V_{gap} 은 공기층에 인가된 전압, t_{gap} 은 공기층의 두께, ϵ_o 는 공기의 유전율이다. 또한 $t_{ox,eq}$ 에 상응되는 $C_{ox,eq}$ 값은 다음과 같다.

$$C_{ox,eq} = \frac{\epsilon_{ox}}{t_{ox} + t_{gap} \frac{\epsilon_{ox}}{\epsilon_o}} \quad (5)$$

Double-Gate는 실리콘 박막의 중간점 ($x=0$)에 대하여 대칭적 구조를 가지므로 실리콘 박막의 전하량은 다음과 같다.

$$Q = 2 \cdot C_{ox,eq} V_{ox,eq} \quad (6)$$

DGNEMFET의 potential은 $x=0$ 을 기준으로 대칭이므로 이를 다음과 같이 2차 방정식으로 가정할 수 있다.^[7]

$$\Psi(x) = ax^2 + c \quad (7)$$

따라서 실리콘 박막의 전하량은 Gauss's law에 의하여 다음과 같다.

$$Q = 2 \cdot \epsilon_{si} \frac{d\Psi}{dx} \Big|_{x=\frac{t_{si}}{2}} = 2at_{si}\epsilon_{si} \quad (8)$$

수식 (6), (8)로 부터 a 는 다음과 같이 정리될 수 있다.

$$a = \frac{C_{ox,eq} V_{ox,eq}}{\epsilon_{si} t_{si}} \quad (9)$$

또한 실리콘 박막의 중간인 $x=0$ 에서 Poisson 수식을 적용하면 다음과 같다.

$$2a = -\frac{q}{\epsilon_{si}} \left[\frac{n_i^2}{N_d} \left(e^{-\frac{qc}{KT}} - 1 \right) - N_d \left(e^{\frac{qc}{KT}} - 1 \right) \right] \quad (10)$$

이렇게 구한 a 값과 c 값을 수식 (7)에 대입하고 $x=t_{si}/2$ 를 대입하면 surface potential (Ψ_s)을 구할 수 있다. Ψ_s 값, $V_{ox,eq}$ 값, 평탄대역 전압 Φ_{ms} , 그리고 V_g 의 관계식은 다음과 같다.

$$V_g = \Phi_{ms} + V_{ox,eq} + \Psi_s \quad (11)$$

식 (1), (3), (9), (10), (11)로 부터 DGNEMFET의 V_g

값의 변화에 따른 t_{gap} 값의 변화를 계산할 수 있다.

일반적인 반전형 소자에서는 드레인 전압 (V_d)이 증가하면 전체 전하량이 2/3가량으로 감소하게 된다.^[8] 이는 V_d 값이 증가할수록 공핍 전하의 증가는 미미하지만 반전 전하가 2/3가량 감소하게 되므로 전체 전하량이 감소하게 되는 것이다. 그러나 공핍형 소자의 경우 반전 전하는 거의 존재하지 않는 영역을 사용하므로 공핍 전하가 전체 전하량의 주요한 요소이고, 따라서 반전형 소자와는 다른 양상을 보인다. 차단 상태에서는 완전한 공핍 상태이므로 V_d 값의 증가가 전체 전하에 영향을 미치지 못한다. 전도 상태가 되어 공핍 전하가 감소한 상황에서 V_d 값이 증가하게 되면 공핍 전하가 다시 증가하게 되어 전체 전하량은 증가하게 된다. 그림 3 (a)는 이와 같은 전하량의 증가를 소자 시뮬레이터로 시뮬레이션 한 결과이다. 그림에서 보는 바와 같이 공핍형 소자의 경우 V_d 가 증가하면 전하량이 증가하게 된다. 이러한 전하량의 변화를 V_d 값이 0V인 경우를 기준으로 표준화한 그래프가 그림 3 (b)이다. 수식 (12)는 표준화된 전하량에 대한 해석적 수식이며 그림 3 (b)에서 보는 바와 같이 소자 시뮬레이션 결과와 일치한다.

$$Q_{Normalized} = \alpha (V_g^2 + \beta_g V_g) \cdot (V_d^2 + \beta_d V_d) + \gamma \quad (12)$$

여기서 $\alpha, \beta_g, \beta_d, \gamma$ 는 해석적 수식을 맞추기 위한 매개 변수로 α 는 -6.6, β_g 는 -0.2, β_d 는 -1.6, 마지막으로 γ 는 1이다. 수식 (8)의 전하량은 V_d 값이 0V인 경우이므로 V_d 값이 증가하는 경우에는 수식 (12)로 그 값을 보정하여 V_d 의 영향을 고려할 수 있다.

III. 소자 구조 변화에 따른 특성 분석과 및 최적화

그림 4는 앞 절에서 유도한 수식을 이용하여 소자 구조가 변화할 때 V_g 에 따른 t_{gap} 변화를 분석한 그래프이다. 그림 4 (a), (c) 그리고 (e)에서 알 수 있듯이 V_d 와 실리콘 기판 도핑 (N_{sub}) 그리고 게이트 길이 (L_g)가 증가하는 경우에는 V_{on} 값과 V_{off} 값이 증가한다. V_d 와 N_{sub} 그리고 L_g 가 증가하면 같은 V_g 값에서 공핍 전하 또한 증가하게 된다. 이렇게 공핍 전하가 증가하면 쿨롱 힘 또한 증가하므로 게이트와 산화막이 분리되기 위해서는 쿨롱 힘을 감소시켜야 한다. V_g 값이 증가하면 공핍전하가 감소하므로 이러한 쿨롱 힘은 감소될 수 있다.

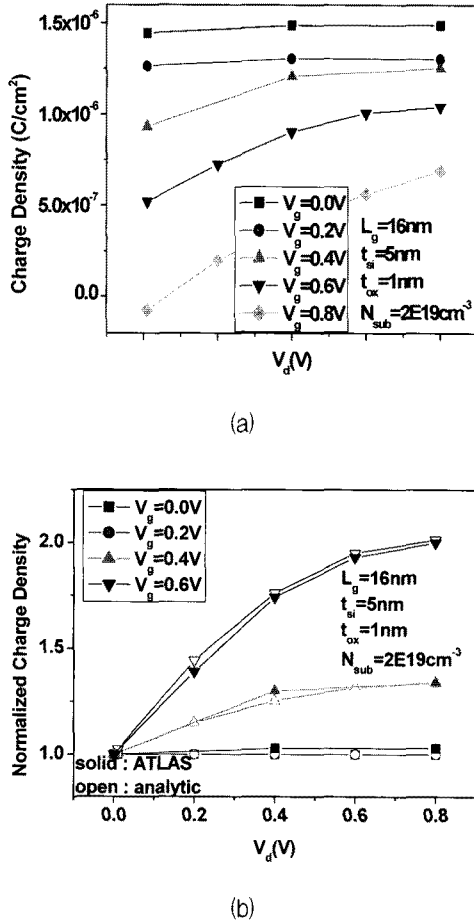


그림 3. (a) V_g와 V_d의 변화에 따른 전하 밀도와 (b) 실리콘 박막내의 표준화된 전하량

Fig. 3. (a) Charge density vs. V_d characteristic for various V_g and (b) normalized charge density in silicon film.

반대로 그림 4 (b), (d), 그리고 (f)를 보면, k와 t_{gap,max} 그리고 실리콘 기판 두께 (silicon film thickness: t_{si})가 증가하는 경우 V_{on}값과 V_{off}값이 감소한다. k의 증가는 탄성력의 증가를 의미하므로 작은 V_g 값에서도 산화막이 쉽게 분리된다. t_{gap,max}가 증가하면 t_{ox,eq}가 증가하므로 게이트에 의한 전기장이 감소하여 공핍 전하가 감소하게 되어 쿨롱 힘이 감소한다. 마지막으로 t_{si}가 증가하는 경우 역시 게이트가 채널의 중심에 미치는 영향이 감소하므로 공핍 전하가 감소하게 되어 쿨롱 힘이 감소한다. 이렇게 탄성력이 증가하거나 쿨롱 힘이 감소하는 경우에는 작은 V_g값에도 게이트와 산화막이 분리될 수 있다.

그림 4와 같은 t_{gap}의 변화가 전류에 어떠한 영향을 미치는지 알아보기 위하여, 주어진 조건에 따른 t_{gap}을 인가전압에 따라 변화시키면서 소자시뮬레이터로 전류

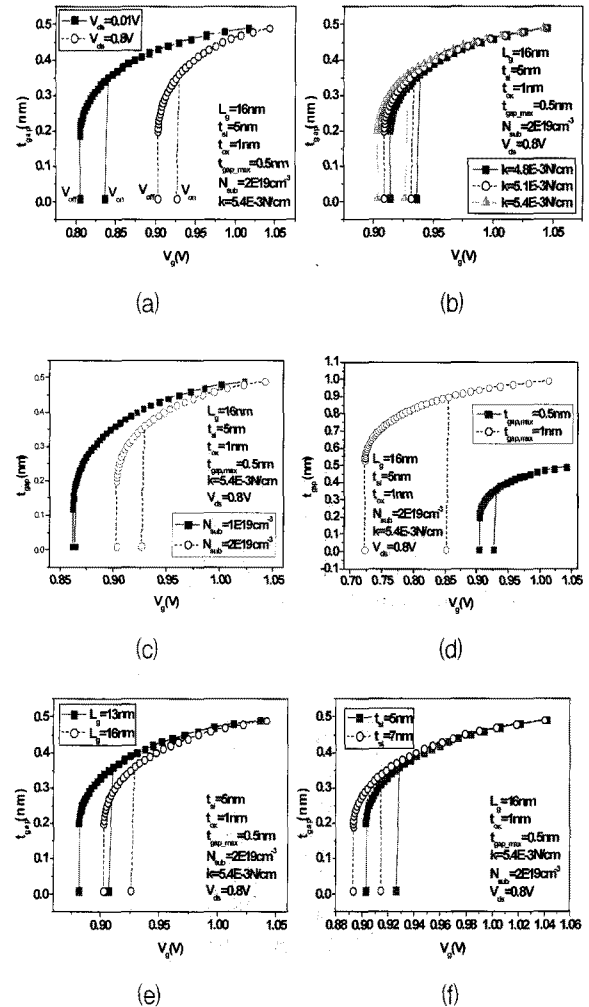
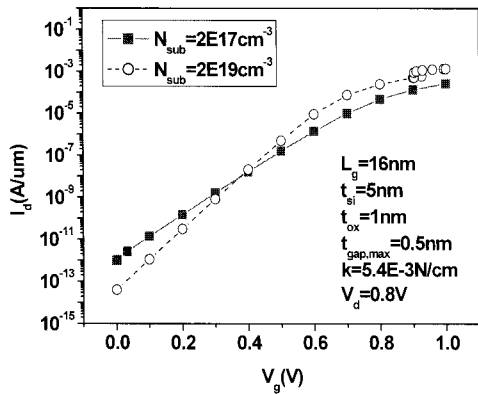


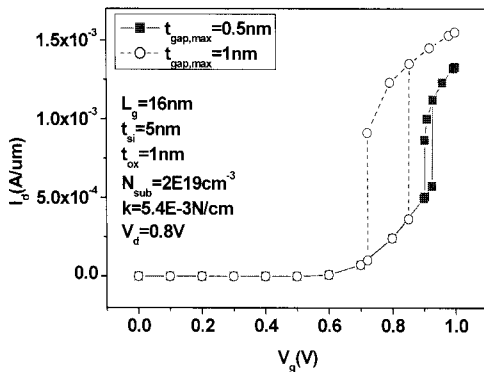
그림 4. (a) V_{ds}, (b) k, (c) N_{sub}, (d) t_{gap,max}, (e) L_g와 (f) t_{si} 변화에 따른 t_{gap} vs. V_g 특성

Fig. 4. variation of t_{gap} vs. V_g characteristics for various (a) V_{ds}, (b) k, (c) N_{sub}, (d) t_{gap,max}, (e) L_g, and (f) t_{si}.

값의 변화를 시뮬레이션하였다. 전류의 경우 그림 5과 같이 V_g값이 V_{on}값을 넘어서면서 급격히 증가하는 현상을 관찰할 수 있다. 이는 t_{ox,eq} 증가에 따라 소자의 공핍 영역이 감소하면서 나타나는 현상이다. 그림 5 (a)와 같이 N_{sub}가 증가하는 경우 전도 상태의 전류가 증가하게 된다. 이는 실리콘 박막의 도핑이 증가하는 경우, 소자가 전도 상태에서 일부만 공핍되므로 공핍되지 않은 영역의 전송자 수가 증가되기 때문이다. 공핍형 소자의 경우 평탄 대역 전압(V_{fb})은 양의 값을 갖고, 도핑이 높아질수록 V_{fb}값이 증가한다. 실리콘 기판에 인가되는 전압이 |V_g-V_{fb}|이므로 차단 상태에서 V_{fb}값이 큰 소자일수록 실리콘 기판에 큰 전압이 인가되게 된다. 따라서 차단 상태에서 도핑이 높은 소자일수록 실리콘 기판에



(a)



(b)

그림 5. 서로 다른 (a) N_{sub} 와 (b) $t_{gap,max}$ 에 따른 I_{ds} vs. V_g 특성

Fig. 5. I_{ds} vs. V_g characteristics for various (a) N_{sub} and (b) $t_{gap,max}$.

큰 전압이 인가되므로 그림 5 (a)와 같이 누설 전류가 감소하게 된다. t_{si} 값이 증가하는 경우 고농도 도핑에서 누설 전류의 문제가 야기될 수도 있으나, 차단 상태에서는 t_{gap} 값이 0nm로 $t_{ox,eq}$ 가 매우 감소하고, 또한 큰 전위가 걸리므로 실리콘 박막이 모두 공핍될 수 있는 t_{si} 를 사용하여 누설전류의 증가를 방지할 수 있다. 따라서 고농도의 도핑은 전류의 on/off 비율을 증가시키므로 Dep-DGNEMFET에서 매우 중요한 요소이다.

Dep-DGNEMFET의 $t_{gap,max}$ 값에 따른 전류 변화를 그림 5 (b)에 보이고 있다. 차단 상태에서는 게이트가 산화막에 밀착되므로 $t_{gap,max}$ 값에 영향을 받지 않는다. 그러나 전도 상태의 경우 $t_{gap,max}$ 값에 따라서 복원력이 변화하므로 t_{gap} 이 변화한다. t_{gap} 이 증가하면 게이트의 영향이 감소하여 실리콘 박막의 공핍 영역이 감소하므로 수송자 농도가 증가하여 전류가 증가하게 된다. 따라서 전도 상태의 전류 증가를 위해서는 그림 5 (b)에

서 보는 바와 같이 $t_{gap,max}$ 값이 증가하여야 한다.

위의 분석을 바탕으로 소자 구조를 최적화 하였다. 전류의 증가를 위하여 실리콘 기판을 고농도로 도핑해야 하므로 $N_{sub}=2 \times 10^{19} \text{cm}^{-3}$ 을 사용하였으며 t_{ox} 값은 1nm로 하였다. 이러한 고농도의 도핑값은 V_{on} 값과 V_{off} 값을 매우 증가시키므로 V_{on} 값과 V_{off} 값을 약 $V_{dd}/2$ 로 조정하기 위하여 $t_{gap,max}$ 값을 1nm로, k 값을 $1.3 \times 10^{-2} \text{N/cm}$ 로 최적화하였다. $t_{gap,max}$ 값이 큰 경우에는 전도 상태의 전류 증가 측면에서도 장점을 가지고 있다. 이 소자의 경우 전도 상태에서 $t_{ox,eq}$ 값은 약 4.9nm를 가지므로 게이트 누설 전류가 매우 감소한다. 최적화된 $t_{gap,max}$ 가 매우 작으므로 소자 제작 시 두께 균일도가 높은 물질을 사용하여 게이트와 산화막 사이의 공백을 유지하는 공정의 최적화가 요구된다.

그림 6은 소자 구조를 최적화한 후 t_{gap} vs. V_g 특성에 따라 소자 시뮬레이션을 통하여 계산된 전류를 ITRS 전류 기준값과 비교한 그래프이다.^[9] 그림을 보면, 기존의 DGMOS는 t_{ox} 가 두꺼운 경우 ($t_{ox}=4.9\text{nm}$) 및 얇은 경우 ($t_{ox}=1\text{nm}$)에 각각 I_{off} 및 I_{on} 전류 기준값을 만족하지 못한다. 더욱이 t_{ox} 가 큰 경우에 on/off 비율이 매우 감소한다. 본 연구의 Dep-DGNEMFET을 산화막 두께가 고정된 DGMOS 소자와 비교해 보면, Dep-DGNEMFET의 경우 얇은 산화막을 가지는 DGMOS처럼 차단 전류 기준값을 만족한다. 또한 전도 상태에서는 두꺼운 산화막을 가지는 DGMOS처럼 기준값 이상의 전류가 흐르므로 기존의 DGMOS가 만족하지 못했던 차단 상태와 전도 상태에서 전류 기준값을 모두 만족하는 것을 확인할 수 있다. 또한 $t_{ox}=1\text{nm}$ 인 DGMOS에 비해서 전도 상태 전류가 약 6배가량 증가하는 특성을 갖는다.

IV. 결론

단채널 현상의 효과적인 제어를 위하여 DGMOS 소자를 이용한 Dep-DGNEMFET을 제안하였다. 제안된 Dep-DGNEMFET은 차단 상태에서 단채널 현상을 효율적으로 제어하므로 Inv-DGNEMFET에 비하여 subthreshold 전류가 매우 감소한다. 실리콘 박막 내의 전압분포를 2차 방정식으로 가정하여 소자 구조가 변화할 때 V_g vs. t_{gap} 의 변화를 살펴보면 V_d , N_{sub} , 그리고 L_g 가 증가할 때는 V_{on} 값과 V_{off} 값이 증가한다. 반대로 k , $t_{gap,max}$, t_{si} 가 증가할 때는 V_{on} 값과 V_{off} 값이 감소한다.

I-V 특성을 보면 N_{sub} 가 증가하고 $t_{gap,max}$ 가 증가할수록 전류가 증가한다. 시뮬레이션 결과를 바탕으로 소자 구조를 최적화하고 기존의 DGMOS 소자 특성과 비교해 보면, 기존 소자는 만족하지 못했던 I_{on} 및 I_{off} 전류 기준값을 Dep-DGNEMFET은 동시에 만족하는 것을 알 수 있다. 이와 같이 Dep-DGNEMFET은 기존 소자에서 비하여 우수한 특성을 가지므로 차세대 소자로 적합함을 알 수 있다.

[9] "ATLAS User's Manual, Device Simulation Software 1-2," SIVACO International, 2006.

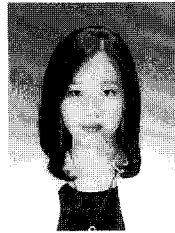
참고 문헌

- [1] H. Daggour and K. Banerjee, "Design and Analysis of Hybrid NEMS-CMOS Circuits for Ultra Low-Power Applications," *DAC 2007*, pp. 306-311, California, USA., June 2007.
- [2] B. Pruvost and H. Mizuta, "3-D Design and Analysis of Function NEMs-gate MOSFETs and SETs," *IEEE Trans. on Nanotechnology*, vol. 6, no. 2, pp. 218-224, March 2007.
- [3] A. M.Ionescu, V. Pott, R. Fritschi, K. Banerjee, M. Declercq, P. Renaud, C. Hibert, P. Fluckiger, and G. Racine, "Modeling and Design of a Low-Voltage SOI Suspended-Gate MOSFET (SG-MOSFET) with a Metal-Over Gate Architecture," in *Proc. of IEEE ISQED*, pp. 469-501, California, USA., March 2002.
- [4] H. Kam, D. Lee, R. Howe, and T. King, "A New Nano-Mechanical Field Effect Transistor (NEMFET) Design for Low-Power Electronics", *IEDM Tech Digest.*, pp. 463-466, Washington, USA., Dec 2005.
- [5] M. Fernandez-Bolanos, N. Abele, V. Pott, D. Bouvet, G. Racine, J. Qeuro, and A. Ionescu "Polymide sacrificial layer for SOI SG-MOSFET pressure sensor," *MicroElectronic Engineering*, vol. 83, no. 4, pp. 1185-1188, April 2006.
- [6] L. Dobrescu, D. Dobrescu, A. Rusu, and C. Ravariu, "Mechanical Influences on the Electrical characteristics of the Mobile Gate MOS Capacitors," in *Proc. of IEEE MIEL*, vol. 1, pp. 227-230, Nis, Yugoslavia, May 2002.
- [7] A. Bansal and K. Roy, "Analytical Subthreshold Potential Distribution Model for Gate Underlap Double-Gate MOS Transistors," *IEEE trans. on Electron Devices*, vol 54, no. 7, pp. 1793-1798, July 2007.
- [8] Y. Tsividis, "Operation and Modeling of The MOS Transistor," McGraw-Hill, pp. 327-331, 1999.

저 자 소 개



김 지 현(학생회원)
 2005년 이화여자대학교
 정보통신학과 학사 졸업.
 2007년 이화여자대학교
 정보통신학과 석사 졸업.
 2009년 현재 이화여자대학교
 전자공학과 박사 3년차.
 <주관심분야 : 메모리 설계, 반도체>



정 나 래(학생회원)
 2008년 이화여자대학교
 정보통신학과 학사 졸업.
 2009년 현재 이화여자대학교
 전자공학과 석사 2년차.
 <주관심분야 : 메모리 설계, 반도체>



김 유 진(학생회원)
 2009년 이화여자대학교
 정보통신학과 학사 졸업.
 2009년 현재 이화여자대학교
 전자공학과 석사 1년차.
 <주관심분야 : 메모리 설계, 반도체>



신 형 순(정회원)
 1982년 2월 서울대학교
 전자공학과 졸업 (학사).
 1984년 12월 미국 University of
 Texas at Austin 졸업
 (석사).
 1990년 5월 미국 University of
 Texas at Austin 졸업
 (박사).

1990년~1994년 LG 반도체 근무.
 1995년~현재 이화여자대학교 공과대학
 전자공학과 교수.
 <주관심분야 : 반도체 소자구조, 모델링.>