

외란 입력을 극복하기 위한 입력/출력 비동기 머신의 교정 제어

논 문
58-3-24

Corrective Control of Input/Output Asynchronous Sequential Machines for Overcoming Disturbance Inputs

양 정 민* ·곽 성 우*
(Jung-Min Yang · Seong Woo Kwak)

Abstract - The problem of controlling a finite-state asynchronous sequential machine is examined. The considered machine is governed by input/output control, where access to the state of the machine is not available. In particular, disturbance inputs can infiltrate into the asynchronous machine and provoke unauthorized state transitions. The control objective is to use output feedback to compensate the machine so that the closed-loop system drive the faulty asynchronous machine from a failed state to the original one. Necessary and sufficient conditions for the existence of appropriate controllers are presented in a theoretical framework. As a case study, the closed-loop system of an asynchronous machine with the proposed control scheme is implemented in VHDL code.

Key Words : Asynchronous sequential Machines, Corrective control, Input/output Control, Disturbance input

1. 서 론

본 연구는 비동기 순차 머신을 설계자의 관점이 아니라 제어자(controller) 혹은 교정자(corrector)의 관점에서 보는 새로운 접근 방식을 취한다. 교정 제어(Corrective Control)라 불리는 이러한 방법은 Hammer가 일반적인 순차 머신에 대해서 처음 제안하였다[1]. 교정 제어의 핵심은 비동기 순차 머신을 제어 대상으로 보고 전통적인 피드백 제어(feedback control) 기법을 이용하여 폐루프(closed-loop) 시스템의 동작을 보상하는 것이다. 비동기 머신 앞에 설치된 제어기는 외부 입력과 출력 피드백을 받아서 제어 입력(control input)을 생성하여 비동기 머신으로 보냄으로써 머신이 나타내는 올바르지 않은 동작을 교정한다. 제어기 역시 클럭(clock) 없이 동작되는 비동기 머신으로 구현되므로 폐루프 시스템은 비동기 머신의 특징을 그대로 유지하면서 목적에 따라 보상된 입출력 특징을 보인다.

이미 설계된 비동기 순차 머신의 안정 상태 동작(stable-state behavior)을 바꾸어주는 일이 교정 제어의 주요 능력이다. 따라서 현재까지 발표된 연구 결과는 크리티컬 레이스(critical race) 제거[2], 무한 순환(infinite cycle) 제거[3] 등 기 설계된 비동기 머신 내에 존재하는 결함들을 재설계를 거치지 않고 없애주는 문제에 집중되어 왔다. 한편 저자의 선행 연구에서는 비동기 머신이 모사(模寫)해야

할 모델이 비결정적 동작을 가질 때의 모델 정합 문제(model matching problem)[4], 비동기 머신에 침투한 외란 입력(disturbance input)이 머신의 상태 값을 바꾸는 고장을 극복하기 위한 내고장성 제어가 설계[5]-[7] 등이 다루어졌다.

본 논문의 목적은 입력/출력 비동기 머신을 위한 교정 제어기 설계에 있다. 이전 연구 [5]-[7]과 마찬가지로 본 연구도 외부에서 들어 온 외란이 비동기 머신의 현재 상태를 바꾸는 고장을 극복하는 문제를 다룬다. 즉 상태 변환 고장(state change fault)이 발생하는 순간 제어기가 작동하여 폐루프 시스템이 외란에 의해서 천이된 상태로부터 원래 상태로 되돌아가도록 하는 메커니즘을 구현한다. 이전 연구 [5]-[7]과 비교하여 본 연구는 다음과 같은 차이점을 지닌다.

- 1) 이전 연구에서 다루었던 비동기 머신은 입력/상태 머신이었으나 본 연구에서는 입력/출력 머신을 다룬다. 입력/출력 머신은 출력 값이 현재 상태 값과 다르므로 상태 피드백 제어를 할 수 없다. 따라서 출력 값만을 보고 현재 상태를 추정하는 관측기(observer)가 폐루프 시스템에 포함되어야 한다[8].
- 2) 이전 연구 [7]에서는 TMR(Triple Modular Redundancy) 메모리를 사례 연구로 잡아서 실험 과정을 기술하였다. 하지만 TMR 메모리의 교정 제어를 위해서는 메모리 비트 값, 즉 시스템의 상태 값을 피드백 받아야 하므로[9] 본 논문의 입력/출력 비동기 머신 사례 연구로는 적당하지 않다. 본 논문에서는 비동기적으로 작동하는 입력/출력 머신을 설정한 후 외란 입력에 의한 상태 변환 고장이 발생했을 때 관측기와 제어기가 교정 동작을 실행하는 과정을 VHDL로 모의 실험한다.

† 교신저자 정희원 : 대구가톨릭대 전자공학과 부교수 · 공박
E-mail : jmyang@cu.ac.kr

* 정희원 : 계명대 전자공학과 부교수 · 공박
접수일자 : 2008년 10월 24일
최종완료 : 2009년 1월 6일

본 논문의 순서는 다음과 같다. 2장에서는 먼저 외란 입력이 존재하는 입력/출력 비동기 순차 머신을 모델링한다. 3장에서는 상태 변환 고장을 극복하는 교정 제어기를 설계한다. 입력/출력 비동기 머신의 상태 관측을 위한 관측기 설계도 포함된다. 4장에서는 외란 입력이 존재하는 입력/출력 비동기 머신에 대한 출력 피드백 제어 시스템을 사례 연구로서 제시한다. 또한 설계한 교정 제어 시스템의 성능을 검증하기 위해서 VHDL 모의 실험을 실시한다. 마지막으로 5장에서 본 논문의 결론을 내린다.

2. 외란이 존재하는 입력/출력 비동기 머신

선행 연구 [7],[8]을 바탕으로 외란 입력이 존재하는 입력/출력 비동기 머신을 유한 상태 머신(Finite State Machine) Σ 으로 표현하면 아래와 같다.

$$\Sigma = (A, Y, X, x_0, f, h) \quad (1)$$

위 식에서 A 는 입력 집합, Y 는 출력 집합, X 는 상태 집합, x_0 는 초기 상태이다. $f: X \times A \rightarrow X$ 와 $h: X \rightarrow Y$ 는 각각 상태 천이 함수와 출력 함수이다. Σ 의 현재 입력을 u_k , 현재 상태와 출력을 각각 x_k, y_k 라 하면 다음과 같은 관계가 성립한다(Σ 는 Moore 머신[10]으로 표현된다고 가정한다).

$$\begin{aligned} x_{k+1} &= f(x_k, u_k) \\ y_k &= h(x_k), \quad k = 0, 1, 2, \dots \end{aligned} \quad (2)$$

머신의 스텝(step) k 는 입력이나 상태 변수가 변경되었을 때마다 1씩 증가한다. Σ 는 출력 집합이 상태 집합과 다른 입력/출력 머신이므로 일반적으로 $Y \neq X$ 이고 $h(x) \neq x$ 이다.

비동기 머신에서 존재하는 외란 입력을 표시하기 위해서 본 논문에서는 선행 연구 [7]과 마찬가지로 입력 집합 A 가 서로 소인 두 부분 집합으로 이루어진다고 설정한다.

$$A = A_c \cup A_d \quad (A_c \cap A_d = \emptyset) \quad (3)$$

A_c 는 정상 입력 집합이며 A_d 는 관측 불가능한 외란 입력 집합이다. 제어기는 출력 피드백을 받아서 외란 입력의 발생을 감지하는 모듈을 가지고 있어야 한다.

비동기 순차 머신은 현재 입력이 바뀌지 않는 한 그 값이 일정한 '안정 상태(stable state)'(또는 그때의 머신 입력을 상태와 묶어서 '안정 조합'이라고도 한다)와 머신이 머무르지 못하고 순식간에 다음 상태로의 천이가 일어나는 '불안정 상태(unstable state)'(또는 '과도 조합') 등 두 종류의 상태를 가진다. 외부 사용자에게는 비동기 순차 머신의 동작 과정 중 안정 상태에서의 모습만이 관찰되므로[2] 안정 상태에서만 비동기 순차 머신을 다룰 수 있는 수학적 모델이 필요하다. 비동기 순차 머신 Σ 의 'stable-state 머신 Σ_{is} '는 이 목적에 맞게 아래와 같이 정의된다[2],[3].

$$\Sigma_{is} = (A, Y, X, x_0, s, h) \quad (4)$$

위 식에서 상태 천이 함수 f 대신 사용되는 'stable recursion 함수' s 는 다음과 같이 정의된다.

$$s: X \times A \rightarrow X, \quad s(x, u) := x', \quad x \in X, u \in A \quad (5)$$

위 식에서 x' 은 어떤 유효 조합(valid pair) (x, u) , 즉 $f(x, u)$ 가 정의되는 상태와 입력 조합 (x, u) 의 '다음 안정 상태(next stable state)', 즉 안정 상태 x 에 있던 머신 Σ 에 입력 u 가 들어왔을 때 머신이 도달하는 첫 번째 안정 상태를 의미한다[2],[10]. 머신 Σ 의 상태 천이는 (x, u) 에서 시작하여

$(x_1, u) \rightarrow \dots \rightarrow (x_q, u) \rightarrow (x', u)$ 가 되며 (x', u) 는 Σ 의 안정 조합(stable combination)이 된다. (x 와 x' 사이에 q 개의 불안정 상태가 있다고 가정한다.) 또 입력 알파벳 대신 입력 스트링(string)을 s 의 변수로 설정하면 다음과 같이 일반화할 수 있다.

$$s(x, ut) = s(s(x, u), t), \quad x \in X, u \in A, t \in A^+ \quad (6)$$

위 식에서 A^+ 는 A 에 속한 알파벳으로 이루어지는 길이 1 이상의 스트링 집합을 말한다. $s(x, t) = x'$ 인 입력 스트링 $t \in A^+$ 가 존재하면 상태 x' 는 상태 x 로부터 '안정적으로 도달 가능하다(stably reachable)'고 말한다[2],[10].

3. 교정 제어 시스템

3.1 페루프 시스템

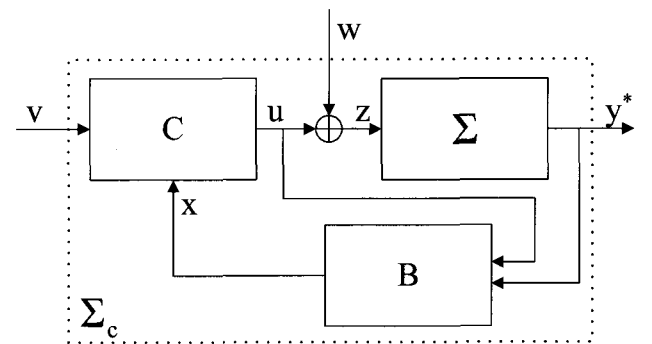


그림 1 외란 입력이 존재하는 입력/출력 비동기 머신을 위한 교정 제어 시스템.

Fig. 1 Corrective control system for input/output asynchronous machines with disturbance input.

본 연구에서 제안하는, 외란 입력이 존재하는 입력/출력 비동기 머신을 위한 교정 제어 시스템은 그림 1에 나와 있다. Σ 는 제어 대상 비동기 머신이며 C 는 역시 비동기 머신으로 구현되는 교정 제어기이다. $v \in A_c$ 는 외부 정상 입력, $u \in A_c$ 는 제어기가 만드는 제어 입력이며, $y \in Y$ 는 머신 Σ 의 출력이다.

$w \in A_d$ 는 외란 입력으로서 제어기 C 를 거치지 않고 머신 Σ 의 입력으로 들어가므로 관측 불가능하다. 또한 외란 입력 w 는 제어 입력 u 와 상호 배타적으로 머신 Σ 의 입력 $z \in A$ 값을 만든다. 즉 현재 $z = u$ 인 상태일 때 외란 입력 w 가 발생하면 $z = w$ 로 바뀌게 되며, 새로운 제어 입력 u' 가 들어오면 머신의 입력은 $z = u'$ 로 다시 바뀌게 된다.

w 는 비동기 머신의 내부 로직 결함 때문에 발생하는 고장에 의한 상태 천이도 표현할 수 있다. 비동기 머신 Σ 가 어떤 상태 x 에서 hazard [10] 등의 원인 때문에 내부 고장이 발생하여 x' 로 천이할 수 있다고 가정하자. 이러한 내부 고장 역시 관측 불가능하기 때문에 외부에서 들어오는 외란 입력과 구별되지 않는다. 따라서 가상의 외란 입력 $w \in A_d$ 를 정의하고 $s(x, w) := x'$ 으로 stable recursion 함수를 설정하면 내부 고장을 본 연구의 모델에 포함시킬 수 있다. 관측 불가능한 내부 고장을 표현하는 이러한 방법은 이산 사건 시스템(Discrete-Event System)에서도 많이 사용되고 있다 [11],[12].

B는 관측기(observer)이며 두 가지 역할을 수행한다. 먼저 머신 Σ 로부터 받는 피드백은 머신의 상태 x 가 아닌 출력 y 이므로 머신이 현재 과도 조합에 있는지 아니면 안정 조합에 있는지를 알 수 없다. 비동기 머신의 교정 제어는 머신이 안정 조합에 있는 경우에만 가능하다[2]. 따라서 B는 출력 y 를 받아서 머신이 안정 조합에 있는지를 판별하는 일을 한다. 또한 외란 입력 w 가 원하지 않는 상태 천이를 일으킬 때 관측기 B가 이러한 고장 발생을 제어기 C에 알려준다. 그림 1에서 표시된 y^* 는 피드백 정보가 단위 알파벳이 아닌 burst 형태[13]로 들어온다는 의미이다. burst에 대해서는 추후 설명한다.

제어기 C와 관측기 B의 설계 목적은 앞에서 말했듯이 외란 입력이 일으키는 상태 변환 고장을 극복하는 일이다. 예를 들어 Σ 가 안정 조합 $(x,u) \in X \times A$ 에 있을 때 외란 입력 w 가 발생하여 원하지 않는 상태 x' 로 천이된다고 가정하자. (즉 (x',w) 가 다음 안정 조합이 된다.) 이러한 고장을 그대로 방치한다면 새로운 입력 u' 가 들어올 때 Σ 는 $s(x,u')$ 가 아닌 $s(x',u')$ 로 천이해버리므로 머신의 정상적인 다음 동작이 이루어지지 않게 될 것이다. 본 논문에서는 이러한 상태 변환 고장이 발생했을 때 비동기 머신의 특성을 이용하여 머신 Σ 를 x' 에서 원래 상태 x 로 즉시 되돌릴 수 있는 제어기 C와 관측기 B의 설계 과정을 제시한다.

3.2 관측기 및 제어기 설계

먼저 임의의 출력 스트링에 대한 burst를 정의한다. $y_1, \dots, y_q \in Y$ 이며 $y_{i+1} \neq y_i$, $i = 1, \dots, q-1$ 이라고 할 때 $y \in Y^*$ 인 스트링 $y = y_1 y_1 \dots y_1 y_2 y_2 \dots y_2 \dots y_q y_q \dots y_q$ 의 burst $\beta(y)$ 는 다음과 같이 정의된다.

$$\beta(y) = y_1 y_2 \dots y_q \quad (7)$$

$\beta(y)$ 는 y 에서 연속적으로 나타나는 알파벳 스트링을 한 번씩만 쓴 것이다. 예를 들어 $\beta(aaabbaa) = aba$ 이다. 그림 1에서 관측기 B가 받는 피드백도 출력에 대한 burst 값이다. 오직 변수 값의 변화에 의해서만 비동기 머신의 동작이 시작되므로(event-driven) 이러한 burst의 정의는 그림 1의 관측기가 실제로 받는 출력 피드백의 물리적 의미와 일치한다고 말할 수 있다.

Σ 가 어떤 두 상태 x, x' 에서 가지는 출력 값이 동일하고 Σ 가 x 를 거친 후 바로 다음 안정 상태 x' 에 도달한다고 하자. Σ 가 x 와 x' 를 거칠 때 출력 값은 변화가 없기 때문에 식 (7)을 따른다면 $\beta(y)$ 의 정보를 가지고 Σ 가 다음 안정 상태에 들어섰는지를 판단하기가 불가능해진다. 즉 Σ 가 다음 안정 상태로 진입했는지를 판별할 수 있기 위해서는 머신이 안정 상태 바로 직전에 통과하는 상태의 출력 값이 안정 상태의 출력 값과 달라야 한다([8]의 Proposition 23 참조).

위에서 말한 관측 가능 조건을 burst를 이용해서 표현한다. Σ 가 과도 조합 (x,u) 에서 시작하여 과도 상태 x_1, \dots, x_{m-1} 를 거쳐 다음 안정 상태 x_m 으로 이동한다고 하자. 관측기 B가 받는 출력 burst를 $\beta(x,u)$ 라고 다시 표기하면 $\beta(x,u)$ 는 다음과 같다.

$$\beta(x,u) = \beta(h(x_1)h(x_2) \dots h(x_m)) \quad (8)$$

$\beta(x,u)$ 에서 마지막 출력 $h(x_m)$ 을 제외한 값을 $\beta_{-1}(x,u)$ 이라고 하면

$$\beta_{-1}(x,u) = \beta(h(x_1)h(x_2) \dots h(x_{m-1})) \quad (9)$$

이며 임의의 유효 조합 $(x,u) \in X \times A$ 가 관측 가능할 필요충분조건은 아래와 같이 나온다.

$$\beta(x,u) \neq \beta_{-1}(x,u) \quad (10)$$

본 논문에서 다루는 비동기 머신에서 모든 유효 조합은 관측 가능하다고 설정한다. [8]에서 제안한 형태를 도입하여 관측기 B를 정의하면 다음과 같다.

$$B = (A \times Y^*, X, X, x_0, \sigma, I) \quad (11)$$

그림 1을 보면 B는 제어 입력 u 와 출력 burst y^* 를 받아서 상태 x 를 관측한 후 제어기에 전달하므로 B의 입력 집합은 $A \times Y^*$, 출력 집합은 X 이다. 또 B는 Σ 의 상태 천이 변화와 동일하게 움직여야 하므로 B의 상태 집합과 초기 상태는 머신의 X, x_0 와 일치한다.

관측기의 동작에서 가장 중요한 부분인 상태 천이 함수 σ 는 Σ 가 안정 조합으로 들어서는 순간 함께 천이를 하여 관측기 B의 상태를 머신 Σ 의 다음 안정 상태가 되게 한다. 즉 σ 는 제어기 C에 머신 Σ 의 다음 안정 상태를 알려주되 Σ 가 안정 상태로 진입하는 순간 즉시 알려주어야 한다. 어떤 안정 상태 x 에 있던 Σ 에 입력 u 가 들어와 상태 천이가 일어난다고 가정하자. Σ 가 과도 상태를 지나면서 관측기 B는 출력 burst를 연속적으로 받는다. 이 중 $\beta(x,u)$, 즉 Σ 가 다음 안정 상태 $s(x,u)$ 에 진입했을 때 나타내는 출력 burst가 들어오는 순간 관측기 B의 상태도 $s(x,u)$ 으로 천이해야 한다. 이러한 동작을 구현하는 σ 는 아래와 같이 정의된다.

$$\sigma(x,u,\beta) = \begin{cases} s(x,u) & \text{if } \beta = \beta(x,u) \\ x & \text{otherwise} \end{cases} \quad (12)$$

식 (10)에 의해서 $\beta(x,u)$ 는 관측기 B가 다음 안정 상태로 진입하기 직전까지 받는 출력 burst $\beta_{-1}(x,u)$ 와 다른 값이므로 식 (12)는 유효하게 정의된다. 식 (8)에서 I 는 항등(identity) 출력 함수로서 B의 상태 값 x 를 그대로 출력으로 내보낸다.

관측기 B는 상태 변환 고장의 발생도 관측하여 제어기에 전달한다. Σ 가 안정 조합 (x,u) 에 있을 때 외란 입력 $w \in A_d$ 가 들어와 x' 로 원하지 않는 상태 천이(즉 상태 변환 고장)를 일으킨다고 하자. 즉 $s(x,w) = x'$ 이다. 그림 1에서 볼 수 있듯이 관측기 B는 외란 입력 w 의 값을 직접적으로 알 수 없다. 따라서 머신의 상태 관측과 마찬가지로 B는 제어 입력 u 와 출력 burst의 변화를 보고 상태 변환 고장의 발생을 감지한다. Σ 가 안정 조합 (x,u) 에 있을 때 B가 받는 출력 burst를 β_1 이라고 하자. 만약 제어 입력 u 의 값이 일정한 상태에서 출력 burst의 값이 β_1 에서 $\beta_2 (\neq \beta_1)$ 로 바뀐다면 관측기 B는 외란 입력에 의한 상태 천이가 일어났다는 사실을 감지할 수 있다.

그림 1의 페루프 시스템이 상태 변환 고장을 극복하기 위해서는

- i) 상태 변환 고장으로 인해 Σ 가 옮겨 가는 다음 안정 상태 값 x' 을 알아야 하고,
- ii) Σ 가 다음 안정 상태 x' 에 진입했는지 여부를 알아야 하며,
- iii) Σ 를 x' 에서 원래 상태 x 로 되돌릴 수 있는 교정 제어기 C가 존재해야 한다.

안정 상태 x 에서 상태 변환 고장을 일으키는 모든 외란

입력의 집합을 $W(x) \subset A_d$ 라고 정의한다. 또 $W(x)$ 에 속한 입력의 외란 입력이 안정 상태 x 에서 발생했을 때 나오는 출력 burst의 집합을 $B(x) \subset Y^*$ 라고 정의한다. 식 (8)을 이용하여 $B(x)$ 를 다시 쓰면 아래와 같다.

$$B(x) = \{\beta(x, w) | w \in W(x)\} \quad (13)$$

상태 변환 고장을 극복하기 위한 세 가지 조건 중 i)과 ii)는 $W(x)$ 와 $B(x)$ 를 이용하여 표현할 수 있다. 먼저 안정 상태 x 에서 외란 입력의 변화로 발생하는 모든 출력 burst들은 그 값들이 서로 달라야 한다(조건 i)). $w, w' \in W(x)$ 인 두 외란 입력 w 와 w' 의 burst가 같다면, 즉 $\beta(x, w) = \beta(x, w')$ 이면 관측기 B 는 머신 Σ 의 다음 안정 상태를 정확하게 감지하지 못할 것이다. (진술한 바대로 B 는 외란을 직접 측정할 수 없으며 burst 값으로만 추정할 수 있다.)

Σ 가 상태 변환 고장으로 인해서 다음 안정 상태에 진입했는지 여부를 알려면 또다른 조건이 필요하다. 즉 $B(x)$ 에 속한 모든 출력 burst는 다른 출력 burst의 strict prefix가 되지 말아야 한다(조건 ii)). 예를 들어 $y_1y_2, y_1y_2y_3 \in B(x)$ 이며 안정 상태 x 에서 외란 입력에 의한 상태 변환 고장이 일어나 관측기 B 가 출력 burst y_1y_2 를 받는다고 가정하자. 이 순간 B 는 머신 Σ 가 과도 상태를 끝내고 다음 안정 상태로 진입했는지, 아니면 과도 상태 전이를 계속할 것인지를 판별할 수 없게 된다. 왜냐하면 burst y_1y_2 를 만드는 외란 입력이 들어왔을 수도 있고 $y_1y_2y_3$ 를 만드는 외란 입력이 발생했을 수도 있기 때문이다.

마지막으로 Σ 를 x' 에서 원래 상태 x 로 되돌릴 수 있는 교정 제어기 C 의 존재 조건은 x' 에서 x 까지의 도달가능성으로 표시할 수 있다[6],[7]. 식 (6)을 이용하여 제어기 C 의 존재 조건을 표현하면 다음과 같다.

$$\Sigma \text{를 } x' \text{에서 } x \text{로 되돌릴 수 있는 } C \text{가 존재} \\ \Leftrightarrow s(x', t) = x \text{인 } t \in A_c \text{가 존재(조건 iii)} \quad (14)$$

위 식에서 중요한 사실은 스트링 t 가 정상 입력 집합 A_c 에 속한 알파벳으로만 이루어져야 한다는 점이다. Σ 가 외란 입력에 의해서 상태 전이 된 후 전이된 상태로부터 원래 상태까지 정상 입력만으로 이루어진 제어 경로를 찾을 수 없으면 교정 동작을 이루는 제어기도 존재하지 않는다[7].

그림 1에서 제어기 C 는 외부 입력 v 와 관측기 B 가 주는 상태 x 를 입력으로 받아서 제어 입력 u 를 출력으로 낸다. C 를 유한 상태 머신으로 표현하면 아래와 같다.

$$C = (A \times X, A, \Xi, \xi_0, \phi, \eta) \quad (15)$$

Ξ 는 C 의 상태 집합, ξ_0 는 초기 상태이며 ϕ 와 η 는 제어기의 상태 전이 함수와 출력 함수를 각각 가리킨다. 어떤 안정 상태에서 발생할 수 있는 개별 외란 입력에 대한 교정 제어기는 선행 연구 [5],[7]에서 기술한 방법대로 설계할 수 있다. (자세한 설계 예는 다음 장 사례 연구에서 예시한다.) 또 설계된 개별 외란 입력에 대한 제어기들은 기존 연구 [3]에서 제안된 'V' 연산을 이용하여 하나의 제어기로 결합될 수 있다. 상태 $x \in X$ 에서 $W(x) = \{w_1, \dots, w_p\}$ 라 하고($p > 2$) 각 외란 입력 w_i 가 일으키는 상태 변환 고장을 되돌리는 제어기를 $C(x, w_i)$ 라고 하자. x 에 대한 통합 제어기 $C(x)$ 는

$$C(x) = C(x, w_1) \vee \dots \vee C(x, w_p) \quad (16)$$

로 표현할 수 있다. 다른 상태에 대해서도 개별적인 외란 입력에 대해서 제어기를 설계한 후 식 (16)과 같이 제어기를 결합하여 다음과 같은 하나의 피드백 제어기를 만든다.

$$C = \bigvee_{x \in X, w \in W(x)} C(x, w) \quad (17)$$

[10] 등에 나와 있는 상태 줄임 방법(state reduction method)을 이용하면 제어기 C 의 상태 개수를 집합 X 의 크기 n 에 대해서 polynomial 복잡도를 가지면서 증가하는 값으로 유지할 수 있다[3].

4. VHDL 모의실험

4.1 관측기 및 제어기 설계 사례 연구

그림 2는 VHDL 모의 실험에서 사용되는 입력/출력 비동기 머신 Σ 의 상태전이도이다. 그림에서 알 수 있듯이 머신의 입력 집합은 $A_c = \{a, b, c, d\}$, $A_d = \{\omega\}$ 이며 상태 집합은 $X = \{x_0, x_1, x_2, x_3\}$ 이다. Σ 의 출력 집합은 $Y = \{0, 1, 2\}$ 이며 출력 함수 $h(x)$ 는 표 1에 나와 있다.

그림 2를 보면 Σ 가 상태 x_0 에 있을 때 외란 입력 ω 가 발생하여 x_1 을 거쳐 x_2 로 원하지 않는 상태 전이가 발생할 수 있다. 즉 $W(x_0) = \{\omega\}$ 이며 나머지 상태에서는 외란 입력이 발생하지 않는다.

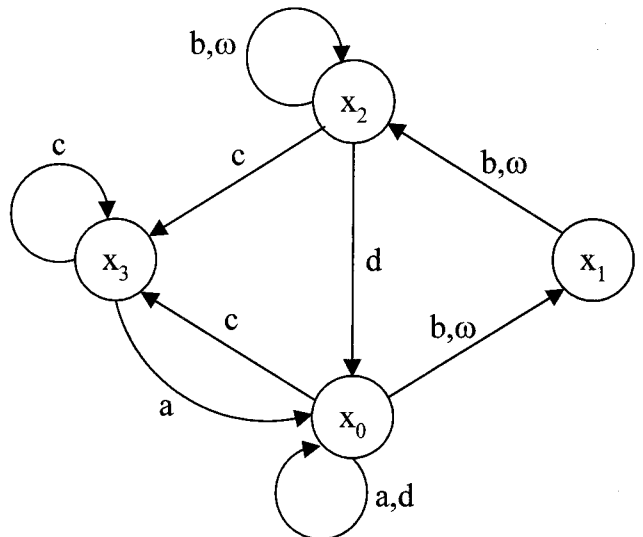


그림 2 외란 입력이 존재하는 입력/출력 비동기 머신 Σ 의 상태전이도.

Fig. 2 State flow diagram of the input/output asynchronous machine Σ with disturbance input.

표 1 Σ 의 출력 함수 $h(x)$.

Table 1 Output function $h(x)$ of Σ .

x	x_0	x_1	x_2	x_3
$h(x)$	0	1	2	1

먼저 관측기 B 를 설계한다. 3.2절에서 기술했듯이 관측기

의 역할은 Σ 에서 나오는 출력 burst를 보고 Σ 가 현재 머무르는 안정 상태 x 를 구해서 제어기 C에서 넘기는 일과 Σ 에서 발생하는 외란 입력에 의한 상태 천이를 감지한 후 역시 C에 그 사실을 알리는 일이다.

상태 x_0 에서 고장이 발생할 수 있으므로 B는 Σ 가 안정 상태 x_0 에 진입했는지 여부를 감지하는 것이 필수적이다. 식 (10)에서 기술한 burst 관계식을 이용하여 상태 x_0 에서의 관측 가능성을 우선 검증한다. 그림 2를 보면 Σ 가 안정 상태 x_0 로 진입하는 경우는 $s(x_2, d) = s(x_3, a) = x_0$ 로 두 가지이다. 즉 Σ 는 (x_2, d) , (x_3, a) 에서 관측 가능해야 한다. 식 (8)과 (9)로부터 burst 정보를 모두 구하면 다음과 같다.

$$\begin{aligned} \beta(x_2, d) &= 20, & \beta_{-1}(x_2, d) &= 2, \\ \beta(x_3, a) &= 10, & \beta_{-1}(x_3, a) &= 1. \end{aligned} \quad (18)$$

$\beta(x_2, d) \neq \beta_{-1}(x_2, d)$, $\beta(x_3, a) \neq \beta_{-1}(x_3, a)$ 이므로 식 (10)에 의해서 Σ 는 (x_2, d) , (x_3, a) 에서 모두 관측 가능하며 따라서 제어기 C는 관측기 B로부터 Σ 가 안정 상태 x_0 에 진입했음을 전달 받을 수 있다.

관측기 B의 상태 천이 함수 σ 는 식 (12)를 이용하여 설계한다. 예를 들어 Σ 가 안정 상태 x_2 에 있을 때 외부 입력 d를 받았다고 하자. 식 (18)에서 구한 burst 정보를 식 (12)에 대입하면 상태 천이 함수 σ 는 다음과 같이 정의된다.

$$\sigma(x_2, d, \beta) = \begin{cases} x_0 & \text{if } \beta = 20 \\ x_2 & \text{otherwise} \end{cases} \quad (19)$$

다른 상태-입력 조합에서도 식 (19)와 유사하게 σ 를 설계할 수 있다.

다음으로는 상태 변환 고장을 극복하기 위한 조건이 만족되는지 여부를 알아본다. $W(x_0)$ 에 속한 외란 입력은 ω 하나뿐이므로 식 (13)에서 $B(x_0) = \{\beta(x_0, \omega)\} = \{012\}$ 이다. 따라서 3.2절에서 기술한 조건 i) ~ iii) 중 i)과 ii)는 자동적으로 만족된다. 조건 iii)은 식 (14)가 성립하는지를 조사해야 한다. 그림 2에서 $s(x_0, w) = x_2$ 이고 $s(x_2, d) = x_0$ 이므로 식 (14)가 만족된다. (식 (14)의 t는 d이다) 따라서 머신 Σ 가 안정 상태 x_0 에서 외란 입력 w 가 발생하여 x_2 로 원하지 않는 상태 천이를 했을 때 Σ 를 원래 상태 x_0 로 되돌리는 교정 제어기 C를 설계할 수 있다.

마지막으로 제어기 C의 동작을 정의한다([5],[7] 참조). 초기 상태 ξ_0 에 있던 C는 Σ 가 안정 상태 x_0 에 진입하는 순간

transition 상태[3]라 불리는 $\xi_i \in \Xi$ 로 천이하여 앞으로 발생할 상태 변환 고장에 대비한다. ξ_0 에서 C의 상태 천이 함수 ϕ 와 출력 함수 η 는 아래와 같이 정의된다.

$$\begin{aligned} \phi(\xi_0, x_0, v) &= \xi_i & v \in \{a, d\} \\ \phi(\xi_0, x, v) &= \xi_0 & (x, v) \neq (x_0, a) \text{ or } (x_0, d) \end{aligned} \quad (20)$$

그림 2에서 x_0 와 안정 조합을 이루는 정상 입력은 a, d이므로 위와 같은 동작이 설정된다. 상태 변환 고장이 발생하지 않는 한 C는 아무 일도 하지 않으므로 ξ_0 와 ξ_i 에서 C는 외부 입력 v를 그대로 제어 입력 u로 내보낸다. 따라서 출력 함수 η 는 아래와 같이 정의된다.

$$\begin{aligned} \phi(\xi_0, x, v) &= v & \forall (x, v) \in X \times A_c \\ \phi(\xi_i, x, v) &= v & \forall (x, v) \in X \times A_c \end{aligned} \quad (21)$$

ξ_i 로 천이한 C는 외부 입력 v의 값을 일정하게 유지되거나 관측기 B로부터 받는 상태 관측값이 x_0 에서 x_2 로 변하는 순간 상태 변환 고장이 발생했다는 사실을 감지하고 다음 상태 ξ_1 로 천이한다. 이러한 동작을 구현하면 다음과 같다.

$$\phi(\xi_i, x_2, v) = \xi_1 \quad (v \text{는 일정}) \quad (22)$$

만약 상태 관측값 대신에 외부 입력이 변한다면 Σ 가 정상 동작을 계속 한다는 의미이므로 C는 다시 초기 상태 ξ_0 로 되돌아간다. (이 동작에 대한 ϕ 함수 정의는 생략)

상태 ξ_1 에서 C는 Σ 를 원래 상태 x_0 로 되돌리는 입력을 생성한다. 앞에서 $s(x_2, d) = x_0$ 로 구했으므로 교정 동작을 완성하는 정상 입력 스트링은 t=d이며 길이는 1이다. 즉 C는 ξ_1 에서 제어 입력 d를 머신 Σ 에 준다. 상태 관측값이 x_0 로 들어오는 순간 상태 변환 고장 극복을 위한 교정 제어 동작이 완료되므로 C는 다시 초기 상태 ξ_0 로 천이한다.

$$\begin{aligned} \eta(\xi_1, x_2, v) &= d, & (v \text{는 일정}) \\ \phi(\xi_1, x_0, v) &= \xi_0. \end{aligned} \quad (23)$$

정리하면 교정 제어기 C는 $\Xi = \{\xi_0, \xi_i, \xi_1\}$ 등 세 개의 상태로 이루어진 비동기 머신이며 제어 동작은 (20) ~ (23)을 바탕으로 구현된다.

4.2 VHDL 모의실험 결과

그림 2의 비동기 머신 Σ 에서 일어나는 상태 변화 고장 극복을 위한 교정 제어 시스템(그림 1)을 VHDL로 구현하고 그 동작 과정을 모의실험하였다. 비동기 머신, 관측기 및 비동기 제어기는 모두 VHDL 코드로 모델링 되었다. 외란 입

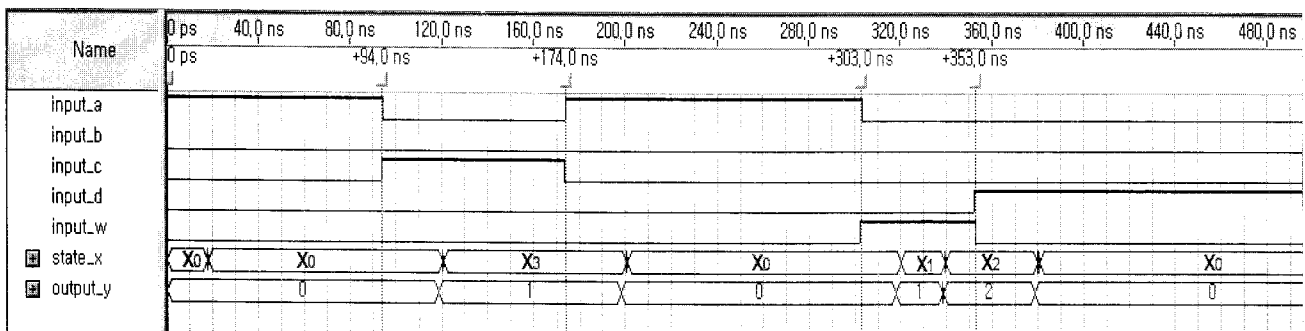


그림 3 VHDL 모의실험 결과.
Fig. 3 Result of VHDL simulation.

력을 모사하기 위하여 별도의 오류 발생기(Fault Injector)를 VHDL로 설계하여 부착하였다. 모의실험에 사용된 VHDL 컴파일러 및 합성기는 Altera의 QUARTUS® II(ver.7.1)이며, target FPGA는 Altera의 EP1C6Q240C8이다.

그림 3은 모의실험 결과이다. 본 사례연구에서는 비동기 머신이 정상적인 동작을 하는 경우와 상태 변환 고장이 일어난 뒤 페루프 시스템이 고장을 극복하는 경우 등 두 가지 상황에 대해서 모의실험을 실시하였다. 그림 3에서 0~303 nano-seconds(ns) 구간은 머신 Σ 가 정상적인 동작을 할 때이다. Σ 는 초기 상태 x_0 에서 정상 입력 a 와 안정 조합을 이룬다(0~94ns). 94ns에서 정상입력이 a 에서 c 로 바뀌며 ("input_a" off, "input_c" on) 그림 2의 상태전이도에 의해서 Σ 는 다음 안정 상태 x_3 로 천이한다. 174ns에서 정상입력이 다시 c 에서 a 로 변하고 머신 Σ 는 상태 x_0 로 되돌아온다. 그림 3에서 관찰할 수 있듯이 본 VHDL 모의실험 코드에서 비동기 머신은 입력이 변화한 후 상태 천이까지 약 25ns의 시간 지연을 가진다. 이 값은 실제 비동기 머신 구동에서는 거의 감지하지 못하는 시차라고 말할 수 있다.

303ns에서 외란 입력 w 가 발생하여 Σ 는 x_2 로 원하지 않는 상태 천이를 겪는다. 이때 관측기 B는 출력 burst "012"를 피드백으로 받고 (그림 3에서 "output_y" 참조) 상태 변환 고장 발생을 알아차린 후 제어기 C에 다음 안정 상태 x_2 를 알려준다. C는 식 (23)에 설정한대로 제어 입력 d 를 즉시 Σ 에 넣어주고 Σ 를 원래 상태 x_0 로 복귀시킴으로써 제어 목적을 달성한다. (그림 3의 353ns 부분)

참고로 그림 3에서 "state_x", 즉 머신 Σ 의 상태 값은 모의실험 진행 과정을 명확하게 도시하기 위해서 첨가하였다. 앞 장에서 설명했듯이 실제 페루프 시스템에서는 관측기가 머신 Σ 의 상태를 관측할 수 없으며 오직 출력 burst의 변화만을 보고 상태 추정을 한다.

5. 결 론

본 논문에서는 외란 입력이 존재하는 입력/출력 비동기 머신을 위한 교정 제어 시스템을 제안하였다. 제안된 교정 제어 시스템은 상태 관측기와 교정 제어기로 구성되어 있으며 페루프 시스템의 모든 동작은 비동기적으로 이루어진다. 머신이 안정 상태에 있을 때 외란 입력의 침투로 인하여 발생할 수 있는 상태 변환 고장을 극복하기 위한 관측기 및 제어기가 존재할 조건을 규명하였고, 그러한 조건이 만족될 때 관측기와 제어기의 설계 과정을 각각 기술하였다. 또한 사례 연구와 VHDL 모의실험을 통해서 본 논문에서 제안된 교정 제어 시스템이 디지털 회로로 직접 구현될 수 있음을 검증하였다.

감사의 글

이 논문은 2008년도 정부재원(교육인적자원부 학술 연구조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음(KRF-2008-521-D00264)

참 고 문 헌

- [1] J. Hammer, "On corrective control of sequential machines," International Journal of Control, vol. 65, no. 2, pp. 249-276, 1996.
- [2] T. E. Murphy, X. Geng and J. Hammer, "On the control of asynchronous machines with races," IEEE Transactions on Automatic Control, vol. 48, no. 6, pp. 1073-1081, 2003.
- [3] N. Venkatraman and J. Hammer, "On the control of asynchronous sequential machines with infinite cycles," International Journal of Control, vol. 79, no. 7, pp. 764-785, 2006.
- [4] 양정민, "비결정 모델에 대한 비동기 순차 회로의 교정 제어 II: 제어기 설계," 전자공학회논문지 제45권 SC 제 4호, pp. 11-20, 2008.
- [5] 양정민, "입력 외란이 존재하는 비동기 순차 머신의 모델 매칭," 전기학회논문지, 제57A권 제1호, pp. 109-116, 2008.
- [6] J.-M. Yang, J. Hammer, "Counteracting the effects of adversarial inputs on asynchronous sequential machines." Proceeding of the 17th IFAC World Congress, pp. 1432-1437, Seoul, Korea, 2008.
- [7] 양정민, 광성우, "비동기 상태 피드백 제어를 이용한 TMR 메모리 SEU 극복," 전기학회논문지, 제57권 제8호, pp. 1440-1446, 2008.
- [8] X. Geng and J. Hammer, "Input/output control of asynchronous sequential machines," IEEE Transactions on Automatic Control, vol. 50, no. 12, pp. 1956-1970, 2005.
- [9] L. Sterpone and M. Violante, "Analysis of the robustness of the TMR-architecture in SRAM-based FPGAs," IEEE Transactions on Nuclear Science, vol. 53, no. 5, pp. 1545-1549, 2005.
- [10] Z. Kohavi, Switching and Finite Automata Theory (2nd ed.), McGraw-Hill, 1978.
- [11] M. A. Shayman and R. Kumar, "Supervisory control of nondeterministic systems with driven events via prioritized synchronization and trajectory models," SIAM Journal on Control and Optimization, vol. 33, no. 2, pp. 469-497, 1995.
- [12] S.-J. Park and J.-T. Lim, "Robust and nonblocking supervisor for discrete-event systems with model uncertainty under partial observation," IEEE Transactions on Automatic Control, vol. 45, no. 12, pp. 2393-2396, 2000.
- [13] S. M. Nowick and D. L. Dill, "Synthesis of asynchronous state machines using a local clock," in Proceedings of IEEE International Conference on Computer Design, pp. 192-197, 1991.

저 자 소 개



양 정 민 (楊 正 敏)

1971년 3월 31일생. 1993년 2월 한국과학기술원 전기 및 전자공학과 졸업(학사). 1995년 2월 한국과학기술원 전기 및 전자공학과 졸업(석사). 1999년 2월 한국과학기술원 전기 및 전자공학과 졸업(공학박사). 1999년 3월~2001년 2월 한국전자통신연구원 컴퓨터·소프트웨어연구소 선임연구원. 2001년 3월~현재 대구가톨릭대학교 전자공학과 부교수. 주관심분야: 비동기 순차 머신 제어, 걸음새 연구 등.

Tel : 053-850-2736

Fax : 053-850-2704

E-mail : jmyang@cu.ac.kr



곽 성 우 (郭 成 祐)

1970년 3월 10일생. 1993년 2월 한국과학기술원 전기 및 전자공학과 졸업(학사). 1995년 2월 한국과학기술원 전기 및 전자공학과 졸업(석사). 2000년 2월 한국과학기술원 전기 및 전자공학과 졸업(공학박사). 2000년~2002년 인공위성연구센터 선임연구원, 연구교수. 2003년~현재 계명대학교 전자공학과 부교수. 주관심분야: 실시간시스템, 내고장성 기법, 비동기 시스템, 위성 시스템 등.

Tel : 053-580-5926

Fax : 053-580-5165

E-mail : ksw@kmu.ac.kr