

논문 2009-46TC-2-18

고효율 전력증폭기 설계를 위한 새로운 고조파 조절 회로 기반의 입출력 정합 회로

(In/Output Matching Network Based on Novel Harmonic Control
Circuit for Design of High-Efficiency Power Amplifier)

최 재 원*, 서 철 현**

(Jaewon Choi and Chulhun Seo)

요 약

본 논문에서는 새로운 고조파 조절 회로를 이용한 Si LDMOSFET 고효율 전력증폭기를 구현하였다. 본 고조파 조절 회로는 2차, 3차 고조파 성분에 대하여 단락 임피던스를 갖으며, 입출력 정합 회로를 설계하기 위하여 사용된다. 제안된 고조파 조절 회로의 효율 개선 효과가 class-F 혹은 inverse class-F 고조파 조절 회로 보다 우수하다는 것을 증명하였다. 또한, 고조파 조절 회로가 출력 정합 회로뿐만 아니라, 입력 정합 회로에도 사용될 경우, 제안된 전력증폭기의 효율은 더욱 더 개선된다. 제안된 전력증폭기의 최대 전력 효율 (PAE)의 측정값은 1.71 GHz의 주파수 대역에서 82.68 %이다. Class-F와 inverse class-F 전력증폭기와 비교할 때, 제안된 전력증폭기의 최대 PAE 측정값은 5.08 ~ 9.91 % 향상된다.

Abstract

In this paper, a novel harmonic control circuit has been proposed for the design of high-efficiency power amplifier with Si LDMOSFET. The proposed harmonic control circuit having the short impedances for the second- and third-harmonic components has been used to design the in/output matching network. The efficiency enhancement effect of the proposed harmonic control circuit is superior to the class-F or inverse class-F harmonic control circuit. Also, when the proposed harmonic control circuit has been adapted to the input matching network as well as the output matching network, the efficiency enhancement effect of the proposed power amplifier has increased all the more. The measured maximum power-added efficiency (PAE) of the proposed power amplifier is 82.68 % at 1.71 GHz band. Compared with class-F and inverse class-F amplifiers, the measured maximum PAE of the proposed power amplifier has increased in 5.08 ~ 9.91 %.

Keywords : Power amplifier, high-efficiency, novel harmonic control circuit, class-F, inverse class-F, LDMOSFET

I. 서 론

무선 통신 시스템의 급속한 성장으로 인하여 고효율 RF 전력증폭기가 매우 중요한 RF 설계 블록이 되었다. RF front-end에서 저전력 소모, 냉각 장치의 감소, 작은 배터리 크기와 저비용이 요구됨으로써 높은 전력 효율

(PAE)은 RF/초고주파 전력증폭기 설계의 핵심 요구 사항 중의 하나이다. 높은 전력 효율을 얻기 위하여, 능동 소자를 더욱 더 compression하여 높은 비선형 동작을 유도해야한다. 고조파 조절은 효율을 개선하기 위한 핵심 기술 중의 하나이다. 효율 개선을 위하여 Class-F와 inverse class-F와 같은 다양한 동작 class가 제안되어 왔다. 특히 inverse class-F 동작은 뛰어난 동작 특성 때문에 많은 관심을 받고 있다. Inverse class-F 전력증폭기는 짝수 차 고조파 성분에서 개방 부하 종단, 홀수 차 고조파 성분에서 단락 부하 종단을 갖는다^[1-5].

Inverse class-F 전력증폭기의 경우에 짝수 차 고조

* 학생회원, ** 정회원, 숭실대학교 정보통신전자공학부 (Department of Information and Telecommunication Engineering, Soongsil University)

※ 이 연구는 2008학년도 숭실대학교 대학 연구비의 지원으로 연구되었음

접수일자: 2009년2월7일, 수정완료일: 2009년2월12일

파 성분에 대한 드레인 전류와 홀수 차 고조파 성분에 대한 드레인 전압이 주파수 도메인에서 거의 0이다. 그래서 짝수 차와 홀수 차 고조파 성분들은 전력 스펙트럼 상에서 거의 억제된다. 그러나 실제의 경우에 짝수 차 고조파 성분은 짝수 차 고조파 성분에 대한 드레인 전류가 남아있기 때문에 완벽하게 제거되지 않는다. 이런 경우에 짝수 차 고조파 성분은 전력증폭기의 직류 전력 소모에 영향을 준다. 또한, 스위칭 모드 고효율 전력증폭기에 대한 대부분의 설계는 오직 출력 정합 회로에 기반을 한다. 그래서 많은 논문들은 트랜지스터의 출력 부하의 중요성만을 강조하고 입력 고조파 제거의 영향은 고려하지 않는다^{6,7)}.

이 문제들은 2차, 3차 고조파 성분에 대하여 단락 임피던스를 갖는 제안된 고조파 조절 회로를 이용하여 해결될 수 있다. 이는 2차 고조파 성분에 대한 드레인 전압과 전류가 동시에 0이 되기 때문이다. 그래서 제안된 고조파 조절 회로는 다른 고조파 조절 회로들에 비해서 고조파 성분들을 더욱 더 효율적이고 완벽하게 제거할 수 있다. 또한, 입력 정합 회로에도 제안된 고조파 조절 회로를 포함한 고효율 전력증폭기를 제안하였다.

II. 설계 원리

고조파 조절은 높은 전력 효율을 얻을 수 있는 핵심 방법 중의 하나이다. 회로 설계를 간단하게 하기 위하여 2차, 3차 고조파 성분들은 적절하게 조절된다. 전력증폭기의 직류 전력 소모를 최소화하기 위하여 2차, 3

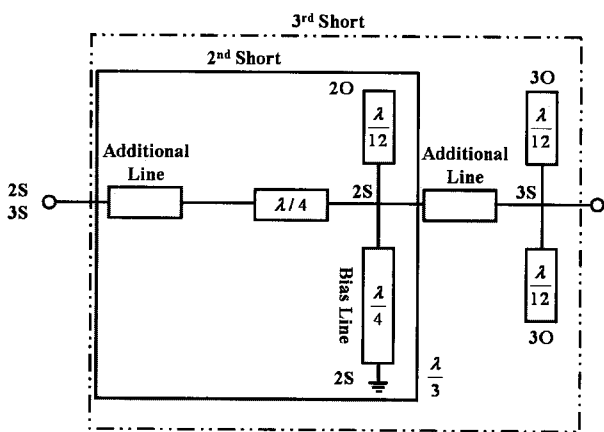


그림 1. 2차, 3차 고조파 성분에 대하여 단락 임피던스를 얻기 위하여 제안된 고조파 조절 회로
Fig. 1. Proposed harmonic control circuit for obtaining the short impedances for the second- and third-harmonic components.

차 고조파 성분들에 대하여 단락 임피던스를 갖는 고조파 조절 회로를 제안하였다. 두 개의 고조파 성분들을 조절하기 위하여 고조파 조절 회로를 그림 1과 같이 구현하였다. 고조파 조절 회로는 더 뛰어난 고조파 제거를 위한 두 개의 암의 양쪽 병렬 스태브와 소자의 기생 수동 성분들의 역조절 효과를 보상하기 위한 조절 라인을 포함한다. 제안된 전력증폭기의 입출력 정합 회로는 최적의 동작 특성을 위하여 제안된 고조파 조절 회로로 설계되었다⁸⁾.

Class-F 혹은 inverse class-F 전력증폭기의 출력 정합 회로는 고조파 조절 회로를 갖는다. Inverse class-F 전력증폭기의 경우, 고조파 조절 회로는 그림 2. (a)와 같이 2차 고조파 성분에 대하여 개방 임피던스, 3차 고조파 성분에 대하여 단락 임피던스를 갖는다. Class-F 전력증폭기의 경우는 이와 반대이다. 반면에 제안된 전

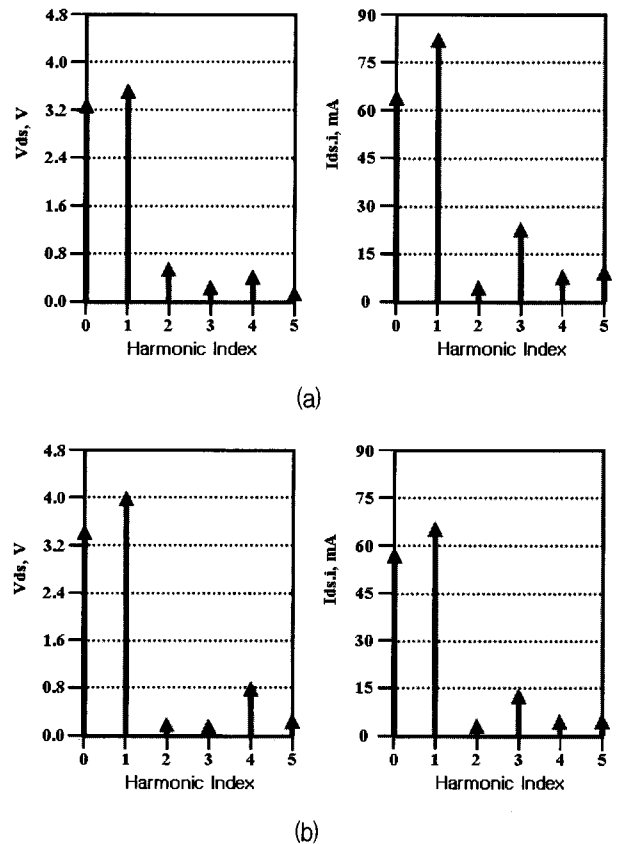


그림 2. 주파수 도메인에서 드레인 전압, 전류 신호들의 설계된 root-mean-square 값: (a) Inverse class-F 형태의 고조파 조절 회로, (b) 제안된 고조파 조절 회로
Fig. 2. Simulated root-mean-square values of drain voltage and current signals in frequency domain: (a) Harmonic control circuit of inverse class-F type, (b) Proposed harmonic control circuit.

력증폭기의 고조파 조절 회로는 그림 2. (b)와 같이 2차, 3차 고조파 성분들에 대해서 동시에 단락 임피던스를 갖는다. 제안된 고조파 조절 회로는 그림 1과 같이 전송 선로의 왼쪽 단을 $\lambda/4$ 로 설계하여 구현할 수 있다^[5,8].

Inverse class-F 전력증폭기의 경우, 2차 고조파 성분에 대한 드레인 전류와 3차 고조파 성분에 대한 드레인 전압은 주파수 도메인에서 거의 0이다. 그래서 2차, 3차 고조파 성분은 전력 스펙트럼 상에서 거의 억제된다. 하지만 실제 경우에 2차 고조파 성분에 대한 드레인 전류가 남아있기 때문에 2차 고조파 성분은 제거되지 않는다. 이런 경우, 2차 고조파 성분은 전력증폭기의 직류 전력 소모를 증가시킨다. 이 문제는 제안된 고조파 조절 회로를 이용하여 해결할 수 있다. 이는 제안된 고조파 조절 회로의 2차 고조파 성분에 대한 단락 임피던스로 인하여 2차 고조파 성분에 대한 드레인 전압도 0이 되기 때문이다. 즉, 2차 고조파 성분에 대한 드레인 전압과 전류는 동시에 0이 된다. 이로 인하여, 제안된 고조파 조절 회로는 다른 고조파 조절 회로보다 더욱 더 효과적이고 완벽하게 고조파 성분들을 제거할 수 있다.

III. 제작 및 측정 결과

제안된 고효율 전력증폭기는 두께가 31 mils이고 유전체의 유전율이 3.2인 Taconic 사의 TLC 기판을 사용하여 제작하였고, Freescale 사의 4 W MRF281 Si LD

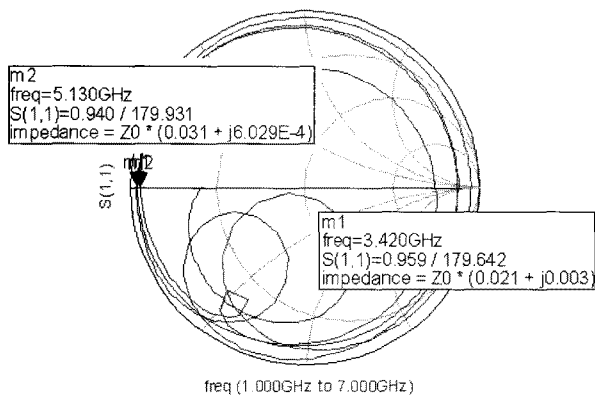


그림 3. 2차, 3차 고조파 성분들에 대하여 단락 임피던스를 보이는 제안된 고조파 조절 회로의 설계 결과

Fig. 3. Simulation result of the proposed harmonic control circuit showing the short impedances for second- and third-harmonic components.

MOSFET을 사용하여 설계하였다. 설계는 우선 Free scale 사의 대신호 모델을 기반으로 Agilent 사의 Advanced Design System (ADS)을 사용하여 설계하고 최적화하였다. 그림 3은 2차, 3차 고조파 성분들에 대하여 낮은 임피던스의 크기를 갖는 제안된 고조파 조절 회로의 설계 결과를 보여준다. 즉, 제안된 고조파 조절 회로는 2차, 3차 고조파 성분들에 대하여 단락 임피던스가 되게 한다. 그림 4는 제안된 고효율 전력증폭기의 제작된 기판을 보여준다. 그림 4에서 보는 것처럼, 제안된 고효율 전력증폭기를 구성하는 입출력 정합 회로는 2차, 3차 고조파 성분들에 대하여 단락 임피던스를 얻기 위하여 제안된 고조파 조절 회로를 이용하여 설계되었다. 또한, 기본 신호는 추가적인 출력 정합 회로를 이용하여 50 Ω 에 정합되어진다. 제안된 고효율 전력증폭기는 class-B DC 바이어스 점인 $V_g = 2.8$ V의 게이트 전압과 $V_d = 30$ V의 드레인 전압을 갖는다. 제안된 고효율 전력증폭기의 출력 전력, 전력 효율 (PAE), 고조파 특성은 1.71 GHz의 Continuous-Wave (CW) 신호를 이용하여 측정하였다. 그림 5는 측정된 출력 전력을 보여준다. 제안된 전력증폭기의 출력 전력은 25 dBm의 출력 전력에서 38.49 dBm이 나온다. 제안된 전력증폭기의 최대 전력 효율 (PAE)은 출력 전력 38.49 dBm에서 82.68 %가 나온다. 이 전력 효율은 LDMOSFET

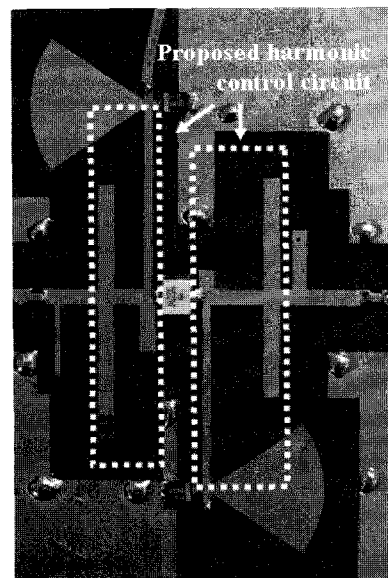


그림 4. 새로운 고조파 조절 회로 기반의 입출력 정합 회로를 이용하여 제안된 고효율 전력증폭기의 제작된 기판

Fig. 4. Fabrication of the proposed high-efficiency power amplifier using the in/output matching networks based on the novel harmonic control circuit.

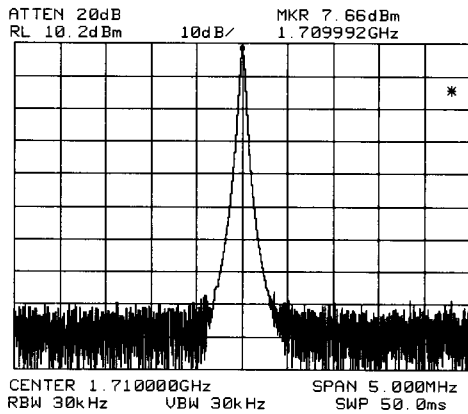
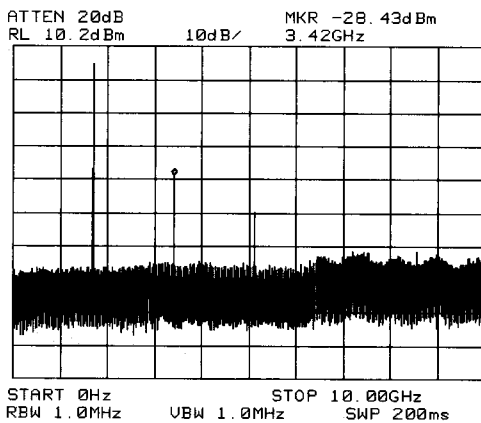
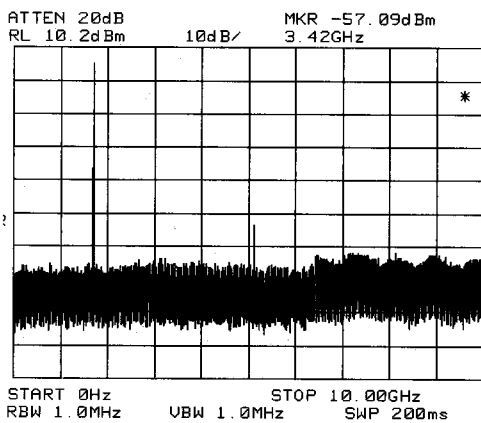


그림 5. 새로운 고조파 조절 회로 기반의 입출력 정합 회로를 이용하여 제안된 고효율 전력증폭기의 측정된 출력 전력

Fig. 5. Measured output power of the proposed high-efficiency power amplifier using the in/output matching networks based on the novel harmonic control circuit.



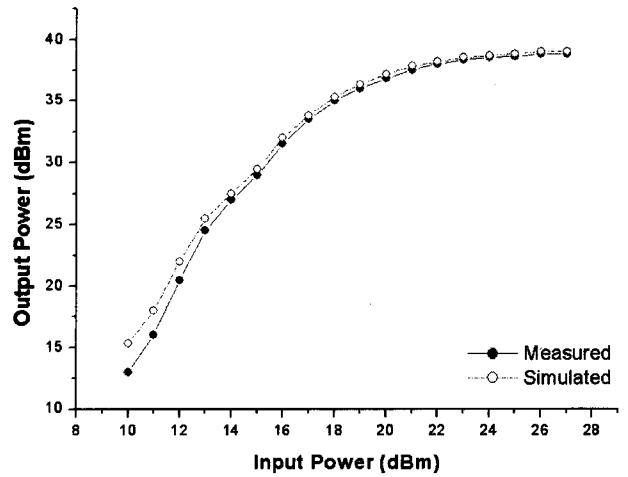
(a)



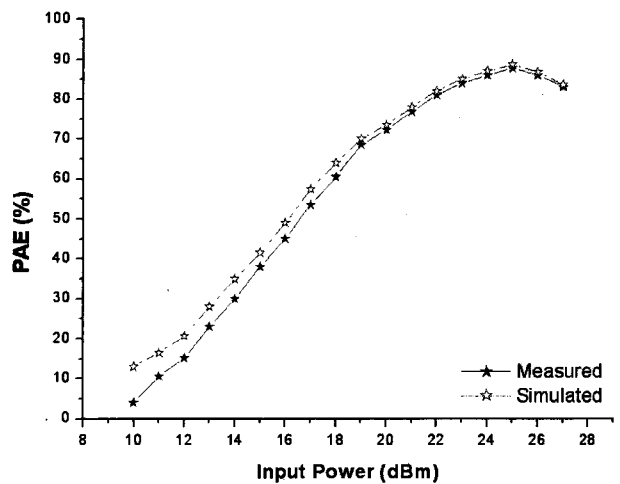
(b)

그림 6. 측정된 고조파 특성: (a) Inverse class-F 전력증폭기, (b) 제안된 고효율 전력증폭기

Fig. 6. Measured harmonic characteristics: (a) Inverse class-F power amplifier, (b) Proposed high-efficiency power amplifier.



(a)



(b)

그림 7. 제안된 고효율 전력증폭기의 설계 및 측정된 동작 특성: (a) 출력 전력, (b) 전력 효율 (PAE)

Fig. 7. Simulated and measured performances of the proposed high-efficiency power amplifier: (a) Output power, (b) PAE.

전력증폭기들 중에서 매우 높은 값이다. 드레인 전류는 272 mA이다. 그림 6. (a)와 (b)는 inverse class-F 전력증폭기와 제안된 고효율 전력증폭기의 측정된 고조파 특성을 각각 보여준다. Inverse class-F 전력증폭기와 제안된 고효율 전력증폭기의 2차 고조파 성분들은 각각 -28.43 dBm과 -57.09 dBm이다. 2차 고조파 성분을 제외한 다른 고조파 성분들은 서로 유사한 크기를 갖는다. 이 결과로부터 2차 고조파 성분이 제안된 고조파 조절 회로를 기반으로 한 입출력 정합 회로에 의해 감소되었다는 것을 알 수 있다. 그림 7은 제안된 고효율 전력증폭기의 입력 전력 변화에 따른 설계 및 측정된 출력 전력과 전력 효율 (PAE)을 보여준다. 설계 값과

표 1. 다른 구조와 동작 점을 갖는 고효율 LDMOSFET 전력증폭기의 동작 특성

Table 1. Performances of high-efficiency LDMOSFET power amplifier having other structures and classes

동작 점 /소자	주파수 (GHz)	출력 전력 (dBm)	전력 효율 (PAE, %)
Class-F ^[2] /MRF281	1.2	36.3	77.6
Class-F ^[10] /NA	0.5	43.01	72.77
Inverse class-F ^[8] /MRF281	1	37	76.2
Inverse class-F ^[9] /MRF282	1	40.93	73.5
This work /MRF281	1.71	38.49	82.68

측정 값 사이의 비교를 통하여 측정 값이 ADS 시뮬레이션 틀을 이용하여 얻은 설계 값과 유사하다는 사실을 알 수 있다. 표 1은 다른 구조들과 다른 동작 class들을 이용한 고효율 LDMOSFET 전력증폭기들의 출력 전력과 전력 효율 (PAE)과 같은 핵심 동작 특성들의 비교를 보여준다. 다른 전력증폭기들과 비교했을 때 제안된 전력증폭기의 전력 효율 (PAE)는 더 좋은 특성을 갖는다. 제안된 전력증폭기의 전력 효율 (PAE)는 대략 5.08 ~ 9.91 % 개선되었다. 또한, 80 % 이상의 전력 효율 (PAE) 측정 값을 갖는 LDMOSFET 전력증폭기는 다른 LDMOSFET 전력증폭기들 중에서 최초이다. 이는 2차, 3차 고조파 성분들에 대하여 단락 임피던스를 갖도록 제안된 고조파 조절 회로를 기반으로 한 입출력 정합 회로를 이용하여 2차 고조파 성분이 완벽히 억제되었기 때문이다.

IV. 결 론

본 논문에서는 새로운 고조파 조절 회로를 이용한 Si LDMOSFET 고효율 전력증폭기를 구현하였다. 본 고조파 조절 회로는 2차, 3차 고조파 성분에 대하여 단락 임피던스를 갖으며, 입출력 정합 회로를 설계하기 위하여 사용된다. 제안된 고조파 조절 회로의 효율 개선 효과가 class-F 혹은 inverse class-F 고조파 조절 회로보다 우수하다는 것을 증명하였다. 또한, 고조파 조절

회로가 출력 정합 회로뿐만 아니라, 입력 정합 회로에도 사용될 경우, 제안된 전력증폭기의 효율은 더욱 더 개선된다. 제안된 전력증폭기의 최대 전력 효율 (PAE)의 측정값은 1.71 GHz의 주파수 대역에서 82.68 %이다. Class-F와 inverse class-F 전력증폭기와 비교할 때, 제안된 전력증폭기의 최대 PAE 측정값은 5.08 ~ 9.91 % 향상된다.

참 고 문 헌

- [1] S. Gao, "High-efficiency class-F RF/microwave power amplifiers," IEEE Microwave Magazine, pp. 40-48, February 2006.
- [2] H. Park, G. Ahn, S. Jung, C. Park, W. Nah, B. Kim, and Y. Yang, "High-efficiency class-F amplifier design in the presence of internal parasitic components of transistors," European Microwave Conference, pp. 184-187, September 2006.
- [3] S. C. Cripps, RF Power Amplifiers for Wireless Communications, Norwood, MA: Artech House, 1999.
- [4] F. Fortes and M. J. Rosario, "A second harmonic class-F power amplifier in standard CMOS technology," IEEE Transactions on Microwave Theory and Techniques, vol. 49, no. 6, pp. 1216-1220, June 2001.
- [5] A. Grebennikov, RF and Microwave Power Amplifier Design, New York: McGraw-Hill, 2004.
- [6] S. Gao, P. Butterworth, S. Ooi, and A. Sambell, "High-efficiency power amplifier design including input harmonic termination," IEEE Microwave and Wireless Components Letters, vol. 16, no. 2, pp. 81-83, February 2005.
- [7] P. M. White, "Effect of input harmonic terminations on high efficiency class-B and class-F operation of PHEMT devices," IEEE MTT-S International Microwave Symposium, pp. 1611-1614, June 1998.
- [8] Y. Woo, Y. Yang, I. Kim, and B. Kim, "Efficiency comparison between highly efficient class-F and inverse class-F power amplifiers," IEEE Microwave Magazine, pp. 100-110, June 2007.
- [9] F. Lepine, A. Adahl, and H. Zirath, "L-band LDMOS power amplifiers based on an inverse class-F architecture," IEEE Transactions on Microwave Theory and Techniques, vol. 53, no. 6,

pp. 2007-2012, June 2005.

- [10] A. V. Grebennikov, "Circuit design technique for high efficiency class F amplifiers," IEEE MTT-S International Microwave Symposium, vol. 2, pp. 771-774, June 2000.

저 자 소 개



최 재 원(학생회원)

2006년 2월 숭실대학교 정보통신
전자공학부 학사 졸업

2008년 2월 숭실대학교 정보통신
공학과 석사 졸업

2008년 3월~현재 숭실대학교
정보통신공학과 박사과정

<주관심분야 : 초고주파 회로 설계, RF Power
Amplifier, VCO, RFIC, RFID, Digital RF 등>

서 철 현(정회원)

대한전자공학회 논문지
vol. 31, no. 6 참조