

논문 2009-46TC-2-9

# CORDIC을 이용한 IEEE 802.11a용 저전력 주파수 옵셋 동기화기

(Low-power Frequency Offset Synchronization for IEEE 802.11a Using  
CORDIC Algorithm)

장영범\*, 한재웅\*\*, 홍대기\*

(Young Beom Jang, Jae woong Han, and Dae Ki Hong)

## 요약

이 논문에서 OFDM(Orthogonal Frequency Division Multiplexing) 시스템의 주파수 옵셋 동기화 블록의 효율적인 구조를 제안한다. 기존의 CORDIC(COordinate Rotation DIgital Computer)을 이용한 주파수 옵셋 동기화 블록들은 위상 추정을 위하여 CORDIC Vector 모드를 사용하고, 보상을 위하여 CORDIC Rotation 모드를 사용하고 있다. 이와 비교하여 제안구조는 Vector 모드만을 사용하고 Rotation 모드는 Divider로 대체하는 알고리즘이다. 제안된 방식을 사용함으로써 Rotation 모드를 사용해야 했던 기존의 방식보다 하드웨어 구현복잡도가 감소함을 구현을 통하여 검증하였다. 검증 Tool로 Design Compiler를 사용하였고 각 비교 구조마다 동일한 Constraint를 적용하여 검증을 진행하였다. 제안구조에 대한 Front-End 칩 구현을 통하여 기존 구조에 비하여 22.1%의 gate count 감소를 보임으로써 저전력 통신용 칩에서 사용할 수 있음을 보였다.

## Abstract

In this paper, an efficient frequency offset synchronization structure for OFDM(Orthogonal Frequency Division Multiplexing) is proposed. Conventional CORDIC(COordinate Rotation DIgital Computer) algorithm for frequency offset synchronization utilizes two CORDIC hardware i.e., one is vector mode for phase estimation, the other is rotation mode for compensation. But, proposed structure utilizes one CORDIC hardware and divider. Through simulation, it is shown that hardware implementation complexity is reduced compared with conventional structures. The Verilog-HDL coding and front-end chip implementation results for the proposed structure show 22.1% gate count reduction comparison with those of the conventional structure.

**Keywords :** OFDM, CORDIC, Vector Mode, WLAN, Frequency Synchronization

## I. 서론

최근에는 OFDM(Orthogonal Frequency Division Multiplexing) 변조방식이 다양한 유무선 데이터 전송 시스템에서 널리 사용되고 있다. 심볼의 길이가 짧고 한 개의 반송파를 사용하는 단일 반송파 변조 방식이

심볼 동기화 민감하고 주파수 동기화 둔감한 특성을 나타내는 것과 비교하여, OFDM 변조 방식은 심볼의 길이가 길고 좁은 스펙트럼이 서로 겹쳐있기 때문에 타이밍에 둔감하고 주파수 동기화 민감한 특성을 갖는다. 따라서 OFDM 방식의 신호를 정확히 복조하기 위해서는 신호의 반송파 주파수 동기가 매우 중요하다. 송신단과 수신단 사이의 오실레이터 차이와 도플러주파수 천이 등에 의해 발생하는 반송파 주파수 옵셋은 전체 부 반송파간의 직교성에 영향을 주게 되어 부 채널 간의 ICI(Inter Channel Interference), 위상회전, 크기 감소 등의 왜곡이 발생하여 시스템의 전체 성능을 저하시

\* 정회원, \*\* 학생회원, 상명대학교 정보통신공학과  
(College of Engineering, Sangmyung University)

※ 본 연구는 교육과학기술부와 한국산업기술재단의 지역혁신인력양성사업으로 수행된 연구결과임.

접수일자: 2008년9월30일, 수정완료일: 2009년2월16일

킨다. 따라서 OFDM 시스템의 수신 단에서는 FFT를 수행하기 이전에 송수신기간의 주파수 오프셋 동기가 선행되어야만 하는데 이 동기화기에 대한 저전력 구현이 필요하다. 이와 같은 동기화기의 효율적인 구현을 위하여 CORDIC(COordinate Rotation DIgital Computer) 알고리즘이 사용된다.<sup>[1-2]</sup> OFDM의 파수 오프셋 동기화 기술은 주파수 오프셋 추정과 보상을 필요로 한다. 기존의 주파수 오프셋 동기화기의 추정 블록은 주로 벡터 모드 CORDIC을 사용하여 구현되고, 보상 블록은 회전 모드 CORDIC을 사용하여 구현되고 있다.<sup>[3]</sup> 이 논문에서는 주파수 오프셋 동기화기의 추정 블록, 보상 블록, 복소 곱셈블록을 하나의 하드웨어로 구현하는 저전력 구조를 제안한다. II장에서는 IEEE 802.11a의 주파수 오프셋 동기화기 블록의 구성을 살펴보고 III장에서 제안된 저전력 블록의 설계 단계를 논한다. IV장에서 실험 및 구현 결과를 보이고 V장에 결론을 기술하였다.

## II. OFDM 시스템에서의 주파수 오프셋 동기화기

### 1. 프리앰블의 구조

IEEE 802.11a OFDM 무선통신방식의 송신단에서 만들어지는 패킷은 프리앰블(Preamble), 헤더(Header), 그리고 실제 전송하고자 하는 데이터인 페이로드(Payload)로 구성된다. IEEE 802.11a에서 사용되는 프리앰블의 구조는 그림 1과 같이 Short training symbol 10개와 Long training symbol 2개로 구성된다.<sup>[4]</sup> Short training symbol의 앞단 7개는 신호 검출을 하는데 이용되고 8번째부터 10번째까지는 대략(Coarse) 주파수 오프셋 추정을 하는데 이용된다. Long training symbol에 대하여 대략 추정된 주파수 오프셋을 보상한 후에 다시 Long training symbol을 사용하여 미세(Fine) 주파수 오프셋 추정을 하게 된다.

Short training symbol은  $s_1$ 부터  $s_{10}$ 까지 10개의 같은 심볼로 구성되며 각각의 심볼은 16개의 실수부와 16개의 허수부로 되어있다. Long training symbol은  $l_1$ 과  $l_2$ 의 두 개의 심볼로 구성되며 각각의 심볼은 64개의

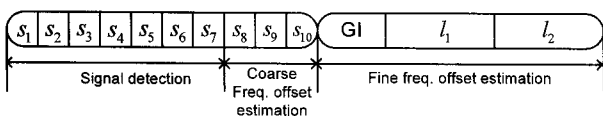


그림 1. 프리앰블의 구조  
Fig. 1. Structure of preamble.

실수부와 64개의 허수부로 구성되어있다.

### 2. 프리앰블을 이용한 주파수 오프셋 동기화

주파수 오프셋 동기화기의 블록도는 다음 그림 2와 같다. 먼저 Preamble중  $s_8$ 부터  $s_{10}$ 까지의 Short training symbol의 I와 Q가 Auto-Correlator로 입력된다.

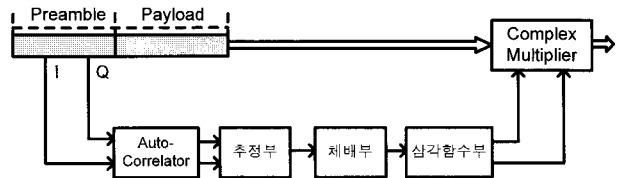


그림 2. 주파수 오프셋 동기화기의 블록도  
Fig. 2. Block diagram of frequency offset synchronizer.

그림 2의 Auto-Correlator에서는 다음 식의 분자와 분모가 계산된다.

$$R(n) = \frac{\sum_{k=0}^{L-1} \text{Im}(r_{n,k} \times r_{n-1,k}^*)}{\sum_{k=0}^{L-1} \text{Re}(r_{n,k} \times r_{n-1,k}^*)} \quad (1)$$

식 (1)에서  $L$ 은 샘플의 수이다. 대략추정의 경우에는 16개의 샘플을 이용하고 미세추정의 경우에는 64개의 샘플을 이용한다.  $r_{n,k}$ 과  $r_{n-1,k}$ 은 각각  $n$ 번째 심볼과 그 이전 심볼  $n-1$ 번째의  $k$ 번째 샘플을 나타낸다. 그림 2의 추정부에서는 다음의 식이 계산된다.

$$\theta = \frac{1}{2\pi} \tan^{-1} R(n) \quad (2)$$

추정부에 구해진  $\theta$  값은 체배부에서  $\theta$ 의 체배 값을 만들어 내고 삼각함수부에서  $\cos\theta$ 와  $\sin\theta$  값을 구하게 된다. 마지막으로 Payload의 I와 Q 값과 차례로 곱해지며 주파수 오프셋이 보상된다.<sup>[5]</sup>

## III. 제안된 주파수 오프셋 동기화부 구조

### 1. CORDIC 주파수 오프셋 동기화기

CORDIC 알고리즘을 사용한 제안된 주파수 오프셋 동기화기의 블록도는 다음 그림 3과 같다.

기존의 ROM 테이블을 사용하는 주파수 동기화기에서는 추정부와 삼각함수부에서 ROM 테이블을 사용하

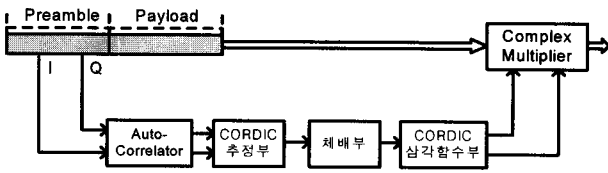


그림 3. 제안된 CORDIC 주파수 오프셋 동기화기의 블록도

Fig. 3. Block diagram of proposed frequency offset synchronizer using CORDIC.

게 되는데 ROM을 사용하게 되면 출력 품질에 비하여 ROM 테이블의 크기가 크다는 단점이 있다. 그림 3의 구조에서는 CORDIC 알고리즘을 사용하여 이 같은 단점을 보완한다. CORDIC 알고리즘은 다음 식과 같이 벡터의 회전으로 이루어진다.<sup>[6~8]</sup>

$$\begin{aligned} x^{(i+1)} &= x^{(i)} \pm y^{(i)}2^{-i} \\ y^{(i+1)} &= y^{(i)} \mp x^{(i)}2^{-i} \end{aligned} \quad (3)$$

식 (3)에서  $x^{(i)}, y^{(i)}$  값은  $i$ 번째 반복에서의 복소수의 실수부 값과 허수부 값을 나타낸다. CORDIC 추정부에서는  $\theta$  값을 추정해내고 CORDIC 삼각함수부에서는 보상할  $\cos\theta$ 와  $\sin\theta$ 의 값을 계산한다. 계산된  $\cos\theta$ 와  $\sin\theta$ 를 이용하여 Complex Multiplier 블록에서 주파수 오프셋을 보상한다.

### 2. CORDIC 추정부 설계

Auto-correlator에서 출력된 벡터를  $X_0^V$ 와  $Y_0^V$ 라고 정의하면 이 벡터의 각  $\theta$ 를 알아내는 것이 CORDIC 추정부의 목표이다. 이와 같은  $\theta$ 는 벡터 모드로 불리는 CORDIC 알고리즘을 사용하여 계산할 수 있다. 벡터 모드 CORDIC 알고리즘은 주어진 벡터를 실수축까지 회전시키면서 그 각도를 측정하도록 연산이 진행된다. 이와 같은  $\theta$ 를 연산하기 위해 그림 4와 같은 병렬 CORDIC 구조를 제안한다.

제안된 그림 4의 CORDIC 추정부는 1 clock에 C0부터 C15까지 동시에 연산되도록 설계한다. 위의 추정부

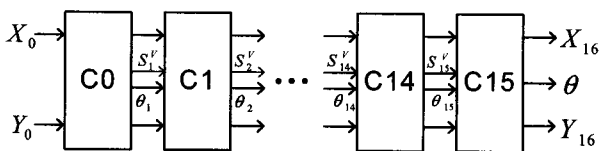


그림 4. 벡터 모드를 사용한 CORDIC 추정부  
Fig. 4. CORDIC estimation block using vector mode.

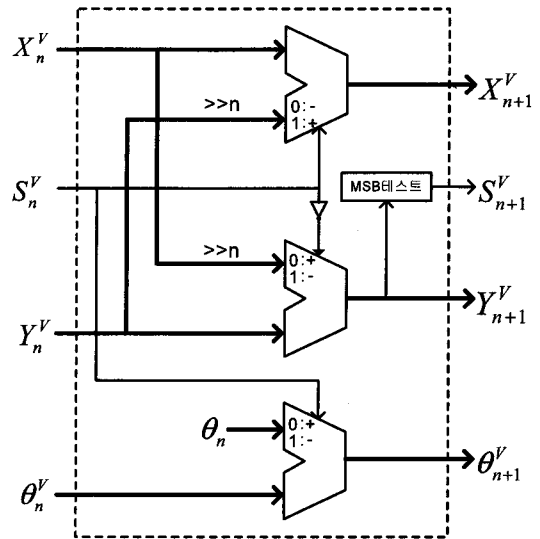


그림 5. CORDIC 추정부의  $C_n$ 의 세부 구조

Fig. 5. Detail structure of  $C_n$ (CORDIC estimation block).

에서는 결과값을 얻기 위하여 식 (3)과 같은 연산을 16번 동시에 수행한다. 그림 4에서 입력 값  $X_0^V$ 와  $Y_0^V$ 은 각각 Auto-correlator 출력의 실수부와 허수부다. 그림 4의 굵은 선은 16 비트로 구성된 데이터이며 얇은 선으로 표기한  $S_n^V$ 은 1 비트로 구성된 제어 비트로서 벡터가 회전할 방향을 지시한다. 그림 4의  $C_n$ 의 세부 구조는 그림 5와 같이 설계하였다.

제안된  $C_n$ 은 그림 5에서 보듯이 4개의 입력이 들어오도록 설계하였다. 입력 중에서  $X_n^V$ 와  $Y_n^V$ 는 현재의 벡터 값이며  $\theta_n^V$ 는 현재의 위상각이다. V 첨자를 붙인 것은 벡터 모드를 나타낸다.  $S_n^V$ 는 제어 비트로서 벡터의 회전방향과 위상각의 Add/Sub를 제어하도록 설계하였다. 제안된  $C_n$  블록은 4개의 출력을 갖는다.  $X_{n+1}^V$ 와  $Y_{n+1}^V$ 는 회전된 벡터 값이며  $\theta_{n+1}^V$ 는 회전된 후의 위상각이다.  $S_{n+1}^V$ 는  $Y_{n+1}^V$  샘플의 MSB를 테스트하여 다음  $C_{n+1}$  블록의 회전방향을 제어하도록 설계하였다. 즉  $Y_{n+1}^V$ 의 MSB를 테스트하여 양수이면 벡터를 시계방향으로 회전하도록 하며 음수이면 반시계방향으로 회전하도록 제어한다.

이 제어신호가 회전각을 연산하는 AU(Arithmetic Unit)도 제어하도록 설계하였다. 그림 4에서 보듯이  $C_0$ 부터  $C_{15}$ 까지 벡터를 16번 회전시킨 후에 최종 위상각  $\theta$ 를 얻는다.

### 3. CORDIC 삼각함수부 설계

회전 모드(Rotation mode)의 CORDIC을 사용하면 주어진  $\theta$ 를 이용하여  $\cos\theta$ 와  $\sin\theta$ 를 구할 수 있다. 제안된 회전 모드의 삼각함수부는 그림 6과 같다. 제안된 CORDIC 삼각함수부도 16번의 벡터 회전으로 설계하였다. 16번 정도의 벡터회전을 통하여 원하는 정세도의 결과를 얻을 수 있기 때문이다.

그림 6에서 보듯이 회전 모드 CORDIC에서는 주어진 위상각  $\theta$ 를 입력 받아서  $\cos\theta$ 와  $\sin\theta$ 를 구하는 연산을 하게 된다. 앞서 설계한 벡터 모드 CORDIC과 마찬가지로 16번의 반복 연산을 병렬로 1 clock에 수행한다. 그림 6의  $C_n$ 의 세부 구조는 그림 7과 같이 설계하였다. 제안된 삼각함수부의  $C_n$ 은 그림 7에서 보듯이 3개의 입력이 들어오도록 설계하였다.  $X_n^R$ 과  $Y_n^R$ 은 현재의 벡터 값이며  $\theta_n^R$ 은 현재의 위상각이다. R 첨자를 붙인 것은 회전 모드를 나타낸다. 초기값  $X_0^R$ 과  $Y_0^R$ 은 각각 1과 0으로 세팅하며 초기값  $\theta_0^R$ 은 주어진  $\theta$ 로 세팅한다.

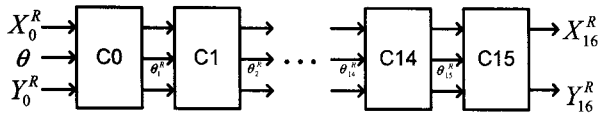


그림 6. 회전 모드를 사용한 CORDIC 삼각함수부  
Fig. 6. CORDIC trigonometry block using rotation mode.

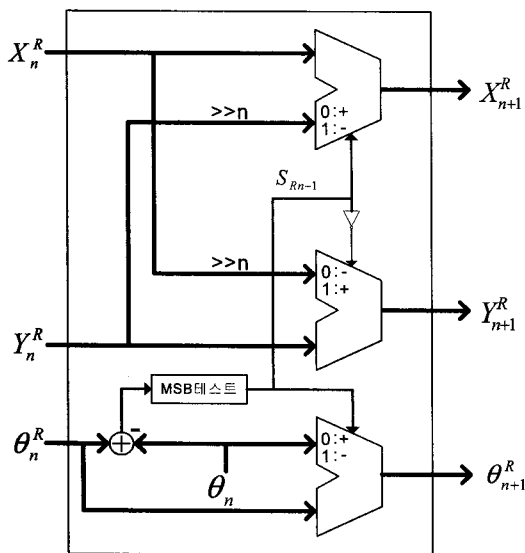


그림 7. CORDIC 삼각함수부의  $C_n$ 의 세부 구조  
Fig. 7. Detail structure of  $C_n$  (CORDIC trigonometry block).

그림 7의  $C_n$ 에 저장된  $\theta_n$ 은 모두 다른 값들이 저장되며 예를 들어  $\theta_0$ 과  $\theta_1$ 은 각각 45도와 26.565도이다. MSB 테스트 블록에서는 입력된 회전각  $\theta_n^R$ 과 저장되어있는  $\theta_n$ 을 비교하여 회전할 방향을 결정하도록 설계하였다. 즉 입력받은  $\theta_n^R$ 에서 저장되어있는 상수의 회전각  $\theta_n$ 을 빼주어 MSB를 테스트한다. 이 값이 양수이면 벡터를 반시계방향으로 회전하도록 하며 음수이면 시계방향으로 회전하도록 제어한다. 마찬가지로 이 제어신호가 회전각을 연산하는 AU도 제어하여 최종 회전각을 얻도록 설계하였다.

### 4. Complex Multiplier 설계

Complex Multiplier 블록에서는 앞서 추정된  $\cos\theta$ 와  $\sin\theta$ 를 이용하여 I와 Q를 보상해 주어야하므로 다음의 식을 수행하여야한다.

$$\begin{bmatrix} I' \\ Q' \end{bmatrix} = \begin{bmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} I \\ Q \end{bmatrix} \quad (4)$$

식 (4)에서 I와 Q는 보상받을 Long training symbol 혹은 뒤이어 오는 Header와 Payload의 값이다.

### 5. 제안된 CORDIC 통합부의 하드웨어 구조

이 절에서는 앞서 제안한 CORDIC 추정부와 CORDIC 삼각함수부 그리고 Complex Multiplier의 3블록을 통합한 구조를 제안한다. CORDIC 삼각함수부와 Complex Multiplier의 하드웨어 통합은 간단히 이루어진다. 즉 CORDIC 삼각함수부의 초기값  $X_0^R$ 과  $Y_0^R$ 을 각각 1과 0으로 세팅하는 대신에 I와 Q로 세팅하면 된다. 또한 벡터 모드를 수행하는 CORDIC 추정부를 통합하기 위하여 제안된 구조는 그림 8과 같다.

그림 8의 CORDIC 구조는 벡터모드와 회전모드를 모두 수행할 수 있도록 설계하였으며  $C_n$ 의 세부구조는 그림 9와 같다. 그림 3에서 보듯이 CORDIC 추정부에서

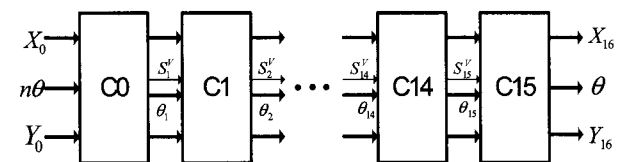


그림 8. 제안된 하드웨어 통합 CORDIC 구조  
Fig. 8. Proposed combined CORDIC structure.

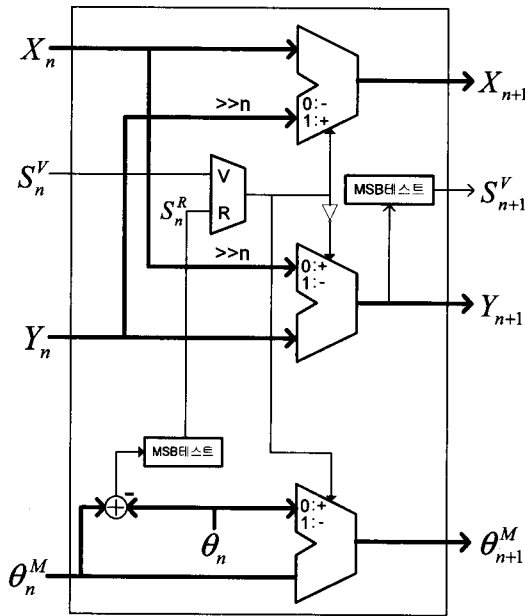


그림 9. 제안된 통합 CORDIC의  $C_n$  세부구조  
 Fig. 9. Detail structure of  $C_n$  (proposed combined CORDIC structure).

는  $\theta$ 를 추정하고 CORDIC 삼각함수부에서는 추정된  $\theta$ 를 이용하여  $\cos\theta$ 와  $\sin\theta$ 를 구하는 기능을 하므로 두 가지 모드의 CORDIC은 동시에 수행될 필요가 없다. 따라서 그림 5의 추정부  $C_n$ 과 그림 7의 삼각함수부  $C_n$ 을 보면 두 가지 모드는 비슷한 구조로 공통되는 부분이 매우 많으므로 그림 9와 같이 한 개의 하드웨어로 합칠 수 있다. WLAN의 주파수 오프셋 동기화기는  $\theta$ 가 한번 구해지면 이를 체배하여 여러번 CORDIC 삼각함수부와 Complex Multiplier가 동작하여야 한다.

WLAN의 주파수 오프셋 동기화기는  $\theta$ 가 한번 구해지면 이를 체배하여 여러번 CORDIC 삼각함수부와 Complex Multiplier가 동작하여야 한다. 제안된 통합  $C_n$  구조는 그림 9에서 보듯이 Mux 회로를 사용하여 제어신호를 선택하도록 설계하였다. 즉 벡터모드에서는  $S_n^V$ 가 제어신호로 선택되며 회전모드에서는  $S_n^R$ 이 선택되도록 하였다. 그림 6을 보면 회전모드 CORDIC 삼각함수부에서는 입력 값을  $\theta$ 만 받고 초기 벡터 값은 (1, 0)에서 시작한다. 이 초기 벡터 값을 보상받을 I채널 값과 Q채널 값으로 세팅하면 다음 식과 같은 연산을 하게 된다.

$$\begin{aligned} X_{n+1}^R &= K_n (X_n^R \pm 2^{-n} Y_n^R) \\ Y_{n+1}^R &= K_n (Y_n^R \mp 2^{-n} X_n^R) \end{aligned} \quad (5)$$

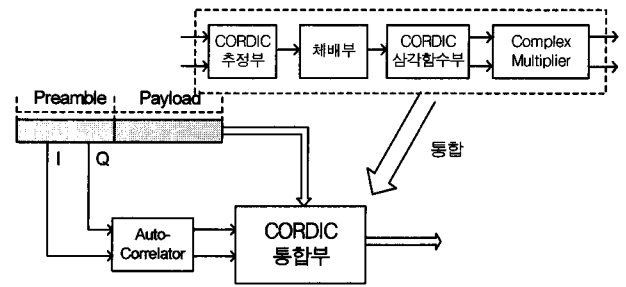


그림 10. 제안된 주파수 오프셋 동기화기 전체 구조  
 Fig. 10. Proposed overall structure for frequency offset synchronizer.

위 식 (5)는  $\cos\theta$ 와  $\sin\theta$ 를 구하는 대신에 식 (4)의 곱셈연산을 통합하여 수행하게 된다. 위의 식에서  $K_n$ 은 scaling factor라 부르며 각각의 단계마다 따로 계산할 필요 없이 마지막 단계에서 한 번에 나누어주면 된다. 제안된 그림 8과 9를 사용하여 전체 주파수 오프셋 동기화기 구조를 나타내면 그림 10과 같다. 제안된 그림 10의 구조에서 체배부 설계는 구한  $\theta$ 를 체배하는 간단한 하드웨어로 구성되므로 이에 대한 언급은 생략하였다.

#### IV. 구현 및 고찰

##### 1. Verilog-HDL 시뮬레이션

제안구조를 검증하기 위하여 Matlab을 사용하여 그림 11과 같이 프리앰블 신호 중 일부를 만들어서 시뮬레이션을 위한 테스트 벡터로 사용하였다.

즉, 16 샘플의 Short training symbol 3개와 32 샘플의 GI, 그리고 64 샘플의 Long training symbol 2개 등으로 구성된 총 208개의 프리앰블 신호를 만들고 이 프리앰블에 대하여 임의의 주파수 오프셋을 추가하여 시뮬레이션을 위한 샘플로 사용하였다.  $s_8$ 에서부터  $s_{10}$ 까지의 Short training symbol을 사용하여 대략 주파수 오프셋  $\theta$ 를 추정하였다. 이  $\theta$ 를 이용하여 GI와 Long training symbol  $l_1$ 과  $l_2$ 에서의 주파수 오프셋을 보상하였다. 이와 같이 파수 오프셋이 보상된  $l_1$ 과  $l_2$ 가 원래의 프

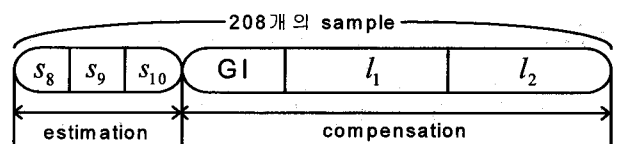


그림 11. 시뮬레이션에 이용된 테스트벡터  
 Fig. 11. Test vector used in simulation.

리앰블 테스트 벡터  $l_1$ 과  $l_2$ 와 같은지 비교하여 제안 구조가 주파수 옵셋을 보상할 수 있음을 검증하였다.

그림 3의 구조와 그림 10의 제안구조에 대하여 Verilog-HDL 시뮬레이션을 수행하였다. 즉, 각각의 구조에 대하여 RTL 코딩하고 Function Simulation으로 출력 값을 테스트 벡터와 비교하였다. 다음 절에서는 완성된 RTL코드로 Synthesis와 Pre-Simulation을 통하여 Front-end 칩 구현을 진행한 결과를 보여준다.

2. 칩 구현

이 절에서는 제안구조의 면적감소량을 비교하기 위하여 지난 절에서 시뮬레이션한 두 구조에 대하여 칩 구현을 진행하였다. 먼저 Front-end 작업을 위하여 Synopsys Design Compiler 합성 툴을 사용하여 각각의 구조를 합성하여 구조에 대한 면적을 비교하였다. 칩 구현을 위한 공정은 Chartered 0.18um Logic Process 1P5M 공정을 사용하였다. 각 구조 마다 동일한 제한조건을 적용하여 합성한 면적비교는 표 1과 같다.

Chartered 공정에서 제공하는 Reference library를 추

표 1. 제안구조의 면적비교

Table 1. Gate count comparison for proposed structure.

구분		기존구조 (그림 3)	제안구조 (그림 10)
cell area	CORDIC	167,391	135,889
	Multipoier	180,282	-
	Total	347,673	135,889
면적비율		100%	39.1%

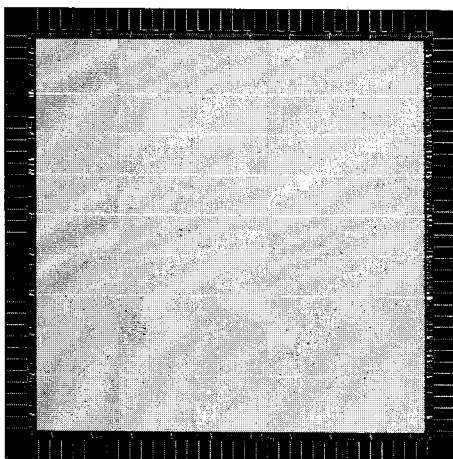


그림 12. 제안된 주파수 옵셋 동기화기의 레이아웃  
Fig. 12. Layout of the proposed frequency offset synchronization block.

가하여 Astro로 P&R을 수행하였으며 칩의 레이아웃은 다음 그림 12와 같다.

그림 12의 구현된 MPW 칩의 크기는 5×5mm이며, 208핀의 QFP 패키지로 칩을 구현하였다.

VI. 결 론

이 논문에서는 프리앰블 신호를 이용한 반송파 주파수 옵셋의 추정 및 보상 블록에 대한 저전력 구조를 제안하였다. 기존 방식들은 CORDIC 벡터 모드를 이용하여  $\theta$ 를 추정한 후에 그 결과 값을 이용하여 다시 CORDIC 회전 모드를 사용하여 보상해야할  $\cos\theta$ 와  $\sin\theta$ 를 구하고 Complex Multiplier에서 곱셈연산을 통하여 보상을 해주는 방식이다. 제안구조는 CORDIC 하드웨어 1개를 사용하여 추정부, 삼각함수부, Complex Multiplier 등의 3개의 기능을 수행함으로써 저전력의 주파수 옵셋 동기화기 구조를 얻을 수 있었다. Front-end 구현을 통하여 제안된 구조가 기존구조와 비교하여 60.9%의 면적이 감소됨을 보였으며 칩구현 결과를 나타내었다.

참 고 문 헌

- [1] J. Granado, A. Torralba, J. Chavez, and V. Baena-Lecuyer, "Design of an efficient CORDIC-based architecture for synchronization in OFDM," IEEE Trans. Consum. Electron., vol. 53, No. 3, pp. 774-782, Aug. 2006.
- [2] A. R. S. Bahai, B. R. Saltzberg, and M. Ergen, "Multi-Carrier Digital Communications: Theory and Applications of OFDM", Springer, New York, 2004.
- [3] K. I. Lee, J. Kim, J. Lee, and Y. S. Cho "A Compact CORDIC Algorithm for Synchronization of Carrier Frequency Offset in OFDM Modems," IEICE Trans. Commun., vol. E89-B, no. 3, pp. 952-954, Mar. 2006.
- [4] <http://iee802.org/11/>
- [5] J. J. van de Beek, M. Sandell, and P. O. Borjesson, "ML estimation of time and frequency offset in OFDM systems," IEEE Trans. Signal Process., vol. 45, no. 7, pp. 1800-1805, Jul. 1997.
- [6] J. E. Volder, "The CORDIC trigonometric computing technique," IRE Trans. Electron. Comput., vol. EC-8, no. 3, pp. 330-334, 1959.
- [7] Y. H. Hu, "CORDIC-based VLSI architectures

for digital signal processing," IEEE Signal Process. Mag., vol.9, pp. 17-35, Jul. 1992.

- [8] Z. R. Cheng, M. Gao, L. Li, D. Zhang, and Y. Song, "A design of modified CORDIC-based cosine and sine generator." IEEE 5th International Conference on ASIC, vol.2, pp. 765-768, Oct. 2003.

---

저 자 소 개

---



**장 영 범**(정회원)

1981년 연세대학교 전기공학과  
졸업.(공학사)

1990년 Polytechnic University  
대학원 졸업.(공학석사)

1994년 Polytechnic University  
대학원 졸업.(공학박사)

1981년~1999년 삼성전자 System LSI 사업부  
수석연구원.

2000년~2002년 이화여자대학교 정보통신학과  
연구교수.

2002년~현재 상명대학교 정보통신공학과 교수.

<주관심분야 : 통신신호처리, 비디오신호처리,  
SoC 설계>



**한 재 응**(학생회원)

2007년 상명대학교 정보통신  
공학과 졸업.(공학사)

2009년 상명대학교 컴퓨터정보  
통신공학과 대학원졸업.  
(공학석사)

2009년~현재 (주)코메스타  
주임연구원

<주관심분야 : 통신신호처리, SoC설계>



**홍 대 기**(정회원)

2003년 연세대학교 전자공학과  
대학원 졸업.(공학박사)

2002년~2006년 전자부품연구원  
선임 연구원.

2006년~현재 상명대학교  
정보통신공학과 교수.

<주관심분야 : Digital and Wireless Communi-  
cation, WPAN>