

논문 2009-46SD-2-10

# 차동 연결된 Varactor를 이용한 6Gbps CMOS 피드포워드 이퀄라이저

( A 6Gbps CMOS Feed-Forward Equalizer Using A  
Differentially-Connected Varactor )

문 용 삼\*

( Yongsam Moon )

## 요 약

0.13- $\mu\text{m}$  CMOS 공정을 이용하여 3GHz에서 6.2dB의 gain을 갖는 피드포워드 이퀄라이저를 구현하고 14.7dB의 감쇄를 갖는 7-m SATA 케이블을 통해 6Gbps의 데이터를 에러 없이 복원하였다. 제안한 이퀄라이저 회로는 varactor의 차동 연결을 통해서 기존 이퀄라이저에서 사용되는 varactor 면적의 1/4만을 사용하도록 설계되어 pad-frame에 집적할 수 있을 뿐만 아니라, 높은 동작 주파수 및 3.6mW의 낮은 전력 소모를 유지할 수 있다.

## Abstract

A 6-Gbps feed-forward equalizer having a 6.2-dB gain at 3GHz is designed in 0.13- $\mu\text{m}$  CMOS technology and the equalizer helps error-free data recovery over a 7-m SATA cable with 14.7dB loss. Based on a differentially-connected varactor, the proposed equalizer uses only a one-fourth varactor size of a conventional equalizer, which enables the equalizer's integration in a pad-frame, high operating frequency, and low power dissipation of 3.6mW.

**Keywords :** feed-forward equalizer, channel equalization, varactor, clock and data recovery, frequency response

## I. 서 론

업계 표준의 데이터 전송 속도가 2.5Gbps와 3Gbps 대역을 지나 5Gbps와 6Gbps로 두 배가 되었다<sup>[1-2]</sup>. 이에 따라, 케이블이나 PCB의 주파수 응답 손실이 더욱 커져 신호의 왜곡이 심화되었다. 이를 극복하기 위해, 업계는 송신단의 pre-emphasis를 표준화하였고<sup>[1]</sup> 수신단에 이퀄라이저를 장착하기 시작했다.

그림 1은 6Gbps 수신단의 블록 다이어그램을 보여 주고 있다. 다중 위상 클록(multi-phase clock)을 사용하면, clock-and-data recovery (CDR)의 동작 주파수를

낮출 수 있다. 하지만, 이퀄라이저는 Nyquist 주파수인 3GHz까지 동작해야 하므로 회로의 구성, 배치, 및 레이아웃 등이 모두 중요하다. 이퀄라이저의 기생 커패시턴스를 줄이기 위해서 이퀄라이저를 termination 저항, ESD 회로, 그리고 power/GND pad 등과 한 pad frame에 집적하는 것이 바람직하다. 이를 위해서 이퀄라이저의 면적을 최소화하여야 한다.

본 논문은 6Gbps 고속 이퀄라이저를 제안한다. 제안하는 이퀄라이저의 고주파 신호 증폭은 capacitive degeneration에 의해 수행되는데, 그 증폭치는 MOS varactor의 커패시턴스에 의해 조절된다. 제안하는 이퀄라이저를 기존의 것과 비교할 때, MOS varactor의 면적은 1/4 정도에 불과하지만, 증폭치는 거의 동일하다.

본 논문에서는 제안하는 이퀄라이저의 회로에 대해

\* 정회원, 실리콘이미지(주), 현재 삼성전자(주)  
(Silicon Image Inc., currently with Samsung  
Electronics Co., LTD.)

접수일자: 2008년12월28일, 수정완료일: 2009년2월2일

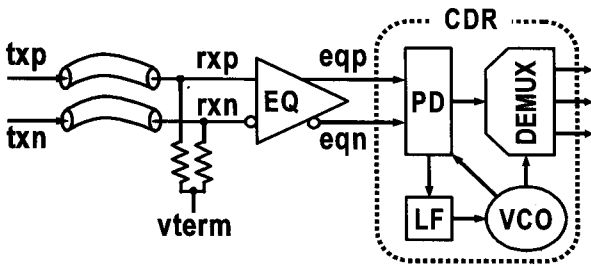


그림 1. 6Gbps 수신단의 블록 다이어그램  
Fig. 1. Block Diagram of 6Gbps receiver.

설명하고 시뮬레이션을 통해 회로의 특성을 살펴본다. 그리고 Serial ATA (SATA) connector와 7-m SATA 케이블의 SPICE 모델링을 이용한 시뮬레이션을 통해서 cable equalization 특성을 살펴보고, 동일한 setup에서의 측정결과 또한 살펴본다.

## II. 본 론

신호의 주파수가 채널의 대역폭을 훨씬 넘어감에 따라 신호의 감쇄가 심해져서 데이터의 eye가 닫히게 된다. 즉, 데이터 eye의 중앙이 폭(시간)과 높이(amplitude)에서 모두 줄어든다. 이와 같이 eye가 닫히게 되면, CDR의 jitter tolerance 및 입력 sampler의 민감도(sensitivity)가 아무리 크다 하더라도, bit-error rate (BER)가 증가하게 된다. 이러한 문제를 극복하기 위해 많은 피드포워드 이퀄라이저 (feed-forward equalizer, FFE)가 고속의 수신단을 위해 개발되었다<sup>[3-11]</sup>. 이들 이퀄라이저들은 신호의 고주파 성분을 증폭하여 채널에서의 고주파 감쇄를 보상하고 전체 주파수 전달 특성을 일정하게 한다. 고주파 증폭을 위해 MOS varactor에 기반을 둔 capacitive degeneration 기법이 널리 사용되고 있다<sup>[5, 8-9, 11]</sup>.

우선, 분리 경로 (separate path) 구조를 갖는 이퀄라이저를 살펴보도록 한다. 두개의 서로 다른 증폭기의 출력을 공유하되 각 증폭기의 tail current를 조절함으로써 증폭치를 변경할 수 있다<sup>[8, 11]</sup>. 여기서, 첫 번째 증폭기는 고주파 증폭 경로의 역할을, 다른 증폭기는 저주파 flat-gain 경로의 역할을 수행한다. 이를 분리 경로 구조라고 부를 수 있다. 이 구조와 비교할 때, 결합 경로 (merged path) 구조는 뚜렷한 장점을 가지고 있다<sup>[5, 9]</sup>. 단 하나의 증폭기를 사용하기 때문에 면적이 작고, 기생 커패시턴스가 작아서 좀더 높은 주파수에서의 동작이 가능하며, 두 경로 사이의 경로 delay가 자연적으

로 일치하게 된다<sup>[5]</sup>. 결합 경로 구조를 좀 더 자세히 살펴보고 면적을 더 줄인 회로를 제안하기로 한다.

### 1. 기존의 결합 경로 이퀄라이저와 면적의 문제

그림 2(a)는 결합 경로 구조를 가진 기존의 이퀄라이저 회로를 보여주고 있다<sup>[5]</sup>. 저주파의 대역의 전압이득은 source-degeneration 트랜지스터 M1에 의해 조절되는 반면에 고주파의 증폭은 MOS varactor의 gate-to-source 전압  $V_{GS}$ 에 의해 조절된다.

Varactor의 source와 drain사이의 저항 성분을 줄이고 Q factor를 크게 하기 위해, 0.13-um CMOS 공정에서 0.5um의 gate length를 선택하는 것이 일반적이다. 하지만, n+ diffusion과 n-well의 contact들이 varactor의 단위 소자 사이마다 존재하기 때문에 varactor의 면적이 매우 크다<sup>[12]</sup>. 게다가, 그림 2(b)에서 보듯이,  $V_{GS}$ 가 충분히 큰 경우에만 varactor의 커패시턴스  $C_{var}$ 은 자신의 최댓값에 도달한다<sup>[12]</sup>. 그러나 varactor의 gate에 해당하는 kp와 kn 노드의 전압은 0.3V정도로 낮아서,  $C_{var}$ 이 최댓값에 도달하지 못한다. 시뮬레이션 결과에 의하면, 6dB의 증폭치를 얻기 위해서는 2pF이상의 커패시턴스가 필요하다. 비록, 하나의 단일 경로로 이루어진 이퀄라이저를 사용한다 하더라도 그 면적이 너무 커서 pad frame에 집적하기는 어렵다.

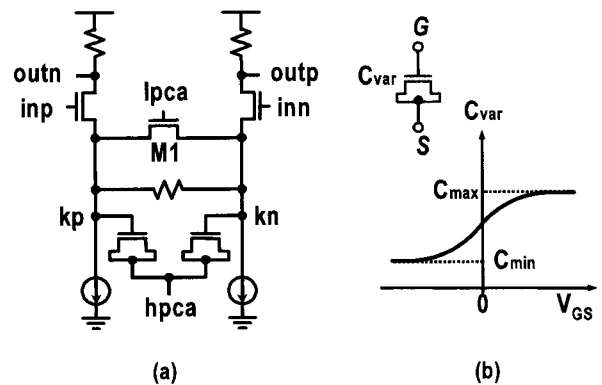


그림 2. (a) 기존 결합 경로 이퀄라이저 및  
(b) MOS varactor의 커패시턴스

Fig. 2. (a) Conventional merged-path equalizer and  
(b) MOS varactor's capacitance.

### 2. 제안하는 이퀄라이저와 면적 축소

그림 3(a)은 제안하는 이퀄라이저 회로를 보여주고 있다. 저주파 대역의 전압이득은  $lpc[0:N-1]$ 에 의해 조절되는 저항에 따라 변한다. 고주파 대역의 증폭은

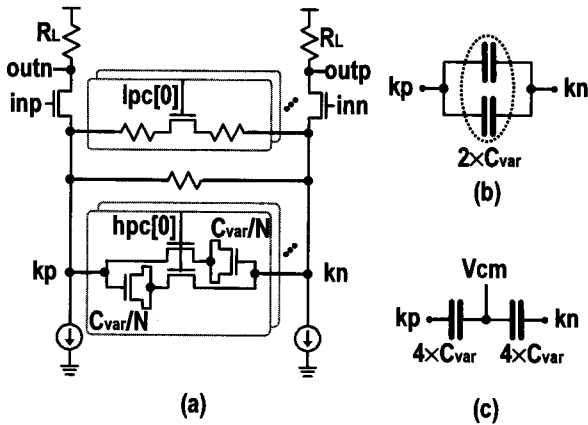


그림 3. (a) 제안하는 이퀄라이저 회로, (b) 차동 연결에서의 최대 커패시턴스 ( $2 \cdot C_{var}$ ), 및 (c) 가상 common-mode 전압과의 연결을 고려할 때 최대 커패시턴스 ( $4 \cdot C_{var}$ )  
 Fig. 3. (a) Proposed equalizer circuit, (b) maximum capacitance ( $2 \cdot C_{var}$ ) in differential connection, and (c) maximum capacitance ( $4 \cdot C_{var}$ ) in connection with a virtual common-mode voltage.

hpc[0:N-1]에 의해 조절되는 커패시턴스에 따라 변한다. 제어 신호인 lpc와 hpc가 thermometer code로 구성되어 있어서 glitch를 최소화할 수 있다.

본 설계에서는 adaptation servo loop를 포함하지 않고 대신에 MAC layer와 같은 상위 layer에서 제어 신호를 갱신하거나, 외부 세팅에 의해 조절하는 것으로 가정한다. 다행스럽게도, 제어 신호인 lpc와 hpc의 최적의 code값을 케이블 길이에 따라 제공할 수 있다면, adaptation servo loop보다도 좋은 특성을 얻을 수 있다. 왜냐하면 adaptation servo loop는 local optimum이 아닌 원하지 않는 상태에 쉽게 빠질 수 있기 때문이다.

이제부터, 면적 축소에 관하여 살펴보기로 한다. 그림 3(a)에서 보는 바와 같이, 총  $2 \cdot C_{var}$ 의 커패시턴스가 N개로 쪼개져 구성되어 있다. 모든 hpc 비트가 '1'이라면, 그림 3(b)과 같이, switch-C 네트워크가 최댓값  $2 \cdot C_{var}$ 를 가지게 된다. 커패시터가 차동 연결되어 있으므로 만약 가상의 common-mode 전압( $V_{cm}$ )을 추가하게 되면, 그림 3(c)과 같이 다시 그릴 수 있게 된다. 그림 3(c)을 그림 2(a)와 비교해 보면, 같은 물리적 면적의 커패시터를 이용하여 사실상 4배나 큰 커패시턴스의 효과를 가짐을 알 수 있다. 다시 말하자면, 제안하는 이퀄라이저의 varactor는 기존의 것과 비교하여 단지 1/4 크기인 0.5pF만을 사용하여도 동일한 고주파 증폭치를 갖는다. 전술했던 바와 같이, varactor가 이퀄라이저의 대부분의 면적을 차지하기 때문에, 이와 같이 면적을 줄

이면 pad frame에 집적이 가능하게 된다. Gate가 hpc에 연결되어 switch로서 사용된 MOS 트랜지스터는 최소의 gate-length를 가지므로 turn-on 저항은 무시할 만하다.

3. 이퀄라이저의 주파수 응답 특성

$$|A_v| \approx \left| \frac{g_m R_L}{1 + g_m Z_S} \cdot \frac{1}{1 + s/w_{p1}} \right| \tag{1}$$

$$Z_S = R_S // \frac{1}{s C_S}$$

그림 4의 시뮬레이션 결과는 그림 3(a) 회로의 주파수 응답 특성을 보여 준다. 그림 4의 주파수 응답 특성 그래프는 대략 수식 (1)을 따른다. 그림 4는 제어 신호인 lpc와 hpc의 조절에 따라 총 네 가지의 서로 다른 curve을 예시하고 있다. 예를 들어 lpc[0:N-1]을 모두 '1'로 하면 source degeneration 저항  $R_S$ 가 최소가 되고 이에 따라 그림 4상에 표시한 바와 같이 저주파 gain이 최대가 된다. 반대로, lpc를 모두 '0'으로 하면, 저주파 gain이 최소가 된다. 이와 같이 저주파 gain은 lpc와 관련되어 있으며, hpc와는 거의 무관하다. 반면에 고주파 증폭치는 hpc와 밀접한 관련이 있다. hpc[0:N-1]가 모두 '1'이면 source degeneration 커패시턴스  $C_S$ 가 최대가 되는데 그림 4상에 표시한 바와 같이 고주파 증폭치가 최대가 된다. 최대 증폭치는 3.2GHz에서 6.2dB이다. 반대로, hpc를 모두 '0'으로 하면, 고주파 증폭치가 최소가 된다. 다소 큰 값의 lpc와 최소 hpc를 사용한 curve는 감쇄가 거의 없는 짧은 케이블을 위해 활용할 수 있고, 최소의 lpc와 최대의 hpc를 사용한 curve는 감쇄가

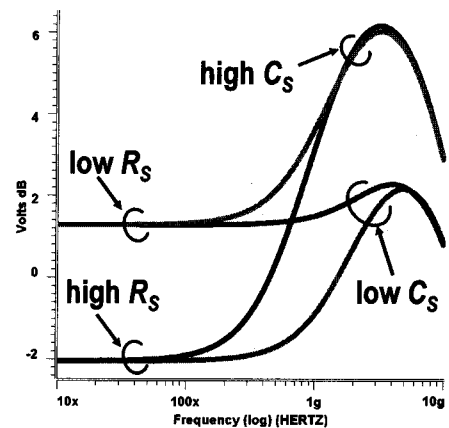


그림 4. 이퀄라이저의 주파수 응답 시뮬레이션  
 Fig. 4. Simulated frequency response of the equalizer.

심한 긴 길이의 케이블을 위해 선택할 수 있다.

이퀄라이저의 주파수 응답 특성은 그림 4와 같이 최대 점을 지나면 주파수가 증가할수록 gain이 떨어진다. 이와 같은 현상은 수식(1)에서도 표현한 바와 같이 회로 상에 존재하는 기생 pole ( $w_{p1}$ ) 때문이다. 기생 커패시턴스를 줄여야 기생 pole이 Nyquist 주파수보다 더 높은 주파수 대역에 존재하게 만들 수 있다. 그러므로 이퀄라이저 설계 시에 작은 면적을 차지하는 회로를 선택하여야 한다. 이와 함께 중요 노드의 기생 커패시턴스를 최소로 유지하기 위해서 레이아웃에 유의하여야 한다.

#### 4. Cable Equalization

케이블은 고주파뿐만 아니라 저주파 감쇄를 동시에 가지고 있다. 그리고 감쇄는 케이블 길이에 따라 증가한다. 하지만, 길이가 긴 케이블이라고 해서 이퀄라이저의 저주파와 고주파 gain을 모두 크게 하는 것은 좋은 방법이 아니다. 저주파 gain을 작게 하는 반면에 고주파 gain만을 크게 하는 것이 바람직하다. 즉, 최소의 lpc와 최대의 hpc를 사용하는 것이 전체 주파수 응답 특성을 좀 더 높은 주파수까지 일정하게 유지할 수 있다. 그

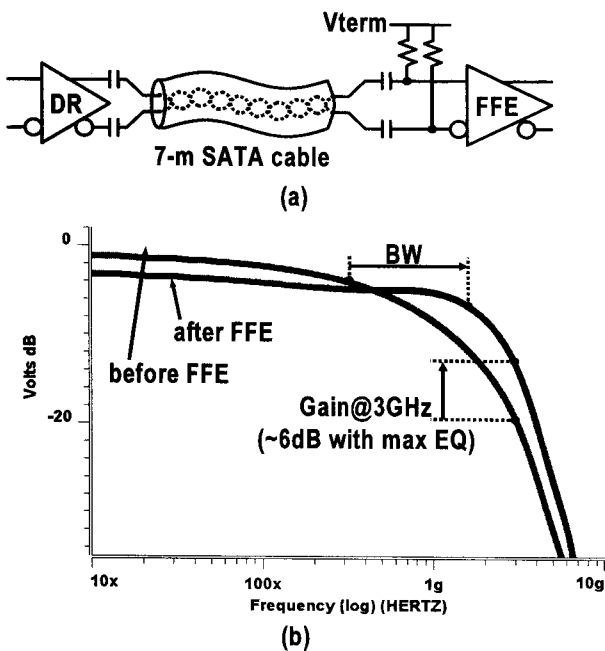
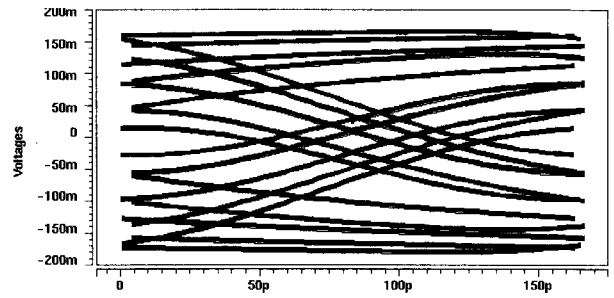
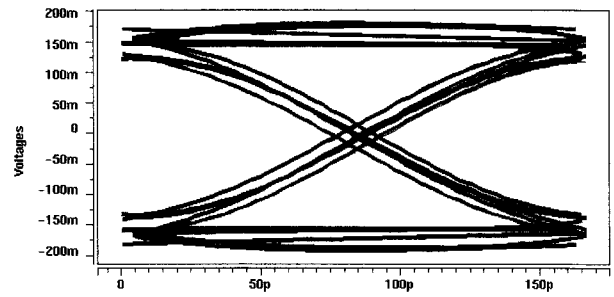


그림 5. (a) 7-m SATA 케이블과 이퀄라이저를 이용한 채널 모델링 및 (b) 이퀄라이저의 전후의 주파수 응답 시뮬레이션

Fig. 5. (a) Channel modeling with 7-m SATA cable and the equalizer and (b) simulated frequency response before and after the equalizer.



(a)



(b)

그림 6. +/-K28.5 패턴 전송할 때 eye opening : (a) 이퀄라이저 이전 및 (b) 이퀄라이저 이후

Fig. 6. Eye opening when +/-K28.5 patterns are transmitted : (a) before the equalizer and (b) after the equalizer.

림 5(a)는 SPICE 시뮬레이션을 위한 모델링으로서, 7-m SATA 케이블, SATA connector 및 이퀄라이저를 포함하고 있다. 최대로 equalization을 했을 때 즉, 최소의 lpc와 최대의 hpc를 사용했을 때, 3GHz에서 6.16dB의 gain을 가지며 -3dB bandwidth는 0.34GHz에서 1.43GHz로 1GHz 이상 증가한다.

그림 5(a)의 시뮬레이션 모델링을 이용하여 +/-K28.5 패턴 (0011111010과 1100000101)을 번갈아 7-m 케이블을 통해 전송하였다. 입력 신호는 500mV의 peak-to-peak differential amplitude을 가진다. 그러나 그림 6(a)과 같이 케이블 끝부분에서의 신호는 심하게 왜곡되어 eye opening이 50mV도 안된다. 이와 같은 작은 eye opening을 가지고, CDR 동작을 하기 위해서는 sampler의 민감도가 50mV보다 작아야 하는데 sampler의 mismatch 때문에 이 값을 달성하기 어렵다. 반면에 최대로 equalization을 했을 때, 이퀄라이저 출력의 eye opening은 그림 6(b)와 같이 250mV보다 크게 된다. 따라서 수신단은 안정적인 CDR 동작을 구현할 수 있게 된다.

### III. 실험

Prototype 칩은 1-poly 6-metal 0.13- $\mu\text{m}$  dual-gate CMOS 공정을 이용하여 설계하였다<sup>[13]</sup>. 그림 7은 이퀄라이저를 포함하는 송수신단의 칩 사진을 보여준다. 이퀄라이저의 면적은  $90\mu\text{m} \times 60\mu\text{m}$ 이다. Varactor만의 면적은 전체 이퀄라이저 면적의 약 1/3이다. 칩의 공급 전압은 1.2V이며, 이 때 이퀄라이저의 소모전류는 3mA이다.

그림 5(a)와 같이 테스트 환경을 구축하고 SATA connector와 7-m SATA 케이블을 송신기와 수신기 사이에 배치하였다. 그림 8은 매우 중요한 채널의 응답 특성인 differential insertion loss, SDD21을 보여 주는데, 측정을 위해 4-port vector network analyzer를 이용하였다. 또한, 측정 결과는 채널이 3GHz에서 14.7dB의 감쇄를 가짐을 보여준다. 송신기의 드라이버 단에서 측정된 데이터 파형은 그림 9(a)와 같이 6Gbps의 깨끗한 eye를 갖는다. 하지만, 수신기의 입력에서 잦 데이터

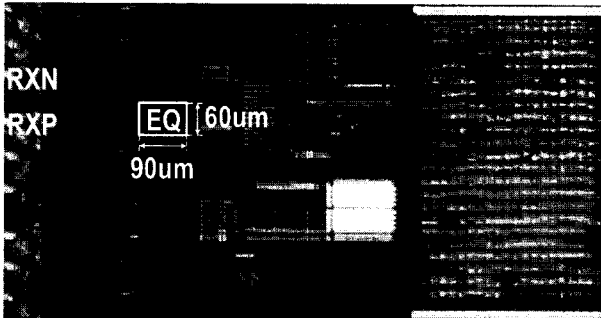


그림 7. 칩 사진  
Fig. 7. Chip micrograph.

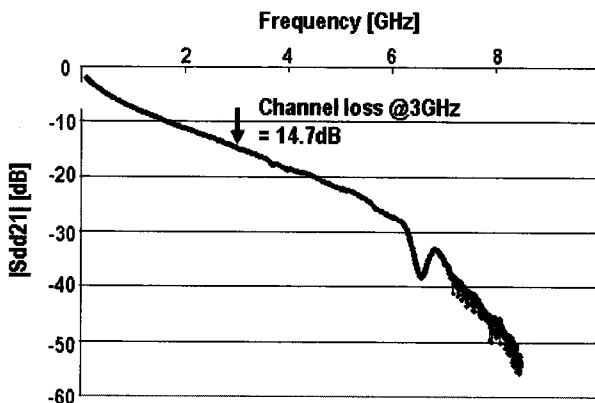


그림 8. SATA connector와 7-m SATA 케이블의 채널 특성  
Fig. 8. Channel response of SATA connector and 7-m SATA cable.

표 1. 이퀄라이저 성능 요약

Table 1. Equalizer performance summary.

Process	1P6M 0.13- $\mu\text{m}$ dual-gate CMOS
Supply Voltage	1.2V
Data rate	6Gbps
Channel 구성	SATA connector + 7-m SATA cable
Channel loss	14.7dB @3GHz
Equalizer Gain	6.20dB @ 3.2GHz (Peak) 6.16dB @ 3GHz
Equalizer Current	3mA
Equalizer Size	$90\mu\text{m} \times 60\mu\text{m}$
Varactor Size	$60\mu\text{m} \times 32\mu\text{m}$ (equalizer size의 약 1/3)

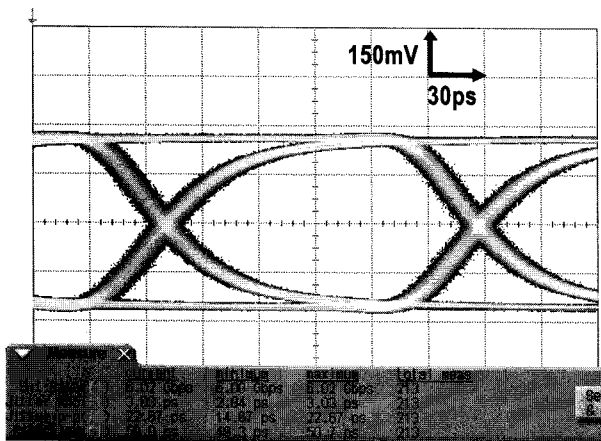
표 2. 이퀄라이저 성능 비교

Table 2. Equalizer performance comparison.

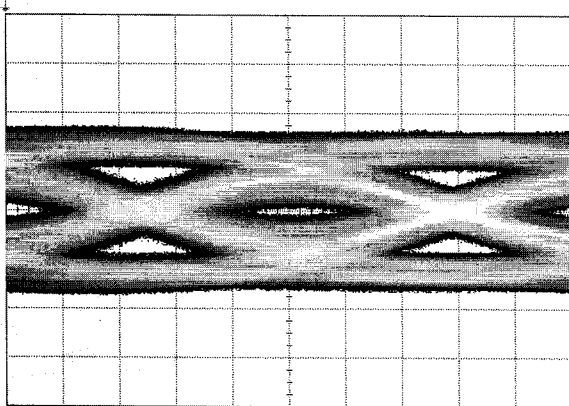
파라미터	[11]	[5]	[9]	this work
공정	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$	0.13 $\mu\text{m}$	0.13 $\mu\text{m}$
증폭기 구조	분리경로구조	결합경로구조	결합경로구조	결합경로구조
Varactor의 연결	common-mode 연결	common-mode 연결	common-mode 연결	차동 연결
Spiral inductor	포함	불포함	포함	불포함
Adaptation servo loop	포함	포함	포함	불포함
Cable 종류	34-in backplane	15m RG-58 Coaxial	30-in FR4	7m SATA
동작속도	10Gbps	3.5Gbps	10Gbps	6Gbps
Equalizer 면적	$0.56\text{mm}^2$	$0.35\text{mm}^2$	$0.16\text{mm}^2$	$0.0054\text{mm}^2$
소비전력	10mW	80mW	16-25mW	3.6mW

파형은 그림 9(b)와 같이 거의 닫힌 eye를 갖게 되는데, 이는 채널에서의 심각한 왜곡현상을 나타낸다. 하지만, 수신단의 이퀄라이저 덕분에 수신기는 데이터를 예러 없이 복원하며 BER은  $10^{-14}$ 보다 작게 유지된다. 이퀄라이저 성능을 표 1에 요약하였다.

표 2는 최근 발표된 이퀄라이저 회로들과의 성능 비교를 보여준다. 10Gbps의 전송 속도를 내는 이퀄라이저의 경우에는 -3dB bandwidth를 크게 하기 위해 spiral inductor를 사용하는데 하지만 이 spiral inductor가 면적을 크게 하는 한 요인이 된다<sup>[9, 11]</sup>. 제안한 이퀄라이저의 면적이 가장 작지만, adaptation servo loop 및 spiral inductor를 포함하지 않기 때문에 공평한 비교가 되기는 힘들다. 다만, adaptation servo loop 및 spiral inductor를 포함하지 않았다고 해도, 결합 경로 구조와 varactor의 차동 연결을 함께 사용하지 않았다면, 한 pad-frame에 집적할 수 없었다. 결론적으로,



(a)



(b)

그림 9. (a) 6Gbps 송신단 eye 및 (b) 채널을 지난 이후 수신단의 eye

Fig. 9. (a) 6Gbps transmitter eye and (b) receiver eye after channel.

varactor를 차동 연결하여 varactor 면적을 1/4로 줄였기 때문에 한 pad-frame에 집적할 수 있었고 이에 대한 부산물로서 높은 동작 주파수 및 낮은 전력 소모를 유지할 수 있었다.

#### IV. 결 론

본 논문은 7-m SATA 케이블 채널 통신을 위한 아날로그 증폭기 형태의 6Gbps 이퀄라이저 회로를 0.13um CMOS 공정을 이용하여 구현하였다. 3GHz에서 14.7dB의 감쇄를 갖는 채널 특성에 의해 eye가 거의 닫히게 되지만, 6.2dB의 gain을 갖는 이퀄라이저의 덕분에 데이터를 에러 없이 복원할 수 있었다. 제안한 이퀄라이저 회로는 varactor의 차동 연결을 통해 기존 이퀄라이저와 비교하여 1/4의 varactor 면적만을 이용하도

록 설계되어 pad-frame에 집적할 수 있을 뿐만 아니라, 높은 동작 주파수 및 3.6mW의 낮은 전력 소모를 유지할 수 있다.

#### 참 고 문 헌

- [1] PCI Express Base Specification Rev. 2.0, Feb. 2007.
- [2] Serial ATA Workgroup, "Serial ATA II: Electrical Specification," Rev. 2.6, Feb. 2007.
- [3] A. J. Baker, "An Adaptive Cable Equalizer for Serial Digital Video Rates to 400Mb/s," in *IEEE ISSCC Dig. Tech. Papers*, pp. 174-175, Feb 1996.
- [4] J. N. Babanezhad, "A 3.3V Analog Adaptive Line-Equalizer for Fast Ethernet Data Communication," *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 343-346, May 1998.
- [5] J.-S. Choi, M.-S. Hwang, and D.-K. Jeong, "A 0.18um CMOS 3.5-Gb/s Continuous-time Adaptive Cable Equalizer Using Enhanced Low-Frequency Gain Method," *IEEE J. Solid-State Circuits*, vol. 39, pp. 419-425, March 2004.
- [6] G. Zhang, P. Chaudhari, and M. M. Green, "A BiCMOS 10Gb/s Adaptive Cable Equalizer," *IEEE ISSCC Dig. Tech. Papers*, pp. 482-483, Feb 2004.
- [7] Y. Tomita, M. Kibune, J. Ogawa, W. W. Walker, H. Tamura, and T. Kuroda, "A 10Gb/s Receiver with Equalizer and On-chip ISI Monitor in 0.11um CMOS," *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 202-205, June 2004.
- [8] M. Sorna, T. Beukema, K. Selander, S. Zier, B. Ji, P. Murfet, J. Mason, W. Rhee, H. Ainspan, and B. Parker, "A 6.4Gb/s CMOS SerDes Core with Feedforward and Decision-Feedback Equalization," *IEEE ISSCC Dig. Tech. Papers*, pp. 62-63, Feb 2005.
- [9] S. Gondi, J. Lee, D. Takeuchi, and B. Razavi, "A 10Gb/s CMOS Adaptive Equalizer for Backplane Applications," *IEEE ISSCC Dig. Tech. Papers*, pp. 328-329, Feb 2005.
- [10] 이기혁, 성장경, 최우영, "위상 검출기 출력을 이용한 백플레인용 5Gbps CMOS 적응형 피드포워드 이퀄라이저," *전자공학회논문지*, 제44권 SD편, 제5호, 50-57쪽, 2007년 5월
- [11] 유귀성, 한건희, 박성민, "백플레인용 10Gbps 아날로그 어댑티브 이퀄라이저," *전자공학회논문지*, 제 44권 SD편, 제9호, 34-39쪽, 2007년 9월
- [12] A.-S. Porret, T. Melly, C. C. Enz, and E. A.

Vittoz, "Design of High- $Q$  Varactors for Low-Power Wireless Applications Using a Standard CMOS Process," *IEEE J. Solid-State Circuits*, vol. 35, pp. 337-345, March 2000.

- [13] Y. Moon, G. Ahn, H. Choi, N. Kim, and D. Shim, "A Quad 6Gb/s Multi-rate CMOS Transceiver with TX Rise/Fall-Time Control," *IEEE ISSCC Dig. Tech. Papers*, pp. 84-85, Feb 2006.

---

— 저 자 소 개 —

---



문 용 삼(정회원)

1994년 서울대학교 전자공학과  
학사졸업

1996년 서울대학교 전자공학과  
석사졸업

2001년 서울대학교 전기공학부  
박사졸업

2001년 서울대학교 반도체공동연구소 연구원

2002년 실리콘이미지 연구원

2009년 현재 삼성전자 메모리사업부 연구원

<주관심분야 : 고속 인터페이스 회로 설계, 클럭  
및 데이터 복원 회로 설계, 메모리 회로 설계>