

논문 2009-46SD-2-9

622Mbps급 광 통신망용 버스트모드 클럭/데이터 복원회로 설계

(Design of Clock and Data Recovery Circuit for 622Mbps Optical
Network)

문 성 용*, 이 성 철*, 문 규**

(Sung-Young Moon, Sung-Chul Lee, and Gyu Moon)

요 약

본 논문에서는 빠른 Acquisition time을 갖는 새로운 구조의 수동형 광 통신망에서 쓰이는 버스트 모드 수신기용 622Mbps급 클럭/데이터 복원회로를 제안하고, 이를 구현하였다. 제안된 회로는 CDR(Clock and Data Recovery) 블록과 PLL(Phase Locked Loop) 블록으로 나뉘며, CDR 블록은 클럭이 입력 데이터에 연동되어 지터가 내제된 입력 데이터에도 항상 최적의 샘플링 시점을 갖도록 설계하였다. PLL블록은 Multi-phase generation VCO를 통해 위상이 서로 다른 8개의 클럭을 CDR블록에 제공한다. 제안된 회로는 0.35 μ m CMOS 공정을 이용하여 설계 및 레이아웃을 하였고, 시뮬레이션을 위해 2⁷-1 PRBS 입력데이터를 사용하였다. 시뮬레이션 결과 Peak-to-Peak 지터는 17ps의 복원된 데이터 지터 특성을 가지며, 입력된 데이터는 손실없이 복원하는 것을 확인하였다.

Abstract

In this paper, a novel 622Mbps burst-mode clock and data recovery (CDR) circuit is proposed for passive optical network (PON) applications. The CDR circuit is composed of CDR(Clock and Data Recovery) block and PLL(Phase Locked Loop) block. Lock dynamics is accomplished on the first data transition and data are sampled in the optimal point. The CDR circuit is realized in 0.35 μ m CMOS process technology. With input pseudo-random bit sequences(PRBS) of 2⁷-1, the simulations show 17ps peak-to-peak retimed data jitter characteristics. The experimental results show that the proposed CDR circuits are operating as expected, recovering an incoming 622Mbps burst-mode input data without errors.

Keywords : Clock and Data Recovery(CDR), Phase-Locked Loop(PLL), Burst-mode, jitter, Passive Optical Network(PON)

I. 서 론

차세대 통신은 가입자들에게 많은 정보를 보다 빠르게 전송하고 가입자 망에서의 대역폭 병목현상을 제거하기 위하여 가입자단까지 광 선로를 설치하는 광 가입자망(Fiber To The X)을 요구하게 되었는데, 광 가입

자망의 가장 큰 문제점은 기존의 동선으로 이루어진 가입자망을 대체하는 드는 고비용이다. 따라서, 저비용의 광 가입자망 구축에 수동 전송 특성을 갖는 수동형 광 통신망(Passive Optical Network:PON)이 망 구성과 유지 측면에서 경제적이고 효율적인 광 가입자망 구현 방식으로서 고려되고 있다.

PON의 구조는 하나의 OLT(Optical Line Termination)에 수동소자(coupler)를 이용해 다수의 ONU(Optical Network Unit)를 점대 다점 방식으로 연결한 트리 구조의 분산 토폴리지를 형성한다.^[1] 이러한 광 다중접속은 광섬유 선을 시분할 다중접속(Time Division

* 학생회원, ** 정회원, 한림대학교 전자공학과
(Department of Electronic Engineering, Hallym University)

※ 본 논문은 한림대학교 전자공학과 누리사업의 지원으로 연구되었음.(교육부 05-(가)-B-(04))
접수일자: 2008년9월29일, 수정완료일: 2009년2월2일

Multiple Access)방식으로 공유하게 되므로 PON시스템 내의 데이터는 버스트 모드(Burst-Mode)로 송수신 되고 이에 따라 버스트 모드 광 수송신기에 대한 연구가 활발히 진행되고 있다.^[2]

PON 시스템에서 송신단은 동기를 맞추는 클럭을 제외한 데이터 정보만을 수신단으로 보내는 방식을 사용한다. 이때 수신단은 제한된 채널용량에 의해 왜곡된 신호를 정확히 복원하기 위해서 수신된 신호에 동기된 안정적인 클럭을 필요로 한다. 대용량의 정보 전송시 이러한 필요성은 더욱 커지게 되고 안정적인 클럭 발생기의 구성은 전체 시스템의 성능을 좌우하게 된다. 이에 따라, 높은 시스템 클럭을 제공하기 위한 위상 동기 회로(Phase-Locked Loop ; PLL) 및 높은 전송률로 전송되는 데이터로부터 클럭 신호를 추출하는 클럭/데이터 복원(Clock and Data recovery; CDR)회로에 관한 연구가 활발히 이루어지고 있다.^[3]

본 논문에서는 빠른 Acquisition time(1bit 이내)을 갖는 새로운 구조의 수동형 광 통신망에서 쓰이는 버스트 모드 수신기용 클럭/데이터 복원회로를 제안하고 이를 설계하였다. 제안한 구조에 대한 검증은 위해 0.35 μ m CMOS 공정을 이용하여 SPICE 시뮬레이션을 수행하였다. 본 논문의 구성은 II장에서 제안된 CDR회로의 구조와 동작원리를 설명하고, III장에서 회로의 시뮬레이션 결과를 보이며, IV장에서 결론을 맺는다.

II. 제안된 CDR회로의 구성과 동작원리

1. 전체 구조

클럭 및 데이터를 재생하는 방법에는 PLL을 이용하는 방법, 여러개의 클럭을 사용하여 Bit를 동기하는 방법, Resonator를 이용한 방법 등이 있다. 그 중 Bit 동기 방법은 위상이 서른 다른 여러 개의 클럭들 중 데이터의 위상과 일치하는 클럭을 선택하여 클럭을 재생하는 방법이며, 위상정렬의 속도가 빠른 장점이 있다.^[1]

본 논문에서는 Bit 동기방법을 이용하여 클럭/데이터 복원 회로를 설계하였으며, 제안한 클럭/데이터 복원 회로의 전체 블록도는 그림 1에 나타 내었다. 전체 회로는 입력 데이터를 받아 데이터와 클럭을 복원하는 블록(Decision)과 시스템 클럭을 제공하는 위상 동기 회로(Phase-Locked Loop)로 구성되어 있다.

위상 동기 회로는 주파수/위상 검출기(PFD)와 전하 펌프(Charge Pump), 루프필터(Loop Filter), 분주기

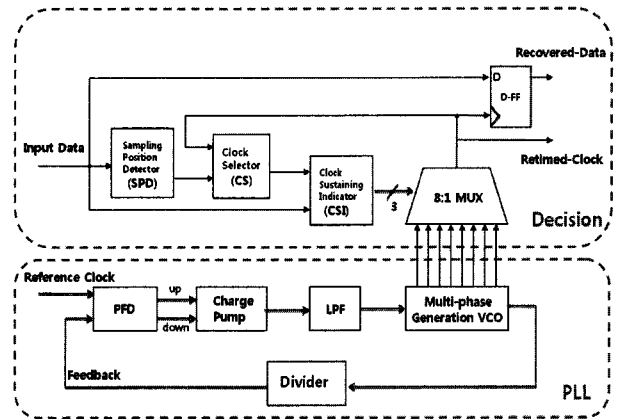


그림 1. 제안한 버스트 모드 클럭/데이터 복원회로
Fig. 1. Proposed Burst-mode Clock and Data Recovery Circuit.

(Divider) 그리고 8개의 서로 다른 위상의 클럭을 출력하는 다중 위상 발생 전압 제어 발진기(Multi-phase generation VCO)로 구성되어 있다. 다중 위상 발생 VCO는 4개의 지연 셀로 구성된 차동 링(ring) 발진기로 설계되었으며, 각 단계 8개의 출력은 0°, 45°, 90°, 135°, 180°, 225°, 270°, 315°로 45°의 위상간격을 두고 클럭을 발생시킨다. 분주기 회로는 64분주를 하여 다중 위상 발생 VCO 출력 주파수의 1/64에 해당하는 9.72MHz 기준주파수를 입력으로 64배인 622MHz로 Frequency multiplication을 하여 시스템 클럭을 제공하게 된다. 위상 동기 회로의 동기 범위는 290MHz - 673 MHz 가 되도록 설계하였으며 2차 루프필터를 이용하여 3차의 위상 동기 회로를 구성하였다.

클럭/데이터 복원회로의 Decision블록은 데이터의 천이 유무를 알려주고 최적의 샘플링 시점 정보를 제공하는 SPD(Sampling Position Detector), 최적의 샘플링 시점에서 클럭의 트리거 여부를 검출하여 클럭을 선택하는 CS(Clock Selector), 데이터의 천이없이 일정한 입력 데이터에도 항상 이전 클럭을 유지하는 CSI(Clock Sustaining Indicator), 8개의 클럭중 하나의 클럭을 선택하여 출력으로 내보내는 8:1 멀티플렉서와 복원된 데이터를 출력하는 D-Flip Flop으로 구성되어 있다.

2. 세부 구조

가. 샘플링 지점 검출기 (SPD)

그림 2는 최적의 샘플링 시점을 제공하는 SPD의 구조를 나타내었다. SPD는 입력 데이터 주기의 반주기(T/2)만큼 지연시키는 지연소자와 XOR로 구성되어 있

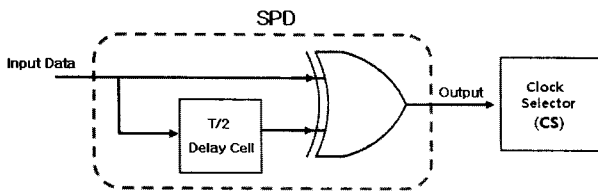


그림 2. SPD의 구조
Fig. 2. Structure of SPD.

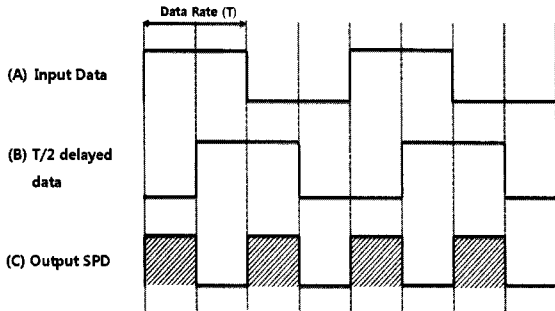


그림 3. SPD의 타이밍도
Fig. 3. Timing diagram of SPD.

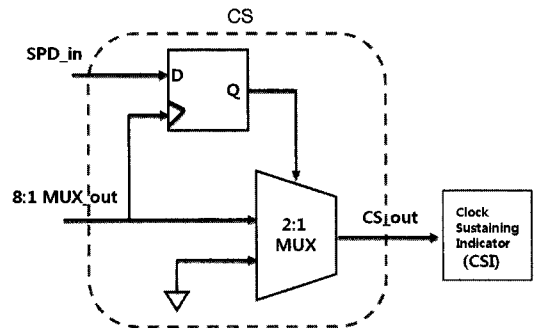
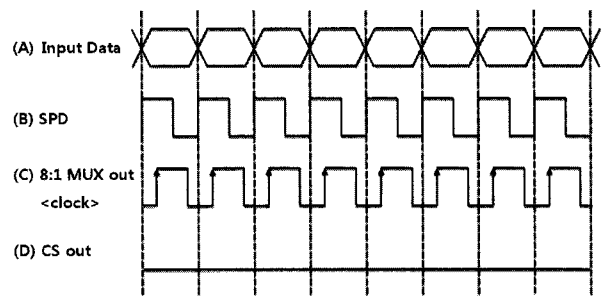
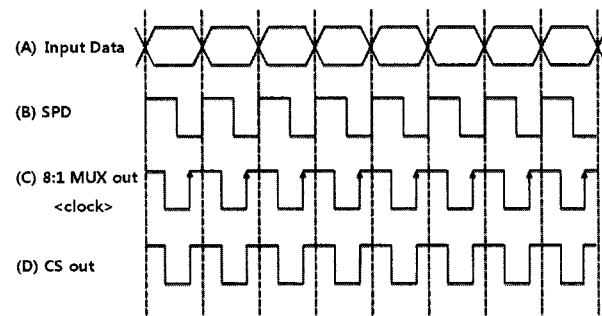


그림 4. CS의 구조
Fig. 4. Structure of CS.



(a)



(b)

그림 5. CS의 타이밍도 (a) 클럭이 SPD 내에서 트리거 된 경우 (b) 클럭이 SPD 내에서 트리거되지 못한 경우

Fig. 5. Timing diagram of CS (a) Case which clock becomes trigger in SPD (b) Case which clock doesn't become trigger in SPD.

며, 데이터의 천이가 있을 때마다 발생하고 천이가 없을 때는 발생하지 않는다.

T/2 지연 소자는 주어진 공정변수에 따른 반주기 지연 소자로서, 다수의 인버터를 직렬 연결하는 것으로 구성하였다. 이때 온도, 공정, 인가전압의 변화는 온도 변화 $-5\sim 70^{\circ}\text{C}$, 전압(3.3V기준) $\pm 0.3\text{V}$, 공정변수(문턱전압) $\pm 0.1\text{V}$ 까지 고려하였다.

그림 3은 SPD의 타이밍도를 나타낸 것으로 (A)는 입력데이터, (B)는 T/2만큼 지연된 입력 데이터, (C)는 XOR 게이트를 통한 SPD의 출력으로 CS에 연결되어 샘플링 시점의 정보를 제공하게 된다.

나. 클럭 선택기 (CS)

그림 4는 최적의 샘플링 시점에서 클럭의 트리거 여부를 검출하여 클럭을 결정하는 CS의 구조를 나타내었다. CS는 8:1 MUX에서 출력된 클럭이 최적의 샘플링 시점(SPD)내에서 트리거 되는지를 판단하고, 이를 다음 블록인 CSI의 입력으로 연결한다. 보는 바와 같이 8:1 MUX의 출력(clock)은 플립플롭의 입력 클럭으로 연결된다. 그리하여 최적의 시점 내에서 클럭이 트리거 된다면 플립플롭의 출력(Q)은 로직 "high"가 되며, 그렇지 않을 경우 로직 "low"를 출력하게 된다. 플립플롭의 출력은 2:1 MUX의 선택선으로 연결되며 선택선이

"0"이라면 8:1 MUX의 출력(clock)이 선택되어 CS의 출력이 된다. 이 출력은 CSI의 3비트 카운터에 인가하여 8:1 MUX의 선택값을 변경한다.

그러나 정확한 시점에서 트리거 된다면 2:1 MUX의 출력은 로직 "low"로 고정되어 CS의 출력은 로직 "low"가 된다. 이 상태에서 CSI의 3비트 카운터 출력신호, 즉 8:1 MUX 선택신호는 현재의 선택된 값을 유지하게 된다.

그림 5는 CS의 타이밍도를 나타내었다. (A)는 8:1 MUX의 출력인 클럭신호가 SPD 안에서 트리거 될 경우이며, (B)는 그렇지 못한 경우를 나타내었다.

다. 클럭 유지기 (CSI)

그림 6은 입력 데이터가 천이없이 일정하게 입력되는 데이터에도 이전의 결정된 클럭을 유지시켜주는 CSI의 구조를 나타내었다. CS의 출력은 3비트 카운터를 동작시키는 입력이 되는데, 논리 전환(logic transition)없이 일정한 입력 데이터의 경우 로직 "high"가 출력되고, 결과적으로 8:1 MUX의 선택선을 바꾸게 된다. 이를 해결하기 위해서는 천이없이 일정한 데이터가 입력되는 구간의 정보와, 그 구간에서는 CS의 출력이 로직 "low"로 고정되도록 해야 한다. 입력 데이터의 천이없이 일정하게 데이터가 입력되는 구간을 알기 위해서 입력 데이터와 입력 데이터 주기(T)만큼 지연시키는 지연소자를 통

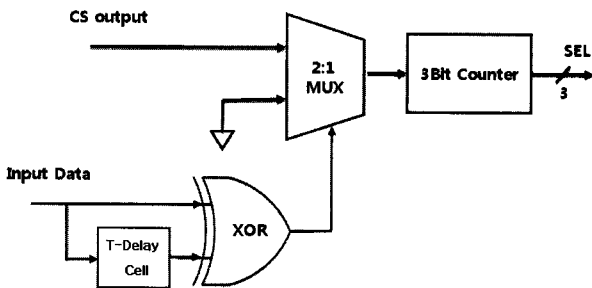


그림 6. CSI의 구조
Fig. 6. Structure of CSI.

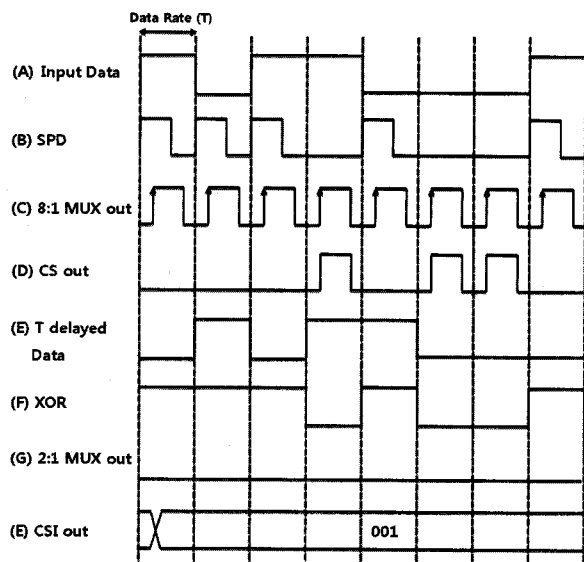


그림 7. CSI의 타이밍도
Fig. 7. Timing diagram of CSI.

하여 나온 출력을 XOR하여 데이터 천이 유무 정보를 얻는다. 로직 "high"이면 천이 발생 정보를, 로직 "low"면 천이가 발생되지 않았음을 알려준다. 이는 2:1 MUX의 선택선으로 쓰여지며, 선택선이 "0"이면 로직 "low"가 되고, "1"이면 CS의 출력이 선택된다.

그림 7은 CSI의 타이밍도를 나타내었다. 보는 바와 같이 일정하게 입력된 데이터에도 CSI의 출력이 일정하여 8:1 MUX의 선택선을 변화 시키지 않아 안정된 클럭을 제공해준다.

CS와 CSI에서 최적의 샘플링 시점에서 클럭의 트리거 여부를 판별하고 재 정렬된 클럭은 D-Flip Flop의 입력 클럭으로 제공되며, 입력데이터는 플립플롭의 입력이 된다. 그 결과 오류없이 데이터를 복원하게 된다.

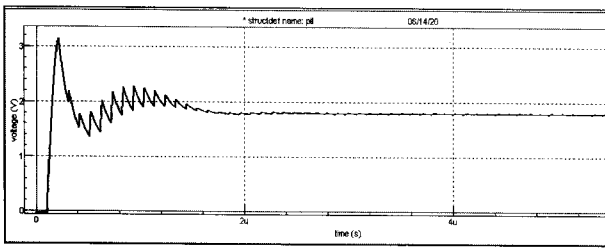
III. 시뮬레이션 결과

위에서 기술한 회로를 검증하기 위해서 0.35 μ m CMOS 공정 파라미터를 이용하여 설계하였고, HSPICE를 이용하여 시뮬레이션 수행하였다.

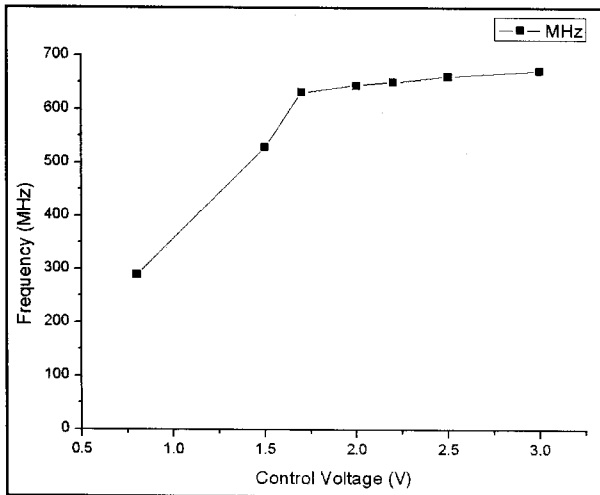
그림 8은 PLL의 시뮬레이션 결과를 나타내었다. (a)는 다중 위상 발생 VCO 제어전압을 측정된 파형으로 동기 획득 시간은 약 1.8 μ s로 나타났다. (b)는 다중 위상 발생 VCO의 제어전압에 따른 출력주파수의 동작특성을 나타낸다. (c)는 다중 위상 발생 VCO의 출력으로 622MHz의 한주기에 45°씩의 위상차를 두고, 총 8개의 클럭을 출력한다.

그림 9는 SPD의 입출력 파형을 나타낸 것이다. 보는 바와 같이 데이터의 천이가 발생될 경우 SPD의 출력이 발생되며, 이는 최적의 샘플링 시점으로 제공된다. 그림 10은 CSI의 출력인 3비트 카운터의 파형을 나타낸 것이다. "000"에서 시작하여 "010"이 되었을 때 트리거되어 clk90을 선택하여 일정하게 유지되는 것을 확인할 수 있다.

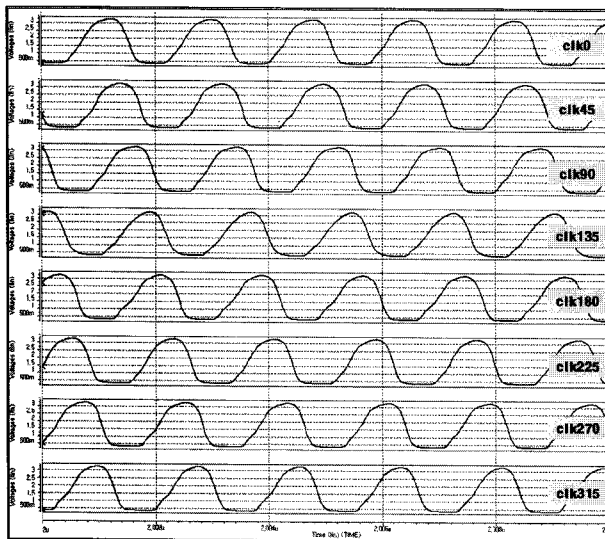
그림 11는 2⁷-1 PRBS 입력 데이터를 생성하여 시뮬레이션한 결과이다. (a)는 왜곡된 입력 데이터이며 (b)는 생성된 클럭 신호, (c)는 복원된 데이터를 나타내었다. 지터가 내제된 입력에 대해서도 오류없이 동작을 하는지 알아보기 위한 실험이 그림 12에 나타났다. 그림에서와 같이 지터가 내제된 손상된 622Mbps의 데이터를 제안된 CDR회로를 통해 복원한 결과를 eye diagram을 통해 나타내었다. 그 결과 입력 데이터의 지터 56ps_{p-p}를 17ps_{p-p}로 줄였다.



(a)



(b)



(c)

그림 8. PLL의 시뮬레이션 결과 (a) 다중 위상 발생 VCO 제어 전압 (b) 다중 위상 발생 VCO의 동작특성 (c) 다중 위상 발생 VCO 출력
 Fig. 8. Simulation results of PLL (a) Control vottage of the Multiphase generation VCO (b) Gain characteristics of the Multiphase generation VCO (c) Output of the Multiphase generation VCO.

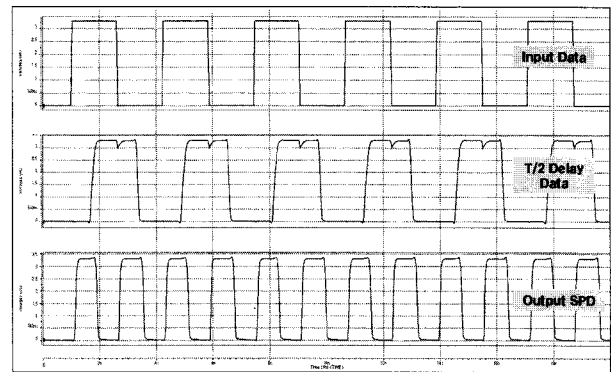


그림 9. SPD의 시뮬레이션 결과
 Fig. 9. Simulation results of SPD.

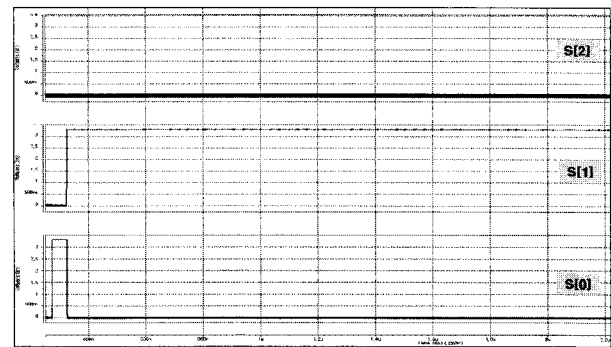


그림 10. CSI의 시뮬레이션 결과
 Fig. 10. Simulation results of CSI.



그림 11. CDR의 시뮬레이션 결과 (a) 2^7-1 입력 PRBS (b) 생성된 클럭 신호 (c) 복원된 데이터
 Fig. 11. Simulation results of CDR (a) Input 2^7-1 PRBS (b) recovered clock (c) retimed data

그림 13는 제안된 회로의 Layout을 보여주며, 표 1은 현재 제작중인 칩의 성능을 나타내었다.

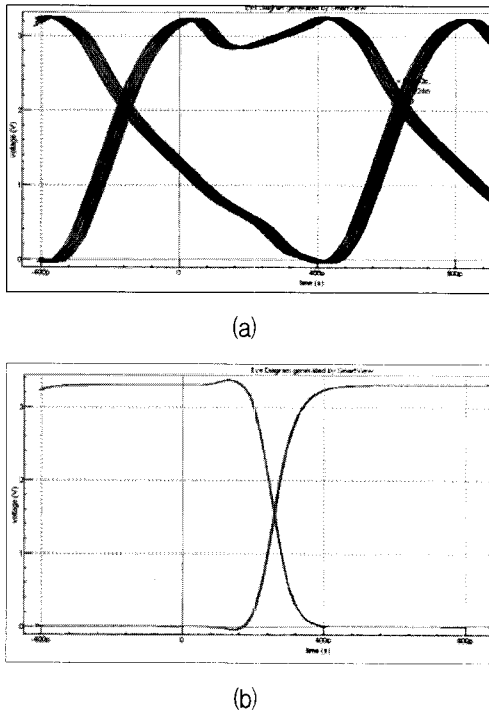


그림 12. CDR의 eye-diagram
 (a) 손상된 입력 데이터 (b) 복원된 데이터
 Fig. 12. Eye-diagram of CDR.
 (a) injured input data (b) retimed data

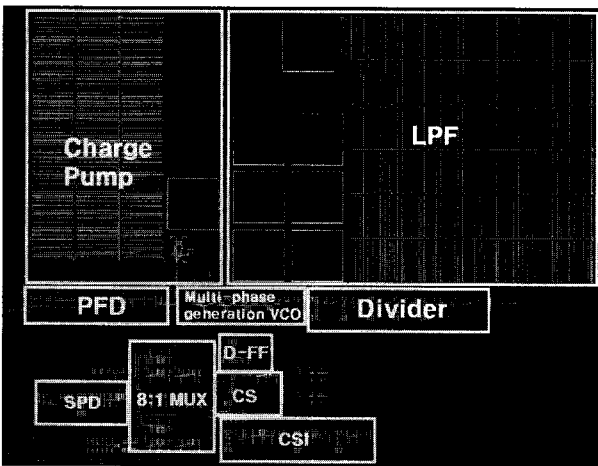


그림 13. 설계한 CDR회로의 레이아웃
 Fig. 13. Layout of the CDR circuit.

표 1. 성능요약
 Table 1. Performance summary.

공정	0.35 μ m CMOS technology
전원전압	3.3 V
소비전력	55.4 mW (core)
칩 크기	4.35 x 4.35 mm ² (전체) 1124 x 870 μ m ² (core)

IV. 결론

수동형 광 통신망에서 쓰이는 622Mbps 버스트 모드 클럭/데이터 복원회로를 0.35 μ m CMOS 공정을 이용하여 설계하였다. 제작된 클럭/데이터 복원 회로는 622Mbps 버스트 모드 데이터를 1bit시간(약1.5ns)내에 복원한다. 측정 결과 622Mbps에서의 버스트 모드 입력을 에러 없이 복원하였고, 지터를 인가한 2⁷-1 PRBS 입력에 대해 에러 없이 동작됨을 확인하였다. 제작된 버스트 모드 클럭/데이터 복원회로는 ATM-PON 이나 WDM-PON 등의 시스템에 이용될 수 있을 것이다.

현재 회로는 IDEC에서 지원하는 75회 MPW를 통해 칩 제작중이며, 향후 칩 테스트를 통해 회로 응용에 대한 연구를 진행할 예정이다.

참고 문헌

- [1] 박태성, 김아정, "Technologies for Optical Transceivers for Burst Mode Operation", 전자공학회지, v.30 no.3, pp73-80, 2003년.
- [2] Hyeon Cheol Ki, "An Automatic power Control Circuit suitable for High Speed Burst-mode optical transmitters", 대한전자공학회, 제43권 SD편 제 11호, pp98-104, 2006.
- [3] Jae-Wook Lee, "A Giga- bps Clock and Data Recovery Circuit with a new Phase Detector", 한국통신학회, Vol26, No.6B, pp848-855, 2001.
- [4] S. Gegaert and M. Steyaert, "A skew tolerant CMOS level-based ATM data-recovery system without PLL topology", IEEE 1997 Custom Integrated Circuits Conference, pp.453-456, 1997 IEEE.
- [5] M. Soyuer, "A Monolithic 2.3Gb/s 100mW Clock and Data recovery Circuit in Silicon Bipolar Technology", IEEE J. Solid-State Circuits, Vol.12 no.12, pp.1310-1313, 1993.
- [6] David A. Johns and Ken Martin, Analog Integrated Circuit Design, wiley, 1997.
- [7] B. Razavi, "A 2GHz 1.6mW Phase-Locked Loop", in Digest of Technical Papers of the 1996 Symposium on VLSI Circuit, pp.26-27, 1996
- [8] M. Banu and A.E. Dunlop, "Clock recovery circuits with instantaneous locking", Electron. Lett vol.28, no.23, pp.2127-2130, 1992.

저 자 소 개



문 성 응(학생회원)
 2007년 한림대학교 전자공학
 학사졸업.
 2008년 현재 한림대학교
 전자공학과 석사과정.
 <주관심분야 : Analog IC 설계
 및 통신용 IC 설계>



이 성 철(학생회원)
 2005년 한림대학교 전자공학과
 학사 졸업.
 2008년 현재 한림대학교
 전자공학과 석사과정.
 <주관심분야 : CMOS High
 speed DLL/PLL and I/O
 interface circuit design>



문 규(정회원)
 1982년 서울대학교 제어계측
 공학과 학사 졸업.
 1990년 조지워싱턴대학교 전기 및
 컴퓨터공학과 공학석사.
 1993년 조지워싱턴대학교 전기 및
 컴퓨터 공학과 공학박사.
 1982년~1988년 한국전자통신연구소 연구원
 1983년~1984년 미국 실리콘 벨리
 VLSI Technology Inc. 교환 연구원
 1997년~1999년 Micrys Inc., Columbus, OH,
 USA General Manager in ASIC Design
 1993년~현재 한림대학교 전자공학과
 조교수, 부교수, 정교수
 <주관심분야 : Analog IC 설계 및 Mixed Mode
 설계>