

---

# 전송선로행렬에 대한 유사변환을 이용한 PCB기판 임피던스 해석

서영석\*

PCB Board Impedance Analysis Using Similarity Transform for Transmission Matrix

Youngsuk Suh\*

---

이 논문은 2006년도 영남대학교 연구비를 지원받았음

---

## 요 약

디지털 시스템의 동작주파수가 증가하고 전압스윙폭이 감소함에 따라 PCB보드의 정확하고 빠른 해석이 중요하게 되었다. 단위 기등 행렬의 다중곱을 이용하는 전송선로행렬을 이용한 방법은 PCB보드 해석에 있어서 가장 빠른 방법이다. 본 논문에서 PCB보드 임피던스를 계산하는 새로운 방법이 제안되었다. 우선, 이 방법에서 PCB의 단위기등에 대한 전송선로행렬의 고유치와 고유벡터가 계산되고, 단위기등에 대한 전송선로 행렬은 행렬요소의 곱셈횟수를 줄이기 위해 행렬유사변환을 통해 변환된다. 이러한 유사변환을 방법은 기존방법에 비해 계산시간을 대폭 줄여 줄 수 있다. 제안된 방법은 가로 1.3인치 세로 1.9인치의 PCB기판에 적용되었고, 10배 정도의 계산시간저감 효과를 보였다. 제안된 방법은 보드임피던스의 반복적인 계산을 필요로 하는 PCB설계에 응용될 수 있다.

## ABSTRACT

As the operating frequency of digital system increases and voltage swing decreases, an accurate and high speed analysis of PCB board becomes very important. Transmission matrix method, which use the multiple products of unit column matrix, is the highest speedy method in PCB board analysis. In this paper a new method to reduce the calculation time of PCB board impedances is proposed. First, in this method the eigenvalue and eigenvectors of the transmission matrix for unit column of PCB are calculated and the transmission matrix for the unit column is transformed using similarity transform to reduce the number of multiplication on the matrix elements. This method using the similarity transform can reduce the calculation time greatly comparing the previous method. The proposed method is applied to the 1.3 inch by 1.9 inch board and shows about 10 times reduction of calculation time. This method can be applied to the PCB design which needs a lots of repetitive calculation of board impedances.

## 키워드

CB해석, 전송선로해석방법, 전력/접지층해석

## Key word

PCB Analysis, Transmission Analysis Method, Power/Ground Plane Analysis

## I. 서 론

고속 디지털 신호처리 및 고속제어IC와 이러한 칩을 장착하는 소자의 동작주파수는 점점 높아져 가고 있다. 높은 동작주파수를 가지는 소자가 보드에 장착되어 있을 때 노이즈를 유발하며 이는 전체 보드를 오동작 시키는 원인이 되고 있다. 고속 디지털 보드에서 발생하는 노이즈 원은 전력접지층, 전송선반사, 선간누화, 온도변화, IC의 내부 노이즈 등 여러 가지가 있다. 본 논문은 이들 중 전력접지 기판층에서 생기는 노이즈 문제를 해석할 수 있는 회로 해석방법에 관한 것이다.

회로기판에 대한 전력접지층을 해석하기 위해서는 전력접지판의 임의 두 지점 사이의 임피던스를 구해야 한다. 전력접지층의 임피던스를 해석하기 위해 여러 가지 방법이 개발되어 왔다. 기판 임피던스 해석을 위해 전자장해석방법을 적용하여 수치해석적으로 분석하는 방법[1]과 기판을 작은 셀로 나누고 각 셀에 대한 등가회로를 적용하여 대규모의 회로 해석을 적용하여 임피던스를 구하는 방법이 개발되어 왔다[2]. 전자장해석방법은 기판의 측면부분이나 비아홀 부분과 같은 이형 부분을 정확히 계산할 수 있다는 장점이 있다. 그러나 전자장해석 방법은 시간이 많이 걸리는 단점이 있다. PCB기판의 경우 대부분의 영역이 균일한 금속-유전체-금속층으로 구성되어 있으므로 회로해석 방법이 많이 적용된다[2].

회로해석방법의 종류에는 기판을 간단한 RLC등가공진기로 모델링 해서 해석하는 방법과, 기판을 작은 셀로 나누고 모든 회로를 SPICE와 같은 기존의 회로해석 도구를 이용해서 해석하는 방법, 반복된 회로에 대한 매트릭스를 이용하는 방법이 있다[2,3].

등가공진회로를 이용한 방법은 비교적 동작주파수가 낮은 경우에는 잘 결과를 잘 예측한다. 그러나 계산은 간단하지만 동작주파수가 높아지면 공진기로 모델링한 회로는 고주파에서 부정확하다는 단점이 있다. SPICE를 이용한 회로 해석방법은 정확도를 높이기 위해 셀의 크기를 충분히 작게 자른 등가회로용 이용해야 하며, 셀 크기가 작아지면 셀의 개수는 점점 증가한다. 따라서 SPICE에서 사용되는 회로해석 방법으로는 너무 많은 계산시간을 필요로 한다. 주파수 영역에서의 계산량을 줄이기 위한 방법으로 Mobius 변환을 이용한 방법이 개발되었다. 이 방법들은 위의 방법들에 부가적으로 적용될

수 있다[5].

전송선로 매트릭스를 이용하는 방법은 지금까지 개발된 방법 중 가장 빠른 계산속도를 나타낸다. 전송선로 매트릭스를 이용한 방법은 모든 노드의 전압전류를 해석하는 PSPICE와 같은 회로 해석방법과는 달리 기판 전체의 등가회로를 간단한 전송선로행열의 곱셈형식으로 모델링하기 때문에 빠른 계산속도를 나타낸다[3].

본 논문은 기존의 가장 빠른 계산속도를 보이는 전송선로행열의 곱셈을 이용한 기판해석 방법의 계산속도를 더욱 개선한 방법에 관한 것이다. 우선 전송선로행열을 이용한 회로해석 과정에 대해 소개하고, 기존의 전송선로행열을 이용한 회로해석의 속도를 더욱 개선하기 위해, 본 논문의 핵심사항인 행열 유사변환을 이용한 회로해석방법에 대해 기술한다.

## II. 본 론

PCB기판을 작은 등가회로로 나누고 전송선로 매트릭스로 모델링하고, 본 논문에서 제안하는 행열유사변환을 이용하여 기판의 전송선로 행열을 구하고 이를 이용하여 기판의 임피던스를 계산하는 과정을 차례로 기술한다. 그림1은 직사각형 형태의 전력접지층 PCB기판을 나타낸 것이다. 그림1의 점 p와 q는 임피던스를 구해야 하는 두 점을 의미한다.

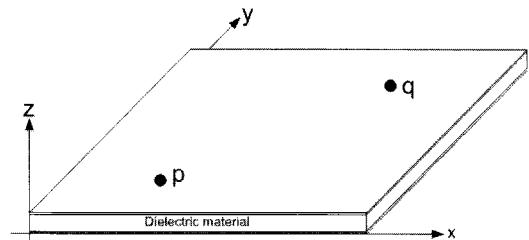


그림 1. PCB 전력접지 기판의 한 예  
Fig. 1 An Example of PCB Power/Ground Plane

(1) 회로기판의 등가회로 모델링: 그림2(a)는 직사각형 형태의 등가회로 기판의 임피던스를 구하기 위해 직사각형의 전체 PCB보드를 작은 셀로 나눈 모양을 나타내었다. 각 단위 셀의 크기는 가로세로 각각  $W$ 이며,

두께는  $d$ 이다. 각 기판의 작은 셀 한 개는 셀의 단위 셀 당 저항( $R$ ), 단위셀당 인덕턴스( $L$ ), 셀의 상층기판과 하층기판 사이의 단위 셀 당 캐패시턴스( $C$ ), 단위 셀 당 컨덕턴스( $G_d$ )로 이루어진 등가회로로 표시될 수 있다 [3].

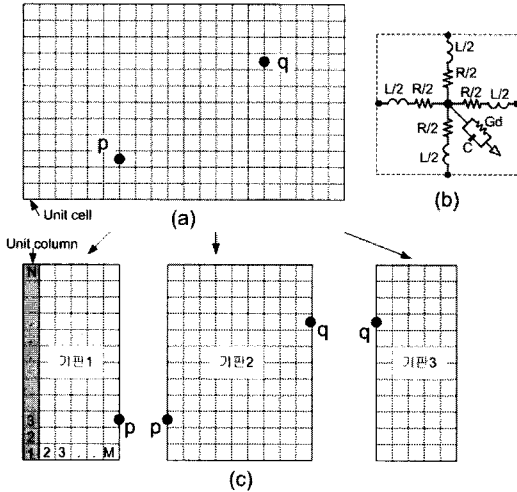


그림 2. PCB 전력접지층에 대한 기판 등가회로 (a)미소 셀로 분할된 기판, (b)미소 셀에 대한 등가회로, (c)임피던스 계산을 위해 분할된 기판

Fig. 2 Equivalent Circuit for PCB Power/Ground Plane, (a) Splitted micro-cell, (b) Equivalent circuit for the micro-cell, (c) Divided sections of PCB Board for impedance calculation

전체 기판은 각 셀이 가지는 등가회로가 합해진 것으로 생각할 수 있다. 등가회로상의 파라미터는 상층 및 하층을 이루는 금속의 컨덕턴스, 층간 구성물질인 유전재료의 유전율과 유전체의 손실에 의해 다음과 같이 결정된다 [3].

$$C = \epsilon_0 \epsilon_r \frac{W^2}{d} \tag{1}$$

$$L = \mu_0 d \tag{2}$$

$$R = R_{dc} + R_{ac} \tag{3}$$

$$R_{dc} = \frac{2}{\sigma_c t} \tag{4}$$

$$R_{ac} = 2 \sqrt{\frac{\pi f \mu_0}{\sigma_c}} \tag{5}$$

$$G_d = \omega C \tan(\delta) \tag{6}$$

여기서  $W$ 는 정사각형의 단위셀의 가로 폭,  $d$ 는 기판의 두께,  $\sigma_c$ 는 기판의 컨덕턴스,  $t$ 는 기판을 이루는 금속 박막의 두께,  $\tan \delta$ 는 유전체의 손실탄젠트이다.

(2) 기판분할 및 단위기둥에 대한 전송선로 임피던스의 계산: 두 지점  $p, q$  사이의 임피던스를 구하기 위해, 두 지점을 경계로 세 개의 기판으로 분할해야 한다[3]. 그림2(c)는 분할된 기판의 예를 보여준다. 다음으로 각 기판에서 한 개의 셀폭을 가지며 기판높이와 동일한  $N$ 개의 셀을 가지는 단위기둥(unit column)의 전송선로 행렬을 구해야 한다. 단위 기둥에 대한 전송선로 행렬은 다음과 같이 계산된다[3].

$$\begin{bmatrix} V_1 \\ \vdots \\ V_N \\ I_1 \\ \vdots \\ I_N \end{bmatrix} = [T_u]_{2N \times 2N} \begin{bmatrix} V_{N+1} \\ \vdots \\ V_{2N} \\ I_{N+1} \\ \vdots \\ I_{2N} \end{bmatrix} \tag{7}$$

이며 여기서 행렬  $T_u$ 는  $2N \times 2N$ 행렬로서 다음과 같이 표시된다 [3,4].

$$[T_u]_{2N \times 2N} = \begin{bmatrix} I & B_L \\ O & I \end{bmatrix}_{2N \times 2N} \begin{bmatrix} I & O \\ C & I \end{bmatrix}_{2N \times 2N} \begin{bmatrix} I & B_L \\ O & I \end{bmatrix}_{2N \times 2N} \tag{8}$$

위의 행렬  $T_u$ 내부의  $O$ 는 구성요소의 값이 모두 0인  $N \times N$ 정방행렬이며,  $I$ 는 대각선 요소만 1인  $N \times N$ 정방단위행렬이다.  $B_L$  및  $C_C$ 는 다음과 같이 표시된다 [3].

$$B_L = \begin{bmatrix} Z_s/2 & 0 & \dots & 0 \\ 0 & Z_s/2 & \dots & 0 \\ \dots & \dots & \dots & \dots \\ 0 & \dots & \dots & Z_s/2 \end{bmatrix} \tag{9}$$

여기서  $Z_s = R_{dc} + R_{ac} + j\omega L$ 이다.

$$C_C = \begin{bmatrix} Y_a & Y_b & 0 & 0 & \dots & 0 \\ Y_b & Y_c & Y_b & 0 & \dots & 0 \\ 0 & Y_b & Y_c & Y_b & \dots & 0 \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & \dots & \dots & Y_b & Y_c & Y_b \\ 0 & \dots & 0 & Y_b & Y_c & Y_a \end{bmatrix}_{N \times N} \quad (10)$$

여기서  $Y_b = 1/(2Z_s)$ ,  $Y_a = Y_b + j\omega C_p$ ,  $Y_c = 2Y_b + j\omega C_p$ 이다.

(3) 직사각형 보드에 대한 전송선로 행렬의 계산: 그림 2(c)의 기판1에 대해 전송행렬을 구하기 위해 기존의 방법은 위의 식(8)과 같이 표시되는 단위기동에 대한 전송선로 행렬( $T_{u1}$ )를, 기판1에 포함된 가로방향으로의 단위기동의 숫자만큼(M1) 곱하여 기판1의 전체 전송행렬( $T_1$ )을 다음과 같이 구했다.

$$T_1 = T_{u1} \times T_{u1} \times \dots \times T_{u1} = T_{u1}^{M1} \quad (11)$$

여기서  $T_{u1}$ 은 기판1에 대한 단위기동에 대한 전송선로 행렬을 의미하며, 승수 M1은 기판1에 포함된 단위기동의 개수를 의미한다. 기존의 방법으로 위의 행렬식의 곱셈을 구하기 위해 많은 시간이 소요된다. 예를 들면, 기판1의 행렬의 단위기동을 이루는 셀의 개수(N1)가 20개 이고, 기판1의 폭을 이루는 셀의 개수(M1)가 16인 경우  $40 \times 40$ 인 행렬의 곱셈을 15회 수행해야 한다. 기판1 전체에 대한 전송선로 행렬을 구하기 위해 소요되는  $40 \times 40$ 크기 행렬의 곱에서 발생하는 곱셈의 횟수는  $40 \times 40 \times 40 \times 15 = 960000$ 번이다. 이러한 계산량은 넓은 면적의 기판을 반복적으로 계산해야 하는 기판의 최적화 등과 같은 문제를 해결하기 위해 너무 많은 계산시간을 소비할 수 있다. 이러한 점을 개선하기 위해 본 논문에서는 다음과 같은 계산방법을 제안한다.

위의 전송행렬( $T_{u1}$ )의 크기는  $2N \times 2N$ 이며  $2N$ 개의 고유벡터(x)와 고유치( $\lambda$ )를 가지고 있다. 전송행렬( $T_{u1}$ )의 양변에  $2N$ 개의 고유열벡터로 이루어지는 행렬 X와 고유치를 이용하면 다음과 같은 식이 성립한다.

$$T_{u1} [x_1 | x_2 | \dots | x_{2N}] = [\lambda_1 x_1 | \lambda_2 x_2 | \dots | \lambda_{2N} x_{2N}] \quad (12)$$

위의 식(12)는 다음과 같이 변환될 수 있다.

$$T_{u1} [x_1 | x_2 | \dots | x_{2N}] = [x_1 | x_2 | \dots | x_{2N}] \begin{bmatrix} \lambda_1 & 0 & \dots & 0 \\ 0 & \lambda_2 & \dots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & \dots & \dots & \lambda_{2N} \end{bmatrix} \quad (13)$$

$$T_{u1} S = SA$$

여기서  $S = [x_1 | x_2 | \dots | x_{2N}]$ 인 고유열벡터로 이루어진 행렬이며 A는 고유치로 이루어진 정방 대각행렬이다. 위의 식 양변에 행렬  $S^{-1}$ 를 곱하면  $T_{u1}$ 은 다음과 같이 쓸 수 있으며,

$$T_{u1} = SAS^{-1} \quad (14)$$

A는 다음과 같이 표시될 수 있다.

$$S^{-1} T_{u1} S = A \quad (15)$$

이를 이용하면 전송선로 행렬( $T_{u1}$ )을 M1번 곱해야 하는 기판1의 전체 전송선로 행렬은 다음과 같이 쓸 수 있다.

$$T_{u1}^{M1} = SAS^{-1} SAS^{-1} SAS^{-1} \dots SAS^{-1} = SA^{M1} S^{-1} \quad (16)$$

위의 식(16)을 이용하면 기판의 전송행렬의 곱( $T_{u1}^{M1}$ )을 보다 간단하게 계산할 수 있다.  $T_{u1}^{M1}$ 을 계산하기 위해 우선  $T_{u1}$  행렬의 고유치(S)와 고유값(A)을 구한다음, 대각행렬 A만 M1승을 하면된다. 대각행렬의 M1승은 개별 고유치만 M1승을 하면되므로 기존의 방법과 같은 대규모 계산량이 발생하지 않게 된다. 이 경우 예를 들면, 기판1의 행렬의 단위기동을 이루는 셀의 개수(N1)가 20개 이고, 기판1의 폭을 이루는 셀의 개수(M1)가 16인 경우 고유행렬의 M1승을 구하기 위해  $2N \times M1 = 40 \times 15 = 600$  번의 곱셈과 두 번의  $2N \times 2N$  행렬의 곱셈을 수행하는데 필요한  $40 \times 40 \times 40 = 64000$ 회의 곱셈을 수행하므로, 대략 64600번의 곱셈만 수행하면 된다. 따라서 기존의 방법으로 계산할 때 걸리는 계산시간(96만번)에 비해 1/10이하의 계산시간(6만4000번의 곱셈)으로 줄어들 수 있다. 이를 이용하면 기판 최적화와 같은 반복적인 계산을 수행해야 할 때 계산시간을 대폭 줄여줄 수 있다. 또한, 기동의 높이가 서로 다른 여러 가지의 단위 기동행렬에 대해 고유치와 고유벡터를 미리 계산해 두고, 계산해야 할 기

판의 높이와 폭이 결정될 때 기관폭을 이루는 단위기둥의 개수만큼 고유치의 곱만 행하면 된다.

(4) 기관내부의 두 지점사이의 임피던스 계산: 대부분의 경우 전력선과 접지단자는 기관의 양끝에 연결되는 경우보다는 기관의 내부에 연결되는 경우가 많다. 따라서 기관의 임의의 두 지점의 입출력 특성을 알아야 기관의 입출력 단자에 미치는 영향을 계산할 수 있다. 위의 그림2와 같이 임피던스를 구하려는 두 지점을 p, q라고 할 때, 두 지점을 기준으로 세 개의 기관으로 분할한 다음, 각각의 기관에 대해 위에서 언급한 과정으로 전송선로 행렬의 값을 구한다.

이 경우 입출력 단자를 기준으로 왼쪽부분 기관1의 T파라미터를  $T_{Yl}$ , 입출력 사이 중앙부분 기관2의 T파라미터를  $T_m$ , 오른쪽 부분 기관3의 T파라미터를  $T_{Yn}$  이라하면, 두 지점 p와 q가 입출력에 포함되는  $T_i$  파라미터는 다음과 같이 계산된다.

$$T_i = T_{Yl} T_m T_{Yn} = \begin{bmatrix} T_A' & T_B' \\ T_C' & T_D' \end{bmatrix} \quad (17)$$

여기서,

$$T_{Yl} = \begin{bmatrix} I & 0 \\ T_{Dl}^{-1} T_{Cl}^{-1} & I \end{bmatrix}, T_{Yn} = \begin{bmatrix} I & 0 \\ T_{Cn}^{-1} T_{An}^{-1} & I \end{bmatrix} \quad (18)$$

이고,  $T_{Dl}$  및  $T_{Cl}$ 은 기관1의 전송선로 파라미터중  $T_D$  및  $T_C$ 에 해당하는 파라미터이고,  $T_{Cn}$  및  $T_{An}$ 은 기관3의 전송선로 파라미터중  $T_C$  및  $T_A$ 에 해당하는 파라미터이다.  $T_m$ 은 기관2의 전송선로 행렬이다[3].

위의 식  $T_i$ 를 Z파라미터로 변환하면 임의의 두 지점의 임피던스를 구할 수 있다. 임피던스 파라미터를 다음과 같이 정의한다.

$$\begin{bmatrix} V_{IN} \\ V_{out} \end{bmatrix} = \begin{bmatrix} Z_A & Z_B \\ Z_C & Z_D \end{bmatrix} \begin{bmatrix} I_{out} \\ I_{out} \end{bmatrix} \quad (18)$$

위와 같이 정의할 때, 임피던스값 중  $Z_{Ai,j}$ 는 식(17)의 T파라미터내부의 부분 불력을 이용하면 다음과 같은 식으로 유도된다 [3].

$$Z_{Ai,j} = \det \begin{bmatrix} T_{C1,1}' & T_{C1,2}' & \dots & T_{C1,N}' & \leftarrow 1st \\ T_{C2,1}' & T_{C2,2}' & \dots & T_{C2,N}' & \leftarrow 2nd \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ T_{Ai,1}' & T_{Ai,2}' & \dots & T_{Ai,N}' & \leftarrow jth \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ T_{CN,1}' & T_{CN,2}' & \dots & T_{CN,N}' & \leftarrow Nth \end{bmatrix} / \det(T_C') \quad (18)$$

즉,  $Z_{Ai,j}$ 는 식(17)의  $T_C'$  행렬의  $j$ 번째 행을  $T_A'$  행렬의  $i$ 번째 행으로 대체한 행렬의 Det(:Determinant)값을  $T_C'$  행렬의 Det값으로 나눈값이다. 임피던스값 중  $Z_{Di,j}$ 는 다음과 같은 식으로 유도된다 [3].

$$Z_{Di,j} = \det \begin{bmatrix} T_{C1,1}' & T_{C1,2}' & \dots & T_{Di,j}' & \dots & T_{C1,N}' \\ T_{C2,1}' & T_{C2,2}' & \dots & T_{D2,j}' & \dots & T_{C2,N}' \\ \vdots & \vdots & \ddots & \vdots & \ddots & \vdots \\ T_{CN,1}' & T_{CN,2}' & \dots & T_{DN,j}' & \dots & T_{CN,N}' \\ \uparrow & \uparrow & & \uparrow & & \uparrow \\ 1st & 2nd & & ith & & Mth \end{bmatrix} / \det(T_C') \quad (19)$$

식에서 보듯이,  $Z_{Di,j}$ 는  $T_C'$  행렬의  $i$ 번째 열을  $T_D'$  행렬의  $j$ 번째 행으로 대체한 행렬의 Det값을  $T_C'$  행렬의 Det값으로 나눈값이다. 임피던스값 중  $Z_{Ci,j}$ 는 다음과 같은 식으로 유도된다 [3].

$$Z_{Ci,j} = (-1)^{i+j} \frac{\det[M_{Cji}]}{\det[T_C']} \quad (20)$$

여기서  $M_{Cji}$ 는 식(17)의 부분행렬인  $T_C'$ 블럭의  $j$ 번째 행 전체와  $i$ 번째 열 전체를 삭제한 행렬을 의미한다.

(5) 계산적용 예: 본 논문에서 제안한 알고리즘으로 PCB기관을 임피던스를 계산하였다. 계산에 사용된 PCB는 1 mil 두께의 FR4이며  $\epsilon_r=4$ , 동판의 전도도는  $\sigma_c = 5.8 \times 10^7 S/m$ 이고 동판의 두께는 1.2mil이다. 0.1인치×0.1인치의 셀 크기를 설정하면, 등가회로 파라미터는  $C=8.983pF$ ,  $L=31.92pH$ ,  $R_{dc}=1.131m\Omega$ ,  $R_{ac}=0.5218 \sqrt{f} \mu\Omega$  이 되고, 유전체 손실은 무시한다. 계산에 사용할 기관의 크기는 가로 방향으로 1.3인치, 세로 방향으로 1.9인치 크기이다. 아래의 그림3은 위치 p(0.1 in, 1.0 in)와 위치 q(1.2 in, 1.4 in)사이의 Z-parameter를 계산한 것이다.

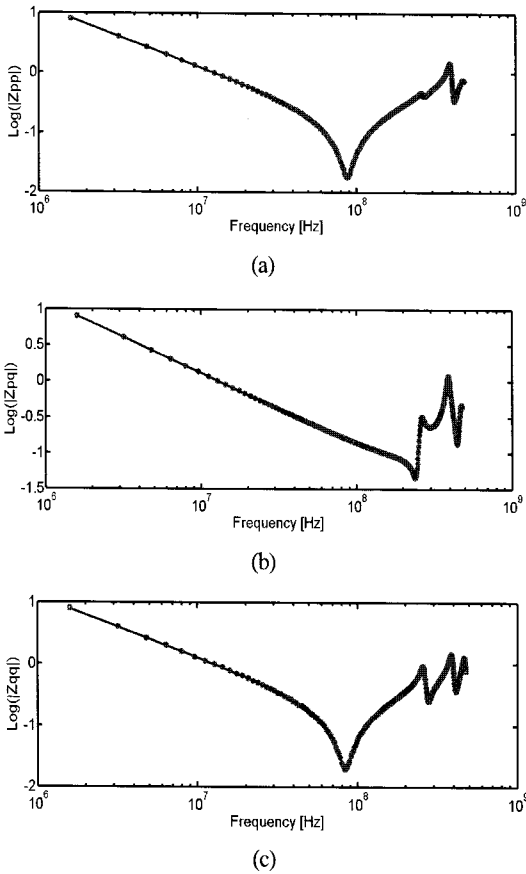


그림 3. 기판의 크기가 1.3 inch x 1.9 inch 인 PCB의 전력접지층의 두 지점 p(0.1 inch, 1.0 inch)과 q(1.2inch, 1.4inch)에서의 임피던스, 실선; 제안된 방법, 점; 기존의 방법 (a) Zpp의 주파수 특성, (b)Zpq의 주파수 특성, (c)Zqq의 주파수 특성  
 Fig. 3 Impedance characteristics between point p(0.1 inch, 1.0 inch) and q(1.2inch, 1.4inch) on the 1.3inch by 1.9inch board, line; the proposed method, dot; the previous method, (a) Frequency characteristics of Zpp, (b) Frequency characteristics of Zpq, and (c) Frequency characteristics of Zqq.

위의 계산은 기존의 방법과 본 논문에서 제안하는 방법으로 모두 계산되었다. 두 가지 방법 모두 matlab으로 프로그래밍 되었다. 계산된 값은 두 방법이 서로 일치함을 볼 수 있다.

기존의 방법과의 계산시간을 비교해 보았다. 기존의 방법으로 1만번의 임피던스 계산을 위해 1.9063초의 시간을 소비했으며, 제안된 방법으로 1만번의 임피던스 계

산을 위해 0.179초의 시간을 소비했다. 본 논문에서 제안한 방법은 기존의 방법에 비해 10배정도의 계산시간 단축효과를 나타내었으며, PCB보드 최적화 설계를 위한 계산에 활용될 수 있을 것이다.

## V. 결 론

본 논문은 PCB의 전력접지층의 임피던스를 해석하는 방법에 관한 것이다. 본 논문은 기존의 해석방법 중 가장 빠른 해석방법인 전송선로 행렬을 이용한 해석방법을 더욱 개선한 것이다. 기존의 전송선로 해석방법은 한 개의 등가회로 기등의 임피던스를 먼저 구하고 이를 기반으로 필요한 횟수 만큼 곱해서 전체 기판의 전송선로 행렬을 구했다. 본 논문에서 제시하는 방법은 한 개의 전송선로행렬의 고유치와 고유벡터를 구한 다음, 전송행렬을 유사변환(Similarity Transform)하여 기판 전체의 전송선로 행렬을 구하기 위해 고유치의 곱만 구하면 된다. 제안된 알고리즘을 검증하기 위하여 크기가 가로 방향으로 2.1인치, 세로방향으로 1.5인치인 기판에 대해, 본 방법과 기존의 방법을 적용하였고 결과 값은 서로 일치함을 확인하였다.

제안된 방법의 계산속도를 비교하기 위해, 같은 계산 대상에 대해 두 방법 모두 1만번씩의 계산을 수행하였다. 기존의 방법으로 기판임피던스를 1만번 계산할 때 1.9063초가 소요되었으며, 본 논문에서 제시한 방법은 동일한 대상에 대해 0.1719초의 계산시간을 필요로 했다. 본 논문에서 제안한 전송행렬의 유사변환을 이용한 기판임피던스 계산방법의 기존의 방법에 비해 10배 이상의 계산속도 개선효과를 보였다. 이 방법은 반복적인 계산을 많이하는 PCB의 설계에 잘 활용될 수 있을 것이다.

## 감사의 글

본 연구는 2006년도 영남대학교의 지원에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

## 참고문헌

- [1] D. G. Swanson and W. J. R. Hofer, "Microwave Circuit Modeling Using Electromagnetic Field Simulations" Artech House 2003.
- [2] I. Novak, "Reducing Simultaneous Switching Noise and EMI on Ground/Power Planes by Dissipative Edge Termination," IEEE Trans. on Advanced Packaging, Vol. ww, no. 3, pp. 274-283, Aug. 1999.
- [3] J. Kim, M. Swaminathan, and Y. Suh, "Modeling of Power Distribution Networks for Mixed Signal Applications," 2001 IEEE EMC Symposium Digest, Trnas. on VLSI System, pp. 1117~1122, 2001.
- [4] J. Kim and M. Swaminathan, "Modeling of Irregular Shaped Power Distribution Planes Using Transmission Matrix Method," IEEE Trans. on Adv. Packaging, Vol. 24, No. 3, pp. 334~346, Aug. 2001
- [5] Y. Suh, "A Fast Computation method in Frequency Domain for Power Ground plane impedance calculation Using Mobius Transform," IEEE Trans. Adv. Pakaging, Vol. 31, No. 2, pp. 320~325, May, 2008

## 저자소개



서영석(Youngsuk Suh)

1995 포스텍 전자전기공학과  
공학박사

1995 ~현재 영남대학교  
전자정보공학부 교수

※ 관심분야: 회로해석 및 설계, PCB EMI&EMC