
공핍형 SOI MOSFET를 이용한 5GHz대역 저잡음증폭기

김규철*

A 5GHz-Band Low Noise Amplifier Using Depletion-type SOI MOSFET

Gue-chol Kim*

요 약

SOI MOSFET를 이용하여 5GHz대역 저잡음 증폭기를 설계하였다. 잡음특성을 향상시키기 위해 공핍형 SOI-MOSFET를 사용하였고, 저전압에서 동작시키기 위해 소스접지와 게이트접지 증폭기를 연결한 2단형으로 설계하였다. 제작된 LNA는 5.5GHz에서 이득이 21dB, S11이 -10dB이하, 소비전력 8.3mW의 결과를 얻었으며 잡음지수는 공핍형 저잡음 증폭기가 1.7dB로 일반형보다 0.3dB 개선된 결과를 얻을 수 있었다. 이 같은 결과로 공핍형 SOI MOSFET를 사용함으로써 보다 잡음특성이 우수한 CMOS LNA를 설계 할 수 있음을 확인하였다.

ABSTRACT

A 5-GHz band Low Noise Amplifier(LNA) using SOI MOSFET is designed. To improve the noise performance, depletion-type SOI MOSFET is adopted, and it is designed by the two-stage topology consisting of common-source and common-gate stages for low-voltage operation. The fabricated LNA achieved an S11 of less than -10dB, voltage gain of 21dB with a power consumption of 8.3mW at 5.5GHz, and a noise figure of 1.7dB indicated that the depletion-type LNA improved the noise figure by 0.3dB compared with conventional type. These results show the feasibility of a CMOS LNA employing depletion-type SOI MOSFET for low-noise application.

키워드

SOI, MOSFET, RF, Amplifier

I. 서 론

오늘날 무선 통신 기술은 급속히 발전하고 있으며, 고속 또는 대용량의 데이터를 전송할 수 있는 WLAN (Wireless Local Area Network)은 일상생활에서 필수불가결한 요소가 되고 있다. 저잡음증폭기(Low Noise Amplifier)는 WLAN의 front-end를 구성하는 중요한 요소 중 하나로서, 그 역할은 내부에서 발생하는 잡음을 최소화하여 억제하여 안테나에서 수신된 미약한 신호를 증폭하는데 있다. 또한 신호의 왜곡을 억제하기 위하여 높은 선형성이 요구되어진다[1, 2, 3]. 하지만 최근 반도체공정의 발전에 따라 무선기기의 저전력화, 저전압화에 대한 요구로 원하는 성능의 LNA를 설계하는 것이 점점 곤란해지고 있다. 이러한 문제의 해결책으로, 저전압에서 동작가능한 회로의 구성과 SOI (Silicon-On-Insulator) MOSFET를 이용한 회로설계가 제안되어지고 있다[4, 5]. SOI MOSFET는 실리콘 산화막 위에 형성한 단결정실리콘(Si)에 의해 제작된 MOSFET를 말하며 종래의 MOSFET와 비교해 고속으로 동작하기 때문에 집적회로의 소비전력을 줄이는 것이 가능하다. 또한 소자와 소자간이 격리되어져 있는 SOI 고유의 특징 때문에 기존의 Bulk소자에 비해 저잡음에서 동작할 수 있으므로 보다 잡음특성이 우수한 회로를 설계하는 것이 가능하다[5].

저잡음증폭기의 잡음지수는 입력매칭회로를 어떻게 구성하느냐에 따라 달라지지만, 저잡음에서 동작하도록 매칭회로를 최적으로 구성한다 할지라도, 트랜지스터가 가지고 있는 최소잡음지수보다 낮은 잡음특성을 갖는 것은 불가능하다[3]. 따라서 회로의 구성 등에 따라 개선시킬 수 있는 이득 및 선형특성에 비해 저잡음증폭기의 잡음지수를 낮추는 것은 대단히 어려운 문제이다. 본 논문에서는 기존의 SOI MOSFET를 이용한 저잡음 증폭기[6, 7]의 잡음특성을 개선하기 위해 공핍형의 SOI MOSFET를 이용해 5GHz대역에서 동작하는 저잡음 증폭기를 설계하였다. 먼저 공핍형모드와 기존의 SOI MOSFET의 고주파특성을 측정하고 비교한 후, 각각의 디바이스를 이용하여 저잡음증폭기를 설계하고 측정하여 공핍모드 SOI-MOSFET를 이용한 저잡음증폭기의 잡음특성이 우수함을 입증한다.

II. SOI MOSFET

SOI기술은 실리콘 산화막위에 형성한 단결정실리콘에 의해 제작하는 반도체 직접회로 제조기술을 말한다. 그림 1(a)는 SOI 기판으로 제작된 n채널 SOI MOSFET (NMOS)의 단면도를 나타낸다.

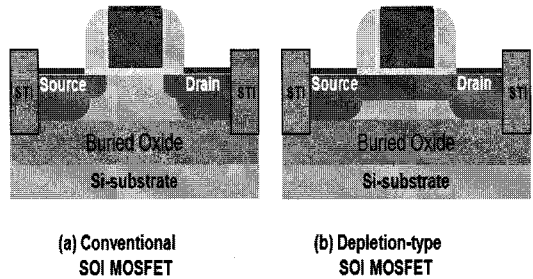


그림 1. (a)NMOS와 (b) D-NMOS의 단면도
Fig. 1 Cross-section of NMOS and D-NMOS

그림에서 보는 것과 같이 SOI MOSFET는 MOSFET와 실리콘기판과의 사이에 절연체인 실리콘산화막(SiO₂)에 의해 분리된 구조를 가지고 있다. 이러한 구조의 차이 때문에 일반적인 MOSFET와 비교해 소자와 기판 사이의 용량이 적고 접합리치전류가 대폭으로 저감되는 특징이 있다[5]. 그림 1(b)는 공핍형 n채널 SOI MOSFET (D-NMOS)의 단면도를 나타낸다. 공핍형 SOI MOSFET는 일반적인 SOI MOSFET와는 달리 게이트의 하단에 공핍층을 만든다. 일반적인 트랜지스터는 게이트-소스간 전압을 문턱전압이상으로 인가하여야 채널이 형성되어지지만, 공핍형 트랜지스터에서는 이미 공핍층이 형성되어 있기 때문에 문턱전압을 0이하로 만들 수가 있다. 본 연구에서 사용된 MOSFET는 0.15 μ m FD-SOI CMOS공정으로 제작하였다. 측정된 MOSFET의 게이트길이(L)는 0.14 μ m이고 게이트폭(W)은 240 μ m이다. 게이트폭을 긴 상태에서 사용하게 되면 게이트 전극저항이 커지기 때문에 5 \times 48로 분할한 멀티퍼거형태의 레이아웃을 사용하였다. 측정에는 NMOS와 D-NMOS가 사용되었으며 특성을 비교하기 위해 두 MOSFET는 같은 구성으로 레이아웃하였다. 그림 2는 두 MOSFET의 V_{gs}-I_d특성을 나타낸다.

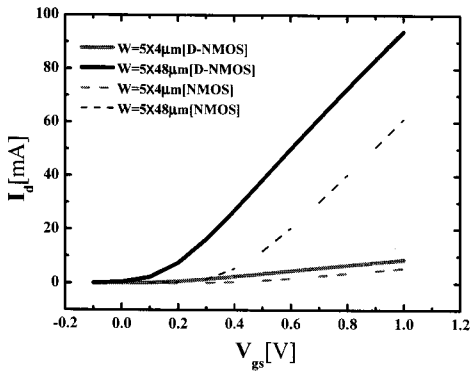


그림 2. NMOS와 D-NMOS의 Vgs-I_d특성
Fig. 2. V_{gs}-I_d Characteristics of NMOS and D-NMOS

그림 2에서 보여지는 것과 같이 W가 5×4, 5×48인 MOSFET의 DC 측정 결과로부터 핑거의 존재를 확인할 수 있고, D-NMOS의 경우 문턱전압이 거의 0V에 가까움을 알 수 있다. 그림 3은 NMOS와 D-NMOS의 전달이득(g_m)을 나타내고 있다.

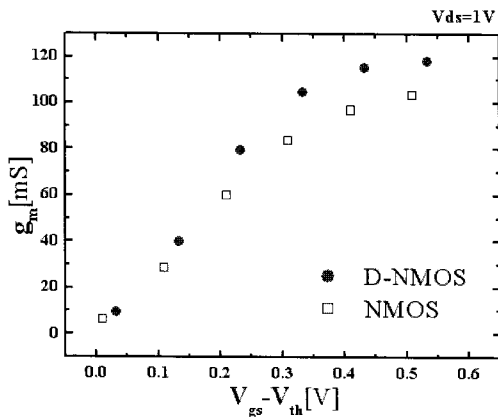


그림 3. NMOS와 D-NMOS의 전달이득
Fig. 3. transconductance of NMOS and D-NMOS

두 MOSFET의 문턱전압은 상이하지만 g_m을 같은 조건에서 비교하기 위하여 소비전류가 같은 V_{gs} - V_{th}인 경우의 g_m을 확인하였다. g_m은 다음의 드레인전류(I_d)식으로부터 계산되어진다[3].

$$I_{di} = \frac{1}{2} \mu_o C_{ox} \frac{W_i}{L_i} \frac{V_{odi}^2}{1 + \theta V_{odi}} \frac{1}{1 - \lambda V_{dsi}} \quad (1)$$

여기서 g_m은

$$g_{mi} = \frac{\partial I_{di}}{\partial V_{odi}} = \frac{1}{2} \mu_o C_{ox} \frac{W_i}{L_i} \frac{V_{odi} (2 + \theta V_{odi})}{(1 + \theta V_{odi})^2} \frac{1}{1 - \lambda V_{dsi}} \quad (2)$$

으로 나타낼 수 있다. 측정결과 V_{gs}가 증가하는 경우 D-NMOS의 g_m이 NMOS에 비해 더 증가함을 알 수 있다. 그림 4는 NMOS와 D-NMOS의 최소잡음지수 측정결과를 나타낸다.

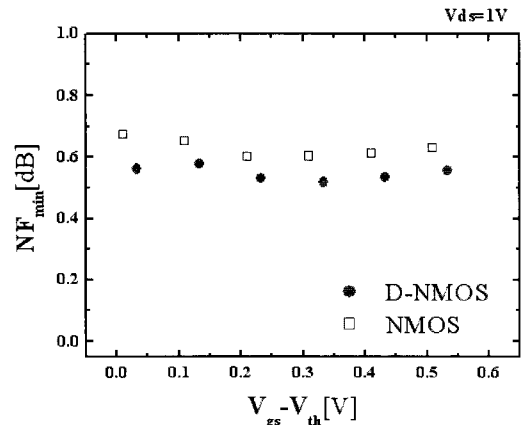


그림 4. NMOS와 D-NMOS의 최소잡음지수
Fig. 4 NF_{min} of NMOS and D-NMOS

MOSFET의 최소잡음지수는 다음과 같이 나타낼 수 있다[7, 8].

$$NF_{min} = 1 + 2 \frac{\omega}{\omega_T} \sqrt{\left(\frac{\gamma \delta}{\kappa} (1 - |c|^2)\right)} \quad (3)$$

여기서 ω_T는 g_m에 비례하므로 NF_{min}은 g_m에 반비례함을 알 수 있다. 따라서 소비전류가 같은 조건하에서 측정된 g_m이 NMOS보다 D-NMOS가 크므로 D-NMOS의 잡음특성이 더 우수함을 알 수 있다.

III. 저전압동작 2단형 LNA의 설계

저전압에서 동작하기 위한 2단형 LNA를 공핍형 SOI MOSFET를 이용해 설계한다. CMOS LNA의 회로구성으로서 그림 5(a)의 캐스코드 타입의 LNA가 주로 사용되어지고 있다[9]. MOSFET의 문턱전압이 V_{th} , 트랜지스터 M1 및 M2의 오버드라이브전압이 각각 V_{od1} , V_{od2} 라고 할 때 캐스코드타입의 LNA의 경우 전원전압 V_{DD} 는 최저 $V_{od1}+V_{od2}+V_{th}$ 이상이 필요하다. 따라서 캐스코드형의 LNA는 저전압에서 동작하기에는 어려움이 있다. 저전압에서도 동작가능한 LNA로서 소비전류는 증가하는 단점이 있으나 전원전압이 V_{od1} 에서 동작하는 그림 5(b)의 접은형 캐스코드 LNA가 사용되어진다 [11]. 하지만 밀러 효과를 저감시키기 위해 p형 MOSFET의 게이트폭을 상당히 키워야 할 필요가 있어 LNA의 이득 및 잡음특성을 저하시키는 단점이 있다.

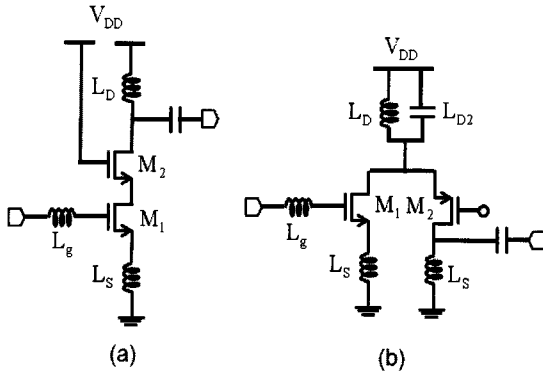


그림 5. (a)캐스코드LNA와 (b) 접은형 캐스코드LNA
Fig. 5 (a) Cascode LNA (b) Folded-Cascode LNA

따라서 저전압에서 동작하기 위해서는 그림 6의 소스 접지 증폭회로와 게이트접지 증폭회로의 2단형LNA가 저전압상에서의 회로구성으로서 적합하다. 입력단회로의 출력단자로부터 게이트접지증폭회로의 입력임피던스를 보았을때 저임피던스로 동작하므로 밀러효과를 저감시킬 수가 있다[12]. 2단증폭기의 입력임피던스는 다음과 같다.

$$Z_{IN} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs1}} + \omega T_1 L_s \quad (4)$$

여기서 ωT_1 은 M1의 전류이득이 1이 되는 컷오프주파수로 g_{m1}/C_{gs1} 과 같다. L_g 는 주로 와이어본딩을 사용하기 때문에 본 논문에서는 제작공정의 오차를 줄이기 위하여 계산치를 사용하여 입력매칭회로를 구성하였다. LNA 출력단의 임피던스는 그 후단에 이어지는 필터나 혼합기와의 임피던스매칭에 의해서 결정된다.

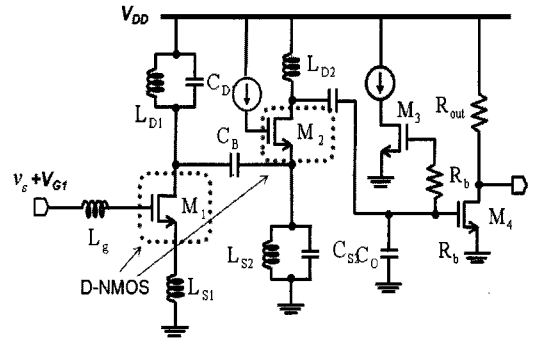


그림 6. 2단형 저잡음증폭기
Fig. 6 two-stage LNA

하지만 LNA만의 특성을 측정하는 경우에는 LNA의 출력임피던스도 측정계의 50Ω에 맞추어야 한다. 따라서 2단 LNA의 출력부분에 50Ω의 출력부하를 가지는 소스접지회로를 연결하여 버퍼로 사용하였다. 버퍼는 LNA의 뒷단에 위치하기 때문에 회로전체의 잡음지수에 미치는 영향은 거의 무시할 수 있다.

LNA를 적절한 동작점에서 동작하기 위해 그림 7과 같은 바이어스회로를 사용하였다. 일반적으로 바이어스회로는 전류미러회로가 주로 사용되어지나 여기서 MOSFET의 전달이득은 전원전압, 온도변화 및 제조공정에 따라 변동한다. 따라서 이와 같은 파라미터에 의존하지 않고 바이어스 내부의 저항 R_{ref} 에 의해서 MOSFET의 g_m 이 결정되는 바이어스회로가 요구되어진다. 여기서 전달이득은 다음과 같은 식으로 구하여진다.

$$g_m = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right) I_{d1}} = \frac{2}{R_{ref}} \left(\frac{1}{1 - \sqrt{k}}\right) \quad (5)$$

LNA의 입력단 MOSFET의 W/L을 바이어스회로의 $M1$ 을 N 배하여 LNA을 바이어스한 경우 LNA의 입력단 $g_{m,LNA}$ 는 g_m 의 N 배가 된다.

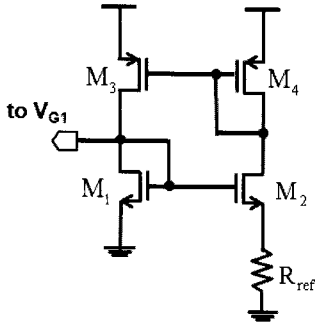


그림 7. 바이어스회로
Fig. 7 Bias circuit

따라서 제조공정이나 온도변화에 대한 변동이 적은 g_m 을 얻는 것이 가능해진다.

VI. LNA의 제작 및 측정

폴리저항, MIM(Metal-Insulator-Metal)캐패시터가 사용가능한 0.15 μ m FD-SOI CMOS공정으로 2단형LNA를 제작하였다.

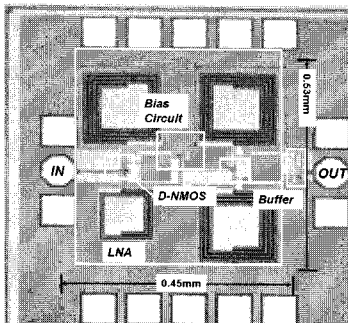


그림 8. 제작된 LNA의 칩사진
Fig. 8 Micrograph of the fabricated LNA

제작된 LNA의 칩사진이 그림 8과 같다. 측정패드를 제외한 LNA+버퍼의 면적은 0.53 \times 0.45mm이고, 전원전

압은 1V이다. 제작된 LNA는 D-NMOS와 NMOS 두가지 형태로 제작하였고, 레이아웃 및 설계조건등 MOSFET 이외에는 모두 같은 조건이었으므로 소비전류도 같은 결과를 얻을 수 있었다.

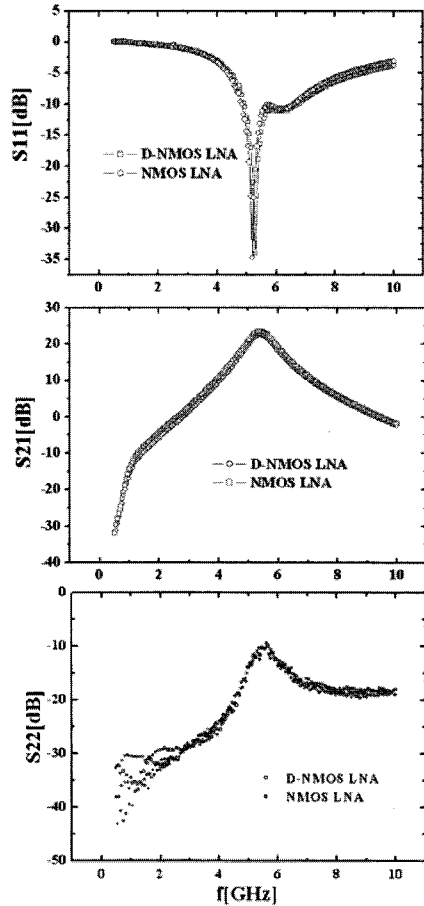


그림 9. 측정된 LNA의 S-parameters
Fig. 9 Measured S-parameters of the LNA

그림 9는 NMOS와 D-NMOS를 이용한 두가지 타입 LNA의 S파라미터를 측정하여 비교하였다. 설계조건이 같으므로 동작주파수 5.5GHz에서 S_{21} 이 21dB, $S_{11} < -10$ dB의 거의 동일한 결과를 얻을 수 있었다. LNA의 S_{22} 특성은 출력단 버퍼의 출력임피던스에 의해서 대부분 결정된다. 버퍼의 출력단에는 50 Ω 의 저항이 연결되어 있기 때문에 거의 전대역에 걸쳐서 -10dB이하의 결과를 얻을 수 있었다. 그림 11은 측정된 LNA의 잡음

지수를 나타낸다. 측정결과 NMOS를 사용한 LNA의 NF는 5.5GHz에서 2.0dB, D-NMOS를 사용한 LNA는 1.7dB로, D-NMOS를 사용한 LNA의 잡음지수가 0.3dB 낮은 결과를 얻을 수 있었다. 측정결과에서 알 수 있듯이 측정된 주파수 대역내에서 전체적으로 낮은 결과를 얻을 수 있어, D-NMOS를 이용하여 LNA를 설계하면 잡음특성에서 더 좋은 성능을 낼 수 있음을 확인 할 수 있었다.

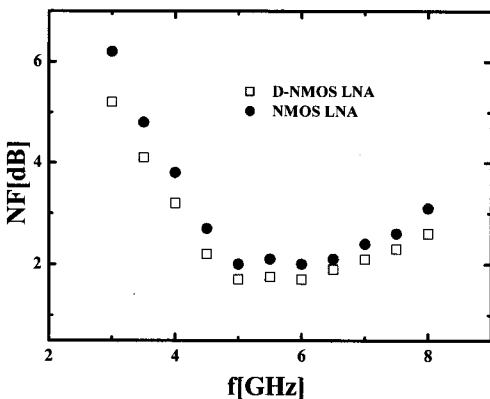


그림 10. 측정된 LNA의 잡음지수
Fig. 10 Measured NF of the LNA

V. 결론

본 논문에서는 공핍형 SOI MOSFET를 이용하여 5GHz대역에서 동작하는 2단형 저잡음 증폭기를 설계하였다. 저잡음증폭기의 잡음지수는 디바이스의 최소잡음지수에 의존하므로, 보다 잡음특성이 좋은 디바이스를 사용하는게 우선시 되어진다. 공핍형 SOI MOSFET의 고주파특성을 일반적인 SOI MOSFET와 비교해본 결과, 전달이득이 높고 잡음 특성이 우수함을 확인할 수 있어 LNA에 적용하였다. 저전압에서 동작하도록 소스접지와 게이트접지증폭기를 이용한 2단형 저잡음 증폭기를 두가지 SOI MOSFET를 이용하여 설계해 본 결과 소비전류 8.3mA, S21= 21dB, S11>-10dB이하로 거의 유사한 결과를 얻을 수 있었으며 잡음특성 측정결과 공핍형 SOI MOSFET를 이용한 LNA가 1.7dB로 일반형보다 0.3dB 개선되었음을 확인할 수 있었다.

이와 같은 결과로 공핍형 SOI MOSFET를 사용함으로써 일반적인 SOI MOSFET 보다 잡음특성이 우수한 저잡음 증폭기를 설계할 수 있음을 확인하였다.

참고문헌

- [1] R. Ahola, A. Aktas, J. Wilson, K. R. Rao, F. Jonsson, I. Yrylainen, A. Brolin, T. Hakala, A. Friman, T. Makiniemi, J. Hanze, M. Sanden, D. Wallner, Y. Guo, T. Lagerstam, L. Noguier, T. Knuuttila, P. Olofsson, and M. Ismail: "A single-chip CMOS transceiver for 802.11a/b/g wireless LANs," IEEE Journal of Solid-State Circuits, vol. 39, no. 12, pp. 2250 - 258 (Dec. 2004).
- [2] M. Ugajin, A. Yamagishi, J. Kodate, M. Harada, and T. Tsukahara: "A 1-V CMOS SOI Bluetooth RF transceiver using LC-tuned and transistor-current-source Folded Circuits," IEEE J. Solid-Sate Circuits, vol. 39, no. 4, pp. 569 - 76 (April 2004).
- [3] B. Razavi: Design of Analog CMOS Integrated Circuits, McGraw-Hill, New York, 2001.
- [4] J. P. Colinge: "Performances of low-voltage, low-power SOI CMOS technology," in Proc. MIEL '97, vol. 1, pp. 229 - 36 (1997)
- [5] F. Ichikawa, Y. Nagatomo, Y. Katakura, M. Itoh, S. Itoh, H. Matsushashi, T. Ichimori, N. Hirashita, and S. Baba : "Fully depleted SOI process and technology for digital and RF applications," Solid-State Electronics, vol. 48, pp. 999-1006, 2004.
- [6] G. Kim, Y. Shimizu, B. Murakami, M. Goto, K. Ueda, T. Kihara, T. Matsuoka, and K. Taniguchi: "Small-Signal and Noise Model of FD-SOI MOS Devices for Low Noise Amplifier,," Jpn, J. Appl, Phys, vol. 45, no. 9A, pp. 6872-6877, (Sep 2006).
- [7] T. Kihara, G. Kim, M. Goto, K. Nakamura, Y. Shimizu, T. Matsuoka, and K. Taniguchi.: "Analytical Expression Based Design of a Low-Voltage FD-SOI CMOS Low-Noise Amplifier," IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences, vol. E90-A, no. 2, pp. 317-325, (Feb 2006).

- [8] C. C. Enz and Y. Cheng: "MOS Transistor Modeling for RF IC,"IEEE J. Solid-State Circuits, vol. 35, no. 2, pp. 186-201, (Feb 2000).
- [9] D. K. Shaeffer and T. H. Lee: "A 1.5V, 1.5-GHz CMOS Low Noise Amplifier,"IEEE J. Solid-State Circuits, vol.32, no. 5, pp. 745-759, (May 1997).
- [10] W. Guo and D. Huang: "Noise and linearity optimization methods for a 1.9-GHz low noise amplifier,"in Proc. Int. Conf. Microwave and Millimeter Wave Technology, pp. 923 - 27 (Aug. 2002).
- [11] T. K. Nguyen, C. H. Kim, G. J. Ihm, M. S. Yang, and S. G. Lee: "CMOS low-noise amplifier design optimization technique," IEEE Trans. Microwave Theory Tech., vol. 52, no. 5, pp. 1433 - 442 (May, 2004).
- [12] C. L. Hsiao, R. M. Weng, K. Y. Lin, and H. C. Wei: "A sub 1V 2.4GHz CMOS variable -gain low noise amplifier," IEICE Trans. Electron, vol. E87-C, no. 6, pp. 1003 - 004 (June 2004).

저자소개

김규철(Guechol Kim)



2000년 2월: 목포해양대학교 해양
전자통신공학과(공학사)

2003년 8월: 목포해양대학교 해양
전자통신공학과(공학석사)

2007년 3월: 오사카대학 전자정보 에너지공학과
(공학박사)

2006년 11월 ~ 2008년 2월: Matsushita Electric Works
중앙연구소 연구원

2008년 3월 ~ 현재: 목포해양대학교 해양전자통신
공학부 전임강사

※ 관심분야: CMOS소자모델링, 집적회로설계