

# ELINT 장비용 광대역 초고속 고정밀 주파수 합성기 설계 및 구현

## Design and Implementation of Wideband Ultra-Fast High Precision Frequency Synthesizer for ELINT Equipment

이 규 송 · 전 계 익\* · 오 승 엽\*\*

Kyu-Song Lee · Kye-Ik Jeon\* · Seung-Hyeub Oh\*\*

### 요 약

본 논문은 2.5 MHz 간격으로 광대역 주파수를 발생하며 응답 시간이 400 nsec 이하인 초고속 이산(discrete) 주파수 합성기를 제안한다. 제안한 주파수 합성기는 고정 주파수 위상 제어 루프(PLL)와 주파수 분배기를 이용해 16개의 기준 신호를 생성하고, 이들을 선택하여 주파수 혼합하는 방식으로 710~1,610 MHz 내에서 2.5 MHz 간격의 이산 주파수 신호를 고속으로 생성한다. 제작된 주파수 합성기의 주파수 천이 응답 시간은 평균 350 nsec, 고조파를 비롯한 모든 불요파 신호는 -60 dBc 이하, 위상 잡음 특성은 -94 dBc/Hz @100 Hz, 출력 세기는 평균 21.5 dBm, 평탄도는 2.65 dB 이하로 측정되었다. 또한 주파수 천이 응답 속도를 측정하는 새로운 기법의 측정 방법이 제안되었다.

### Abstract

In this paper, a wideband ultra-high speed & high purity discrete frequency synthesizer having minimum 2.5 MHz step size was proposed. To achieve fast and wideband operation, discrete frequencies were synthesized by mixing of 3 different pre-synthesized 16 frequencies made from fixed PLL and frequency dividers. Frequencies with discrete 2.5 MHz step were produced in 710~1,610 MHz. The measured hopping response time was 350 nsec average, output level was 21.5 dBm average with 2.65 dB flatness, spurious and harmonics level were suppressed below -60 dBc, and phase noise was -94 dBc/Hz@100 Hz. Also, a new measurement method for synthesizer response time was described.

Key words : Fast & Wideband Frequency Synthesizer, Switch Filter Bank, PLL

### I. 서 론

현대 전자 공학의 발달로 군용 통신 장치와 전자 무기들은 고속화, 광대역화 되어가고 있다. 통신 장비, 레이더 등은 고속 주파수 호핑 기술 및 코드 스프레딩 기술 등으로 보안성 및 대전자전 능력을 향상시키고 있으며, 전자전 장비들은 초고속 주파수

탐색 수신 기술을 통해 탐지 능력을 향상시키고 있다. 즉, 통신 장비는 적의 감청과 재밍이 어렵도록 통신하며, 레이더 또한 대 전자전 능력을 갖기 위해 보다 광대역에서 고속으로 주파수 호핑하여 운용하며, 전자전 장비는 적의 통신 또는 레이더를 교란하기 위해 이들보다 더 광대역에서 빠르고 정확하며 순도가 높은 신호로 주파수 동조된 탐색 수신기를

국방과학연구소(Agency for Defense Development)

\*알에프코어(주)(RFcore)

\*\*충남대학교 전자공학과(Dept. of Electronics Engineering, Chungnam National University)

· 논문 번호 : 20090807-083

· 수정완료일자 : 2009년 9월 18일

사용하여 주파수 호핑 신호를 탐지하는 창과 방패의 싸움에 있어서 전투력의 기준이 되는 핵심 장치가 광대역 초고속 주파수 합성기이다.

특히 ELINT(Electronic Intelligence) 장비는 UHF 대역에서부터 Ka 대역에까지 운용되는 각종 레이더의 전자 정보를 정밀하게 수집하는 장비로서, 수파-해테로다인 방식의 초고속 주파수 탐색 수신기를 사용하여 마이크로파 대역의 레이더 신호를 IF(Intermediate Frequency) 대역으로 주파수 변환한 후 전자 정보를 측정한다. 이에 따라 광대역에서 고 속도 특성을 갖는 주파수 동조 신호를 고속으로 발생시킬 수 있는 주파수 합성기가 필수적으로 요구되고 있다.

광대역의 고속 주파수 합성기는 ELINT 장비를 비롯한 각종 전자전 장비는 물론 통신 장비, 레이더 등의 다양한 장비에도 사용되는 핵심 장치로서 방위산업 선진국들이 기술 보안에 가장 신경 쓰고 있는 분야이므로, 그 기술이나 성능도 잘 알려져 있지 않은 실정이다.

보통의 주파수 합성기 구성은 VCO와 PLL로 구성된 가변 PLL 주파수 방식, 개방된 VCO를 정밀 제어하는 DTO(Digitally Tuned Oscillator) 방식, 고속 DA 변환기로 직접 합성하는 DDS(Direct Digital Synthesis) 방식 등이 있다<sup>[1][2]</sup>. 그러나 PLL을 이용한 직접적인 구현 방식은 PLL의 안정화 시간 때문에 수백 nsec 수준의 고속 주파수 합성이 어렵고, DTO 방식은 위상 잡음을 좋게 하기 어렵고, DDS 방식은 광대역에서 불요파 제거가 어렵다<sup>[1]~[3]</sup>.

본 논문에서는 가변 PLL, DTO 및 DDS 방식과는 달리 주파수 고정 PLL과 주파수 분배기를 통해 기

준 주파수를 여러 개 만들고, 이들을 주파수 혼합기로 조합하여 출력 주파수를 생성함으로써 출력 지연 시간에 관여하는 요소를 소자들의 지연 시간으로 한정하여 매우 짧은 응답 시간을 갖는 고정밀 주파수 합성기를 설계 및 제작하였다. 그리고 정확한 측정이 어려운 응답 시간 측정 방법을 제안하였다.

## II. 본 론

본 논문에서 제안한 주파수 합성기의 전체 블록도를 그림 1에 나타내었다. 100 MHz의 OCXO를 PLL의 기준 주파수로 사용하여 100 MHz 간격으로 800~1,500 MHz 범위의 고순도 신호를 발생시키고, 이를 그림 2의 주파수 분주부 블록도와 같이 5분주와 40분주를 거쳐 총 16개의 기준 신호들을 생성하였다. 생성된 기준 신호들을 믹서와 필터뱅크로 구성된 주파수 혼합기로 조합하여 2.5 MHz 간격의 710~1,610 MHz 범위의 광대역 이산 신호를 생성하였다. 주파수 혼합시 믹서에서 발생하는 이미지 신호와 불요파 신호를 제거하기 위해 6채널 SFB1(필터뱅크 1)과 9채널의 SFB2(필터뱅크 2)를 사용하였고, 고조파 신호 제거를 위해 2채널 필터뱅크를 최종단에 삽입하였다. 이와 같이 이미 발생된 주파수들을 조합하여 출력 주파수를 생성함으로써 가변 PLL 합성기에서 나타나는 과도 응답 시간(lock time 또는 settling time)이 없이 주파수를 만들 수 있기 때문에 고속 합성이 가능하게 된다.

표 1은 주파수 조합을 위해 선택한 기준 주파수로서, 이들을  $F_{출력} = F_3 \pm (F_2 \pm F_1)$ 와 같은 관계식이

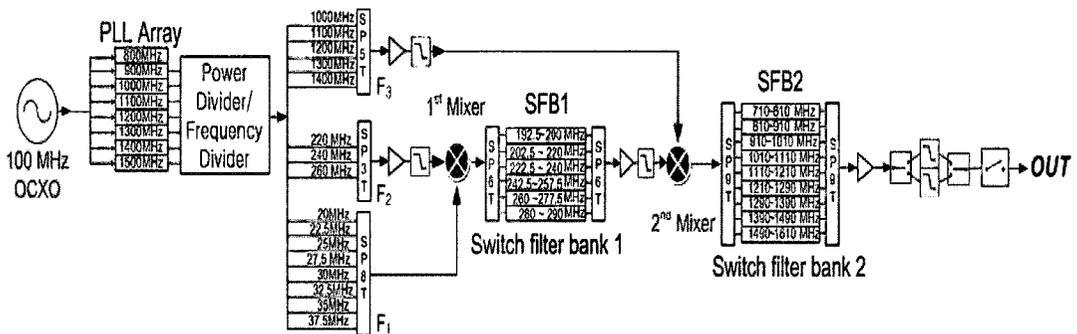


그림 1. 주파수 합성기 전체 블록도

Fig. 1. The block diagram of the frequency synthesizer.

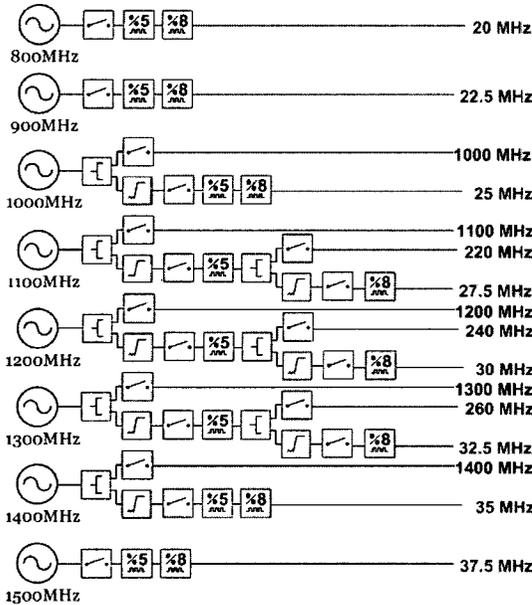


그림 2. 주파수 분주부 블록도  
Fig. 2. The block diagram of frequency dividing section.

표 1. 선택한 기준 주파수  
Table 1. Selected reference frequency.

Frequency map		
F <sub>1</sub> : 1 <sup>st</sup> Mixer IF (MHz)	F <sub>2</sub> : 1 <sup>st</sup> Mixer LO (MHz)	F <sub>3</sub> : 2 <sup>nd</sup> Mixer LO(MHz)
20		
22.5		1,000
25		1,100
27.5	220	1,200
30	240	1,300
32.5	260	1,400
35		
37.5		

로 혼합함으로써 최종 출력 주파수를 만들게 된다. 기준 주파수를 정하는 것은 여러 선택이 있을 수 있으나, 다음 2가지 조건을 중요하게 고려하여 주파수 발생 조합(frequency plan)을 설계하였다. 첫 번째, 믹서의 두 개 입력 포트에 들어가는 각각의 최대 주파수 크기가 최소 주파수의 2배 주파수보다 작게 하여 고조파를 포함한 불요파가 없는 기준 주파수만 입력되게 하였다. 두 번째, 믹서의 LO 주파수와 IF 주파수 차이를 확보함으로써 필터의 성능 완화를 유도했다.

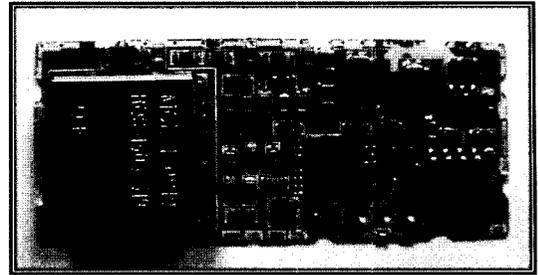


그림 3. 설계한 PLL 모듈  
Fig. 3. Designed PLL module.

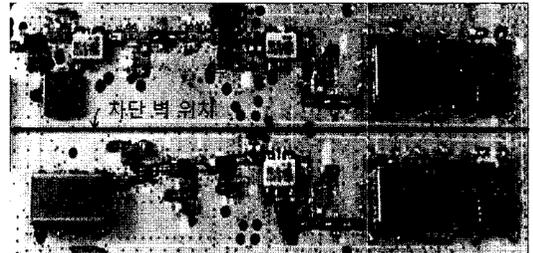


그림 4. 2개의 PLL 모듈과 각각의 신호경로  
Fig. 4. The two PLL modules with the each signal path.

그림 3은 제작된 PLL 모듈을 보여주고 있으며, 그림 4는 제작된 2개의 PLL 모듈과 각각의 신호경로를 보여주고 있다. PLL에서 발생한 신호들이 2번째 믹서의 LO 주파수로 사용되므로 불요파의 억제와 위상 잡음 특성을 중요하게 고려하여 설계하였다. PLL 위상 잡음은 루프 필터 대역폭 이내에서는 PLL의 특성에 영향을 받고 대역폭 밖에서는 VCO의 영향을 받는다<sup>[4]</sup>. 따라서 루프 필터 대역폭을 늘이면 낮은 위상 잡음을 얻을 수 있고, 루프 필터 대역폭은 PFD(Phase Frequency Detector) 주파수의 최대 1/10까지 설정할 수 있으므로 높은 PFD 주파수를 가질 수 있는 integer-N 방식의 ADF4106 PLL 소자를 선택하였다.

또한 PLL 기준 신호의 위상 잡음 특성은 PLL 전체 위상 잡음 특성에 많은 영향을 주게 되므로<sup>[4],[5]</sup> 계측기 등에 널리 사용되는 10 MHz의 OCXO 대신 위상 잡음 특성이 최적화된 100 MHz의 OCXO를 사용하되 이를 1/4 분주하여 기준 신호로 사용하였다.

루프 필터는 25 MHz 기준 주파수 신호의 불요파 신호가 발생하는 것을 최대한 억제하기 위하여 4단으로 설계하였고, 각 PLL별 루프 필터 대역폭을 180

~450 kHz, 위상 여유(phase margin)를 51~61°로 설계하였다.

주파수가 다른 여러 신호가 같은 기판 위에 있을 경우 상호간에 절제된 격리 및 차단이 요구된다. 이를 위하여 부품 및 선로 배치를 신호의 진행 경로가 서로 겹치지 않게 하였고, 그림 2와 같이 스위치를 사용하여 사용되지 않는 주파수는 차단하였다.

또한 제어선과 각 부분에 공급되는 전원 선로를 통하여 유출되는 잡음 신호들이 주파수 혼합기에서 불요파를 발생시키므로 이를 방지하기 위하여 고주파부와 전원 및 제어부를 다른 층을 사용하는 다층 기판으로 회로를 제작하여 신호의 간섭을 최소화 하였으며, 그림 4에서와 같이 RF 신호의 흐름을 따라 차단벽을 세웠다.

5 분주기와 8 분주기를 거쳐 발생한 신호들은 1<sup>st</sup> mixer의 LO 신호 및 IF 신호로 혼합되어 표 2와 같은 합성 신호를 생성한다. 이때 192.5~240 MHz 범위의 합성 신호는 하향 변환 신호를 사용하며, 242.5~290 MHz 범위의 합성 신호는 상향 변환 신호를 사용한다.

1<sup>st</sup> mixer로부터 합성된 신호는 다시 2<sup>nd</sup> mixer의 IF 신호로 인가되어 PLL에서 발생된 1,000~1,400 MHz의 LO 신호와 혼합되어 최종 710~1,610 MHz 합성 신호를 생성한다.

이때 2개의 믹서 출력에는 생성하고자 하는 합성 신호 외에 각종 불요파 신호가 함께 발생하므로 이를 제거하기 위해 스위치 필터 बैं크를 삽입하였다. 스위치 필터 बैं크는 그림 1과 같이 1<sup>st</sup> mixer 출력단

표 2. 첫 번째 믹서에서 조합되는 주파수 맵  
Table 2. Frequency map at the 1st mixer.

LO IF	220(MHz)		240(MHz)		260(MHz)	
	Down	Up	Down	Up	Down	Up
20	200	*	220	260	240	280
22.5	197.5	242.5	217.5	262.5	237.5	282.5
25	195	245	215	265	235	285
27.5	192.5	247.5	212.5	267.5	232.5	287.5
30	*	250	210	270	230	290
32.5	*	252.5	207.5	272.5	227.5	*
35	*	255	205	275	225	*
37.5	*	257.5	202.5	277.5	222.5	*

에는 6개의 대역 통과 필터, 2<sup>nd</sup> mixer의 출력단에는 9개의 대역 통과 필터를 적용하였다. 불요파 중 믹서에서 누설되는 LO 신호와 주파수 혼합시 발생하는 이미지 신호는 상대적으로 크게 발생되므로 이들 신호는 통과 대역폭 밖에 존재하도록 대역 통과 필터의 통과 대역을 설정하고, 이들 신호를 제거하기 위해 각 필터들의 대역 저지 특성은 누설 LO 신호와 이미지 신호의 주파수에서 -50 dBc 이상 감쇄되도록 설계하였다.

2<sup>nd</sup> mixer의 필터 बैं크는 높은 Q값을 가지는 세라믹 공진기로 제작된 필터를 사용하였다. 그림 5는 2<sup>nd</sup> mixer 필터 बैं크에 삽입된 세라믹 필터의 특성으로 910~1,010 MHz의 통과 대역을 가지며, 1,200 MHz의 LO 신호에서 -50 dBc 이상의 대역 저지 특성을 가진다. 그러나 세라믹 필터는 그림 6과 같이 홀수 배 주파수에서 차단 특성이 특히 좋지 않으므로 믹서에서 발생한 3차 고조파가 차단되지 않고 통과하게 된다. 이는 필터 बैं크 뒤에 위치한 증폭기에 원 신호와 함께 입력되어, 믹서에서 출력된 3차 고조파 성분과 원 신호간의 근접 IM(Inter Modulation)을 발생시킨다.

더욱이 최종 출력 세기가 20 dBm 이상으로 비교적 높고, 이를 위해 3단의 증폭기로 최종 출력을 구성하여, 증폭기를 통과할 때마다 IM을 발생시켜 최종 출력에서 많은 불요파가 발생된다. 따라서 세라

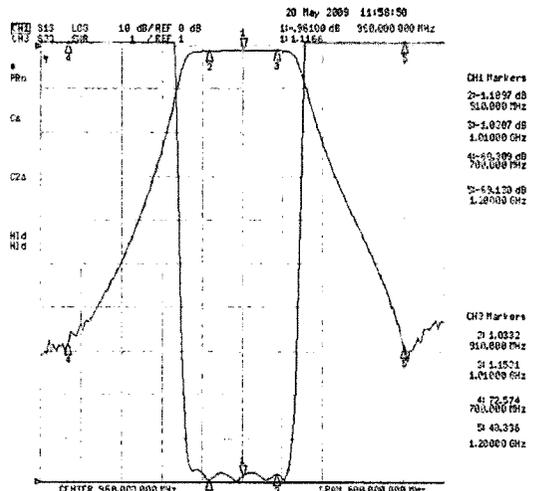


그림 5. 910~1,010 MHz 세라믹 필터(span: 600 MHz)  
Fig. 5. 910~1,010 MHz ceramic filter(span: 600 MHz).

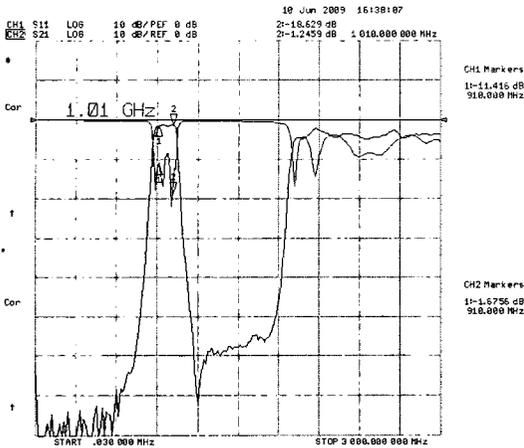


그림 6. 910~1,010 MHz 세라믹 필터(span: 3 GHz)  
 Fig. 6. 910~1,010 MHz ceramic filter(span: 3 GHz).

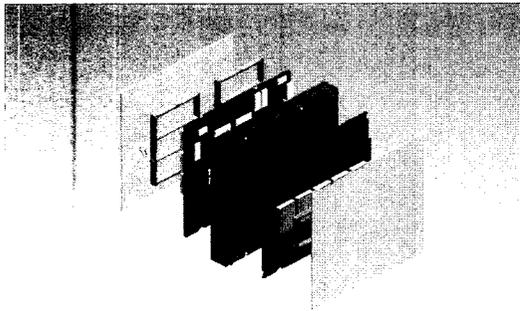


그림 7. 제작된 주파수 합성기 입체 형상  
 Fig. 7. The 3-D shape of fabricated frequency synthesizer.

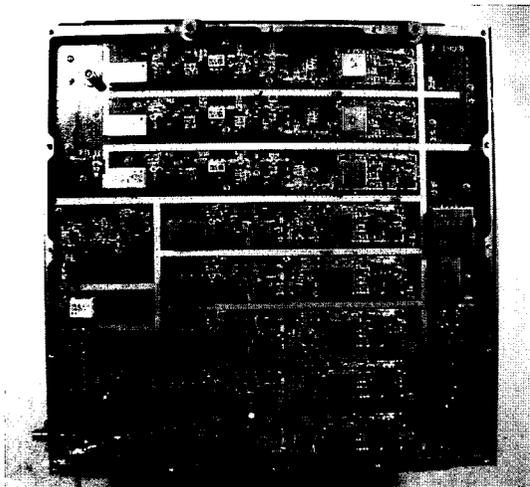


그림 8. 제작된 주파수 합성기 사진  
 Fig. 8. Photograph of the frequency synthesizer.

믹 필터 뒷단에 추가적인 저대역 통과 필터를 삽입하여 3차 고조파를 제거하였다.

최종 출력 주파수 범위가 710~1,610 MHz의 광대역에서 운용되기 때문에 증폭기 사용으로 발생한 낮은 주파수에서의 2차 고조파 성분이 운용되는 주파수 대역 내에 위치하여 하나의 필터로는 운용되는 주파수의 모든 고조파를 제거할 수 없어 대역이 다른 두 개의 저역 통과 필터로 구성된 필터 뱅크를 삽입하여 고조파를 제거하였다.

그림 7은 제작된 주파수 합성기의 입체 형상으로 모듈의 본체와 앞, 뒷면을 모두 사용한 2장의 기판과 덮개 및 격벽의 형상을 보여주며, 그림 8은 제작한 주파수 합성기의 사진을 보여주고 있다.

제작된 주파수 합성기의 주파수 특성은 Agilent社의 PSA E4440A 스펙트럼 분석기로 측정하였고, 출력 파워는 Agilent社의 E4418B 파워 미터로 측정하였다. 그림 9는 제작된 주파수 합성기의 주파수별 최종 출력 세기 측정 결과로서, 평균 출력 세기는 21.5 dBm이며, 2.65 dB 이하의 비교적 평탄한 출력을 갖는다.

그림 10 및 그림 11은 850 MHz와 1,400 MHz 주파수에서 측정된 출력으로 모든 불요파 신호는 각각 -64 dBc 이하 및 -61 dBc 이하로 억압되고 있다. 그림 12는 1,610 MHz에서의 위상 잡음 특성으로, -94 dBc/Hz @100 Hz, -101 dBc/Hz @1 kHz, -102 dBc/Hz @10 kHz, -104 dBc/Hz @100 kHz의 특성을 나타낸다.

본 논문에서는 응답 시간을 측정하는 방법으로 주파수 합성기에서 나오는 출력 신호를 믹서와 필터를 이용하여 주파수 영역에서 고속 응답 특성을 측

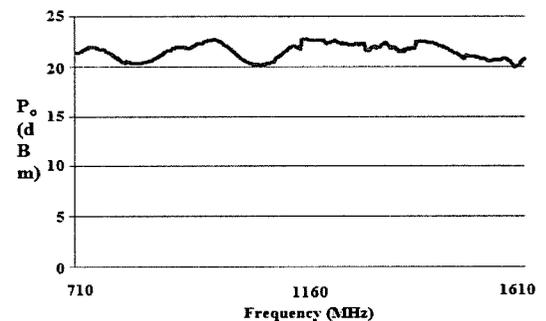


그림 9. 주파수별 최종 출력 세기 측정 결과  
 Fig. 9. Measured output power versus frequency.

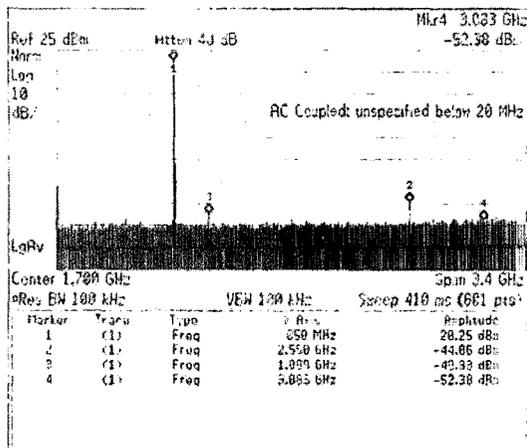


그림 10. 850 MHz 출력 신호의 불요파 측정 결과  
Fig. 10. Measured output spurious at 850 MHz.

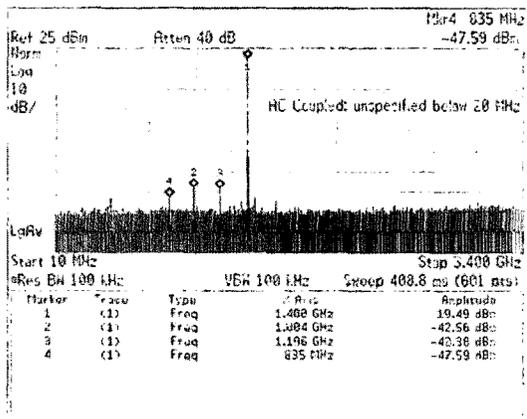


그림 11. 1,400 MHz 출력 신호의 불요파 측정 결과  
Fig. 11. Measured output spurious at 1,400 MHz.

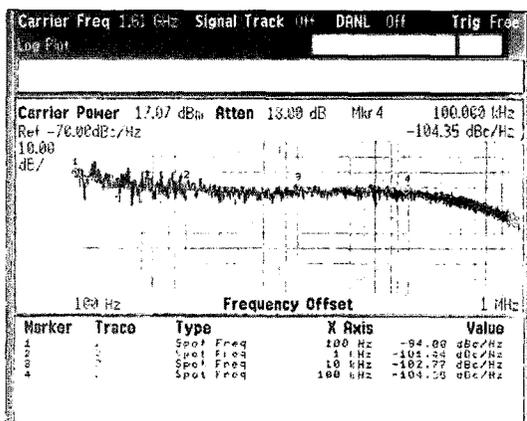
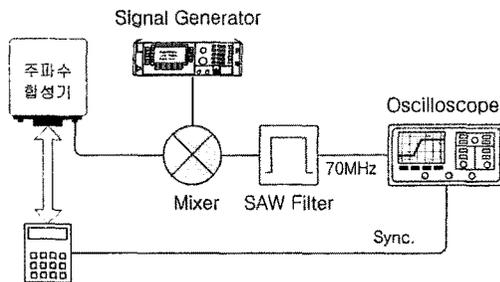


그림 12. 1,610 MHz 출력 신호의 위상 잡음 측정 결과  
Fig. 12. The measured phase noise at 1,610 MHz.



Channel Data

그림 13. 제안한 응답 시간 측정 방법

Fig. 13. Proposed measurement scheme for response time.

정하는 새로운 방법을 제안하였다.

측정 방법은 그림 13에 나타내었다. 주파수 합성기의 출력 신호와 70 MHz 차이 나는 신호를 상용 신호 발생 장비로 발생시키고, 이를 국부 발진 신호로 하여 주파수 합성기의 출력 신호를 혼합하면 70 MHz 신호가 발생한다.

이 신호를 70 MHz SAW 필터로 걸러내면 주파수 합성기의 출력 신호의 파형을 오실로스코프를 통하여 70 MHz로 간접적으로 관찰할 수 있게 된다.

출력된 70 MHz 신호는 SAW 필터의 지연 시간을 포함한 결과이므로 먼저 SAW 필터의 지연 시간을 측정해 놓아야 한다. 이때 믹서의 지연 시간은 무시한다.

그림 14는 측정된 SAW 필터의 지연 시간( $\tau_d$ )으로 2.00 us의 시간 지연값을 가지고 대역폭은 3 MHz이다. 그림 15는 그림 13에서 제안한 응답 시간 측정 방법을 이용하여 760 MHz 출력 신호의 응답 시간

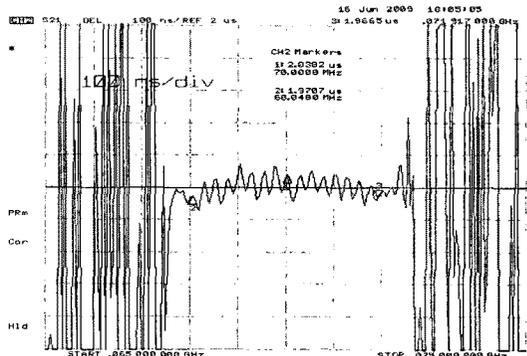


그림 14. 측정된 saw 필터의 지연 시간  
Fig. 14. Measured saw filter delay time.

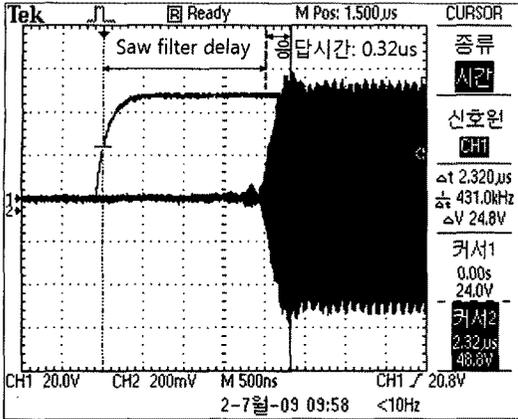


그림 15. 760 MHz에서의 측정된 안정화 시간(제어신호의 50%부터 최종 출력 신호의 90%까지,  $T_r = T_a - \tau_d$ )

Fig. 15. Measured stability time at 760 MHz(From 50% of control signal to 90% of output signal,  $T_r = T_a - \tau_d$ ).

표 3. 제작된 주파수 합성기기 측정 결과

Table 3. Measured results for fabricated frequency synthesizer.

측정 항목		측정치
주파수 범위		710~1610 MHz
주파수 간격		2.5 MHz
출력 파워		20.06~22.71 dBm
평탄도		2.65 dB
최대 불요파		50 dBc
위상 잡음	@100 Hz	-94.00 dBc/Hz
	@100 kHz	-104.35 dBc/Hz
동조 시간		300~400 ns

( $T_r$ )을 측정된 결과로 전체 응답 시간( $T_a$ )에서 SAW 필터의 지연 시간을 제외하고 0.32 us로 측정되었으며, 전 대역에 걸쳐 0.30~0.40 us의 응답 시간이 측

정되었다.

표 3에는 광대역 고속 주파수 합성기의 측정 결과를 요약하였다.

### III. 결 론

본 논문에서는 광대역에서 고속 동작이 가능한 고정밀 주파수 합성기를 설계 및 제작하였다. 서로 상보 관계에 있는 광대역, 고정밀, 고속 응답 특성을 얻기 위하여 고정 주파수 PLL과 주파수 분배기로 16개의 기준 주파수를 만들고 이를 혼합하여 2.5 MHz 간격의 710~1,610 MHz의 신호를 합성하였다.

제작된 주파수 합성기는 측정 결과 평균 21.5 dBm의 출력 세기, 2.65 dB의 평탄도, 300~400 ns 응답 시간, -50 dBc 이하의 불요파, -94 dBc/Hz @ 100 Hz의 위상 잡음 특성을 얻어, 매우 우수한 성능을 입증하였다.

### 참 고 문 헌

- [1] 김현미, 양승식, 이만희, 염경환, "소형화된 ka-대역 주파수 합성기 모듈 설계 및 제작", 한국전자과학기술논문지, 18(5), pp. 511-521, 2007년 5월.
- [2] 최종원, 신금식, 이문규, "하모닉 발전을 이용한 5.8 GHz 대역 주파수 합성기", 한국전자과학기술논문지, 15(4), pp. 421-427, 2004년 4월.
- [3] 권건섭, 이성재, "DDS Driven PLL 구조 주파수 합성기의 위상 잡음 분석", 한국전자과학기술논문지, 19(11), pp. 1272-1280, 2008년 11월.
- [4] Deans, *PLL Performance, Simulation, and Design*, pp. 11-36, 2001.
- [5] Behzad Razavi, *RF Microelectronics*, pp. 269-277, 1998.

이 규 송



1989년 2월: 서울시립대학교 전자공학과 (공학사)  
1991년 2월: 서울시립대학교 전자공학과 (공학석사)  
1991년 2월~현재: 국방과학연구소 책임연구원  
2005년 3월~현재: 충남대학교 전자

공학과 박사과정  
[주 관심분야] 초고주파 능동 및 수동 회로 설계, 방향 탐지 시스템, 전자전 시스템

오 승 엽



1971년 2월: 연세대학교 전기공학과 (공학사)  
1975년 2월: 연세대학교 전기공학과 (공학석사)  
1982년 2월: 연세대학교 전기공학과 (공학박사)  
1980년 8월~1981년 8월: 일본 동북

대학교 전기통신연구소 객원연구원  
1985년 5월~1986년 6월: 미국 펜실바니아주립대학 객원연구원  
1977년 7월~현재: 충남대학교 전자공학과 교수  
[주 관심분야] 초고주파 능동 및 수동 회로설계, 안테나 설계

전 계 익



1991년: 한국과학기술원 전기 및 전자공학과 (공학사)  
1993년: 한국과학기술원 전기 및 전자공학과 (공학석사)  
1997년: 한국과학기술원 전기 및 전자공학과 (공학박사)  
1997년~2000년: LG종합기술원 선

임연구원  
2000년~현재: 알에프코어(주) 대표이사  
[주 관심분야] MIC, MMIC, Microwave Module, Radar용 Solid State 송수신 모듈, Multi-Function Core Chip