

ADC 특성에 따른 능동 위상 배열 레이더 수신기의 이득 설정 방법

Receiver Gain of Active Phased Array Radar-Dependence on ADC Characteristic

김태환 · 최병관* · 이희영* · 조춘식**

Tae-Hwan Kim · Beyung Gwan Choi* · Hee Young Lee* · Choon-Sik Cho**

요 약

현대의 레이더는 큰 클러터 환경에서 동작하기 위해 넓은 동적 영역을 요구한다. ADC(Analog-to-Digital Converter)가 발생시키는 스푸리어스(spurious) 신호는 넓은 동적 영역을 구현하는데 걸림돌이 되고 있다. 본 논문에서는 ADC의 비선형 특성에 따른 능동 위상 배열 레이더 수신기의 이득을 분석하였다. ADC SFDR(Spurious Free Dynamic Range)은 시스템이 요구하는 동적 영역을 한정하고, 제한된 영역내에서 ADC SNR(Signal-to-Noise Ratio) 손실을 고려하여 ADC 동적 영역을 설정하였다. 그리고 계산된 능동 위상 배열 레이더의 안테나단 출력 잡음 전압과 ADC 입력 잡음 전압을 비교하여 수신기의 이득을 구하였다. 끝으로 응용 예제를 통한 전체적인 내용을 살펴 보았다.

Abstract

In modern radars, dynamic range requirements far exceeded due to high CNR(Clutter-to-Noise Ratio) environment operation scenario. ADC spurious signal restricted the required dynamic range. In this paper, receiver gain of active phased array radar dependent on ADC nonlinear characteristic was analyzed. Within limited scope of ADC SFDR which blocks required system dynamic range, ADC dynamic range reaches trade-off with ADC SNR loss. Comparing antenna stage output noise voltage to that of ADC input, receiver gain was mathematically analyzed. Finally the whole contents were explained from the application example.

Key words : Active Phased Array Radar, ADC, SFDR, Gain

I. 명 칭

σ_{IN} : ADC 입력 잡음 전압
 σ_{ADC} : ADC 자체 잡음 전압
 σ_{OUT} : ADC 출력 잡음 전압
 A_{FS} : ADC 플스케일 전압
 A_{RMS} : ADC RMS 플스케일 전압
 h : 양자화 간격 레벨

n_{com} : 전력 합성기 출력 전력
 SNR_{ADC} : ADC SNR
 η : 최소 탐지 SNR
 L_{ADC} : ADC SNR 손실
 D_{ADC} : ADC 동적 영역
 D_S : ADC SFDR
 D_L : 선형 동적 영역
 G_p : 디지털 처리 이득

삼성탈레스 HW팀(HW Team, Samsung Thales)

*국방과학연구소(Agency for Defense Development)

**한국항공대학교 정보통신공학과(Department of Information and Telecommunication Engineering, Korea Aerospace University)

· 논문 번호 : 20081017-129

· 수정완료일자 : 2008년 12월 9일

- N : ADC 비트 수
- α : ADC 입력 잡음과 양자화 레벨 비
- B_{IF} : IF 대역 통과 필터 대역폭
- G_r : 수신부 이득
- f_{IF} : ADC 아날로그 입력 주파수
- f_s : 샘플링 주파수
- * 잡음 전압은 모두 RMS값을 나타냄

II. 서 론

다향한 빔 형성, 기민한 빔 조향 각도 변화, 점진적 성능 저하(graceful degradation), 높은 MTBF(Mean Time Between Failure) 등 향상된 시스템 성능으로 인해 현재 많은 레이더는 능동 위상 배열 안테나 구조를 사용하고 있다^{[1]-[3]}.

현대의 레이더 수신기는 디지털 회로의 장점으로 인해, 점점 더 많은 디지털 회로의 사용을 요구하고 있다. 특히 ADC의 향상된 특성(비트수, 샘플링 속도 등)과 중간 주파수 대역 통과 샘플링(IF bandpass sampling) 구조를 이용한 설계 방식은 ADC에 입력되는 주파수를 점점 증가시키고 있다^{[4]-[6]}.

또한, 스텔스 기능을 갖춘 RCS(Radar Cross Section)가 작은 표적을 탐지하고 추적하기 위해서는 현대의 레이더는 수신 감도가 낮아야 하고, 클러터 억제 기능 및 높은 CNR(Clutter-to-Noise Ratio) 환경에서도 표적을 탐지할 수 있어야 한다. 위의 요구사항을 만족하기 위해서는 시스템의 동적 영역(dynamic range)은 커야 하고, 신호처리기는 입력 신호에 대해 선형적으로 동작해야 한다.

ADC는 이러한 선형적인 동적 영역을 구현하기 위한 핵심적인 소자이자 커다란 걸림돌이다.

ADC의 비선형성으로 인해 발생하는 하모닉 왜곡(harmonic distortion)은 수신기의 동적 영역을 제한하고, 자체적으로 발생하는 잡음은 시스템의 SNR을 제한한다^{[7]-[9]}. 특히, ADC의 하모닉 왜곡 특성은 ADC에 입력되는 주파수가 높을수록 더욱 열화된다.

ADC의 비선형성으로 인해 발생하는 스퓨리어스는 동적 영역을 제한하고, 제한된 동적 영역은 ADC에 입력되는 잡음의 양을 결정하게 된다. 또한, 안테나에서 들어온 잡음은 안테나단의 TRM(Transmitter-Receiver Module)과 수신단에서 증폭되어 ADC로 입

력되고, 레이더 수신기의 이득은 안테나단의 출력 잡음과 ADC 입력 잡음의 비로서 결정된다.

따라서, ADC의 스퓨리어스 특성이 레이더 수신기의 이득을 결정하게 됨으로써, 현대의 레이더 수신기 설계 패러다임이 ADC를 중심으로 이루어지고 있다.

본 논문에서는 ADC 스퓨리어스 특성을 중심으로, 능동 위상 배열 레이더 수신기를 설계하기 위한 여러 조건들을 수학적으로 분석한 것이다. 능동 위상 배열 레이더의 안테나단 출력 잡음 전력과, ADC 입력 잡음 전압을 각각 3-1절과 3-2절에 설명하였고, 수신기 이득을 3-3절에 다루었다. 그리고 최신의 ADC를 이용한 예제를 IV장에서 다룬다.

III. 수신기 이득

3-1 안테나단 출력 잡음 전력

그림 1은 m 개의 능동 위상 배열을 가진 안테나단 구조를 나타낸 것이다. n_1 에서 n_m 은 각 안테나에 입력되는 잡음 전력을, g_1 에서 g_m 그리고 f_1 에서 f_m 을 각각 TRM의 수신부 이득과 잡음지수라 하자.

손실이 없는 $m:1$ 전력 합성기는 입력 잡음의 $1/m$ 배 만큼 출력으로 내보낸다. 또한, 잡음은 전력합성기에서 인코히어런트(incoherent)하게 더해진다^[10]. 즉, 각 TRM 출력 잡음의 전력합으로 나타내어진다.

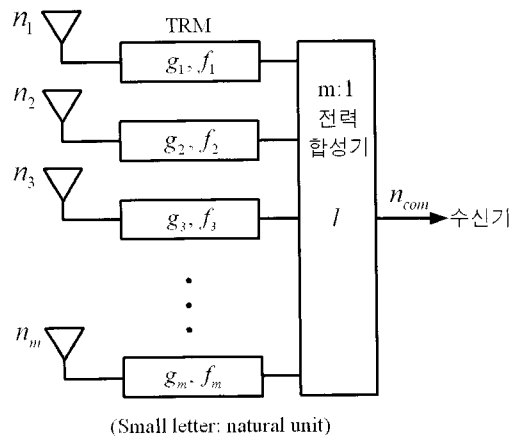


그림 1. m 개의 능동 위상 배열 모듈을 가진 안테나단 구조

Fig. 1. m -element active phased array antenna block structure.

전력 합성기의 손실을 ‘ γ ’이라 하면, 전력 합성기 출력 잡음 전력, n_{com} 은 아래와 같다.

$$n_{com} = \frac{n_1 \cdot g_1 \cdot f_1}{m \cdot l} + \frac{n_2 \cdot g_2 \cdot f_2}{m \cdot l} + \dots + \frac{n_m \cdot g_m \cdot f_m}{m \cdot l}$$

$$= \frac{\sum_{k=1}^m (n_k \cdot g_k \cdot f_k)}{m \cdot l} \quad (1)$$

위 식을 로그-스케일(알파벳 대문자는 dB 스케일을 나타냄)로 표현하면 아래와 같다.

$$N_{com} = 10 \cdot \log \left(\frac{\sum_{k=1}^m (n_k \cdot g_k \cdot f_k)}{m \cdot l} \right) \text{ dB} \quad (2)$$

안테나 입력 잡음 전력, N_{ant} 은 모든 포트에서 같으며, 아래와 같다.

$$N_{ant} = 10 \cdot \log(k \cdot T \cdot B) \text{ dB} \quad (3)$$

여기서 ‘ k ’는 볼츠만 상수로서, $1.38 \cdot 10^{-23}$ 값을 갖는다. 절대 온도, $T=290$ K, 잡음 대역폭, $B=1$ Hz일 때, N_{ant} 는 -174 dBm이 된다. 만약, 전력 분배기의 자체 손실이 없고, 각 TRM의 이득이 모두 G_m 으로 같고, 잡음 지수 또한 F_m 으로 모두 같다면, 전력 합성기 출력에서 1 Hz 대역폭에 대한 잡음 전력은 아래와 같이 표현된다.

$$N_{com} = -174 + G_m + F_m \text{ dBm} \quad (4)$$

모든 TRM이 같은 이득과 잡음지수를 가질 때 전력 분배기 출력 잡음은 하나의 TRM에 대한 출력 잡음 전력과 같다는 것을 알 수 있다.

지금까지 안테나단의 출력 잡음에 대해 알아보았다. 수신기의 이득은 ADC에 입력되는 잡음의 양과 위에서 구한 안테나단 출력 잡음의 비로 정해진다. 수신기의 이득을 정하기 위한 또 하나의 파라미터인, ADC 입력 잡음의 양을 결정하기 위한 내용을 다음 장에서 살펴본다.

3-2 ADC 입력 잡음 전압

그림 2는 신호처리에서의 동적 영역 특성을 나타낸 것이다. 위 그림에 나와 있는 각 파라미터에 대한 설명은 I 장에 기술되어 있다. A_{RMS} 는 ADC RMS

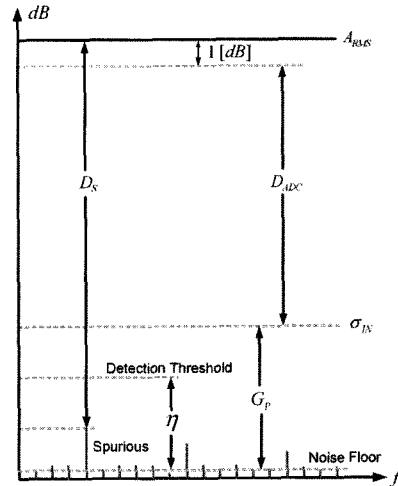


그림 2. 동적 영역 요구사항
Fig. 2. Dynamic range requirements.

풀스케일 전압을 나타내고, σ_{IN} 은 ADC로 입력되는 잡음 전압을 나타내는데, 안테나로 들어온 잡음이 안테나단과 수신기에서 증폭되어 ADC로 입력되는 잡음을 말한다. G_p 는 디지털 처리 이득(digital processing gain), η 는 허위 경보(false alarm)을 줄이기 위해 설정한 최소 탐지 SNR, D_s 는 ADC SFDR를 나타낸다. D_s 는 하나의 신호가 ADC에 입력되었을 때, ADC 출력에서 나오는 입력 신호와 가장 큰 스퓨리어스 신호의 차이를 말하는데, 단위는 dBc이다^[11]. 또한, A_{RMS} 와 가장 큰 스퓨리어스 신호의 차이로 ADC SFDR를 정의한다면, 단위는 dBFS로 표현된다. 만약 ADC가 발생시키는 스퓨리어스 신호가 그림 2의 탐지 스톨레쉬홀드(detection threshold)보다 크게 되면 허위 경보가 발생하게 되고, 이런 허위 경보는 레이더 성능을 저하시키는 요인이 된다. 따라서 신호처리기의 선형적인 동적 영역은 아래의 식을 만족해야 한다.

$$D_L = D_{ADC} + G_p \quad (5)$$

$$D_s > D_L - \eta + 1 \quad (6)$$

식 (5)에서 D_L 는 선형적인 동적 영역을 나타내는데, 큰 클러터 환경에서 RCS가 작은 표적을 탐지하기 위해서는 선형적으로 처리되어야 하는 동적 영역인, D_L 이 커야 한다. 그리고 식 (6)을 통해 ADC 스퓨리어스 신호가 선형적인 동적 영역을 제한한다는 것

을 알 수 있다.

위 식에서 디지털 처리 이득, G_p 과 최소 탐지 SNR, η 은 시스템 파라미터로서 미리 정해진 값이라고 하자. 그리고, 선정된 ADC의 데이터 쉬트를 참조하면 D_S 값을 알 수 있다. 따라서 오직 ADC 동적 영역, D_{ADC} 만이 위 식의 변수로 남게 된다. D_{ADC} 는 다음에 설명할 ADC SNR 손실, L_{ADC} 와 관계된 변수로서, D_{ADC} 는 아래의 식으로 표현할 수 있다.

$$\begin{aligned} D_{ADC} &= 20 \cdot \log \left(\frac{A_{RMS}}{\sigma_{IN}} \right) - 1 \\ &= 20 \cdot \log \left(\frac{2^{N-1}}{\sqrt{2}} \cdot \frac{h}{\sigma_{IN}} \right) - 1 \\ &= 20 \cdot \log \left(\frac{2^{N-1}}{\sqrt{2} \cdot \alpha} \right) - 1 \end{aligned} \quad (7)$$

ADC 동적 영역, D_{ADC} 은 A_{RMS} 에서 1 dB 아래 지점부터 ADC 입력 잡음 전압까지의 영역을 나타내고, 식 (7)과 같이 표현할 수 있다. 여기서 α 는 ADC 입력 잡음 전압과 양자화 간격(quantization step)의 비를 나타낸다.

ADC의 입·출력 잡음 분산의 비를 ADC SNR 손실, L_{ADC} 이라 정의하고, 식 (8)과 같이 나타낼 수 있다.

$$\begin{aligned} L_{ADC} &= 10 \cdot \log \left(\frac{\sigma_{OUT}^2}{\sigma_{IN}^2} \right) \\ &= 10 \cdot \log \left(1 + \frac{\left(\frac{\sigma_{ADC}}{h} \right)^2}{\left(\frac{\sigma_{IN}}{h} \right)^2} \right) \\ &= 10 \cdot \log \left(1 + \frac{\left(\frac{\sigma_{ADC}}{h} \right)^2}{\alpha^2} \right) \end{aligned} \quad (8)$$

여기서 σ_{ADC} 은 ADC 자체 잡음 전압을 나타내고, 이상적인 ADC에서의 자체 잡음 전압은 $\sigma_{ADC} = h^2 / 12$ 이 된다^[12]. 실제 사용된 ADC의 자체 잡음 전압은 데이터 쉬트에 나와 있는 ADC SNR을 이용하여 아래와 같이 나타낸다.

$$\begin{aligned} SNR_{ADC} &= 20 \cdot \log \left(\frac{A_{RMS}}{\sigma_{ADC}} \right) \\ &= 20 \cdot \log \left(\frac{2^{N-1} \cdot h}{\sqrt{2} \cdot \sigma_{ADC}} \right) \end{aligned} \quad (9)$$

위 식을 ADC 자체 잡음 전압, σ_{ADC} 에 대해 정리하면 식 (10)과 같다.

$$\sigma_{ADC} = h \cdot \frac{2^{N-1}}{\sqrt{2}} \cdot 10^{-\frac{SNR_{ADC}}{20}} \quad (10)$$

식 (8)과 (10)으로부터 ADC SNR 손실, L_{ADC} 은 아래와 같이 표현된다.

$$L_{ADC} = 10 \cdot \log \left(1 + \frac{\left(\frac{2^{N-1}}{\sqrt{2}} \cdot 10^{-\frac{SNR_{ADC}}{20}} \right)^2}{\alpha^2} \right) \quad (11)$$

D_{ADC} 와 L_{ADC} 를 표현하는 식 (7)과 (11)에 모두 ADC 입력 잡음 전압, σ_{IN} 과 양자화 간격 레벨, h 의 비를 나타내는 α 가 있다. 만약 α 를 줄이면, ADC 동적 영역은 증가하게 되지만, ADC SNR 손실 역시 증가하게 된다. 반대로, ADC SNR 손실을 줄이기 위해 α 를 증가하면 ADC 동적 영역이 줄어들게 된다. 따라서 ADC 동적 영역과 ADC SNR 손실을 절충(trade-off)해야 한다. 이처럼 ADC SNR 손실을 고려하여 ADC 동적 영역이 정해지면 식 (7)을 이용하여 ADC에 입력되는 잡음 전압을 구할 수 있다. 그리고 식 (1)에 표현된 안테나단 출력 잡음과 ADC 입력 잡음 전압을 비교하여 수신기의 이득을 정하게 된다.

3.3 수신기 이득

안테나단의 이득과 잡음지수를 각각 g_{ant} 과 f_{ant} , 수신기의 잡음지수를 f_r 라 하면, 안테나단과 수신기의 총 잡음지수는 아래와 같다.

$$f_{tot} = f_{ant} + \frac{f_r - 1}{g_{ant}} \quad (12)$$

만약, 안테나단의 이득이 크고, 수신기의 첫단에 LNA(Low Noise Amplifier: 저잡음 증폭기)와 같은 잡음이 적은 증폭기를 두어, 수신기의 잡음지수를 작게 설계한다면 전체 잡음지수는 안테나단의 잡음지수와 같게 된다. 이것은 수신기가 발생시키는 자체 잡음은 ADC에 입력되는 잡음 전압에 영향이 적음을 의미한다.

따라서 수신기의 이득, g_r 은 식 (1)과 (7)을 이용하면, 아래와 같이 나타낼 수 있다.

$$g_r = \frac{A_{RMS} \cdot 10^{\frac{D_{ADC}+1}{20}}}{\sqrt{50 \cdot B_{IF} \cdot \sum_{k=1}^m n_k \cdot g_k \cdot f_k}} \cdot l \quad (13)$$

위 식에서 숫자 50은 안테나단의 부하 임피던스를 나타내고, B_{IF} 은 수신기에 있는 IF 필터 대역폭을 의미한다.

IV. 응용 예제

ADC의 선정은 레이더 수신기를 설계함에 있어 매우 중요한 소자이다. 특히, 비트 수, 폴스케일 전압 범위, SNR, SFDR 등은 ADC를 선정함에 있어 우선적으로 고려되어야 할 특성들이다. 본 예제에서는 150 MHz IF를 사용하고, 16-bit ADC를 이용한 능동 위상 배열 레이더 수신기를 고려한다. ADC 샘플링 주파수는 아래의 식에 의해 120 MHz로 선정하였다^[13].

$$\frac{f_{IF}}{f_s} = \frac{2 \cdot M - 1}{4} \quad M = 1, 2, 3 \dots \quad (14)$$

여기서, f_{IF} 와 f_s 는 각각 ADC에 입력되는 IF와 샘플링 주파수를 말한다.

현재까지 개발되어 있는 16-bit ADC 중 150 MHz 아날로그 입력 신호를 120 MHz로 샘플링을 할 수 있는 ADC는 그리 많지 않다. 본 논문의 예제는 Analog Device사의 AD9461 ADC를 이용한다^[14]. 150 MHz IF에 대한 AD9461 ADC의 특성을 표 1에 나타내었다. 또한 수신기 설계를 위한 파라미터 값을 표 2에 나타내었다.

식 (5), (6)과 표 1, 2에 기술된 내용을 이용하면, ADC 동적 영역, D_{ADC} 는 아래 식을 만족해야 한다.

$$D_{ADC} < D_S + \eta - G_p - 1 = 71 \text{ dB} \quad (15)$$

표 1에 나타난 ADC SFDR 값은 ADC에 입력되는 아날로그 신호와 샘플링 클럭 신호 그리고 DC 전원 등 모든 입력 신호의 질이 좋고, ADC 출력과 샘플링 클럭 신호가 격리되며, PCB(Printed Circuit Board) 레이아웃이 최적화된 상태의 값이다. 따라서, 안정적인 동작을 위해 어느 정도 여유분을 두어 설계를 해야 한다. 본 예제에서는 마진을 4 dB로 한다. 식 (15)는 아래와 같이 수정된다.

표 1. AD9461 ADC의 특성

Table 1. Characteristics of AD9461 ADC.

ADC 특성	단위	값
N	bit	16
A_{FS}	V	3.4
SNR_{ADC}	dB	77.5
D_S	dB	84
h	uV	51.9

표 2. 시스템 파라미터

Table 2. System parameters.

파라미터	단위	값
IF 주파수	MHz	150
샘플링 주파수	MHz	120
최소 탐지 SNR	dB	13
디지털 처리 이득	dB	25
IF 필터 대역폭	MHz	2
TRM 개수	-	32
TRM 이득	dB	30
TRM 잡음지수	dB	4
전력합성기 손실	dB	4

$$D_{ADC} < 67 \text{ dB} \quad (16)$$

그림 3은 식 (7)을 이용하여, α 에 따른 ADC 동적 영역을 나타낸 것이고, 그림 4는 식 (11)을 이용하여 α 에 따른 ADC SNR 손실을 나타낸 것이다.

그림 3에서 식 (16)을 만족하기 위해서는 α 가 10

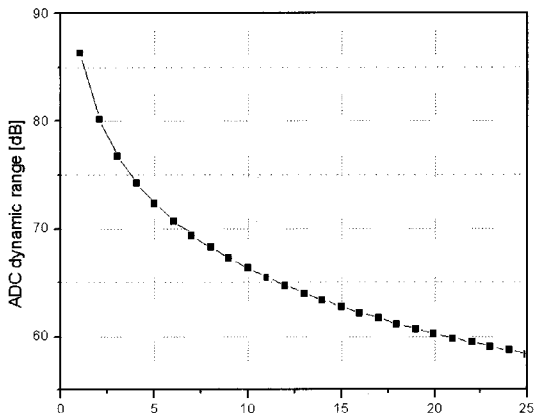


그림 3. α 에 따른 ADC 동적 영역

Fig. 3. ADC dynamic range vs α .

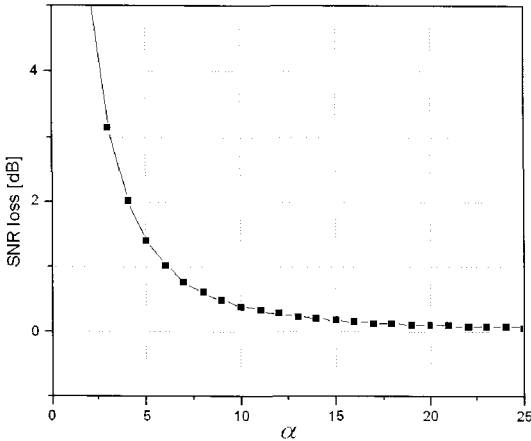


그림 4. α 에 따른 ADC SNR 손실.
Fig. 4. ADC SNR loss vs α .

이상이어야 한다. α 를 10이상으로 계속 증가시키면 ADC SNR 손실은 적어지지만, ADC 동적 영역 또한 작아지게 된다. 반대로 동적 영역을 크게 하기 위해 α 값을 10 가까이 하게 되면, ADC SNR 손실이 증가하게 된다는 것을 위 그림을 통해 알 수 있다. 따라서, 어느 정도의 절충이 필요하며, 여기서는 α 값을 15로 하였다. 이때, ADC SNR 손실은 0.18 dB, ADC 동적 영역은 62.8 dB이다. ADC 입력 잡음, σ_{IN} 은 아래와 같다.

$$\sigma_{IN} = \alpha \cdot h \approx 778.2 \mu V \quad (17)$$

그림 5는 능동 위상 배열 레이더에서 32개의

TRM이 한 채널의 수신기를 구성하는 그림을 나타낸 것이다. 32개의 TRM 출력이 전력합성기에 의해 수신부로 들어간다. 본 예제에서는 계산식을 간단히 하기 위해 부엽(sidelobe)을 제거하기 위한 진폭 테이퍼링(tapering)을 TRM에서 수행하지 않고, 유니폼(uniform)하게 신호를 수신한다고 가정하였다.

즉, 각 TRM의 이득, G_{TRM} 과 잡음지수, F_{TRM} 가 모든 TRM에서 같다.

식 (13)과 표 1, 2에 기술된 값을 이용하여 수신부의 전압 이득을 계산하면 $g_r=38.9$ 가 되고, 로그-스케일로 변환하면 31.8 dB가 된다.

V. 결론

ADC는 레이더를 설계하는데 중요한 소자이다. ADC의 비선형성으로 인해 발생하는 스퓨리어스 성분은 레이더 시스템의 동적 영역을 제한한다. 또한, ADC의 주요 특성인 동적 영역 및 SNR 손실은 수신기를 설계하는데 있어 중요한 요소가 되고 있다.

본 논문에서는 ADC 특성을 이용하여, 능동 위상 배열 레이더의 수신기 이득을 정하였다.

능동 위상 배열 레이더에서 안테나단 출력 잡음 전력과 ADC의 주요 특성들을 수식적으로 분석하였고, 최종적으로 수신기의 이득을 구하였다. 또한, 응용 예제를 통해 본 논문에서 설명한 내용을 다시 한번 정리하였다.

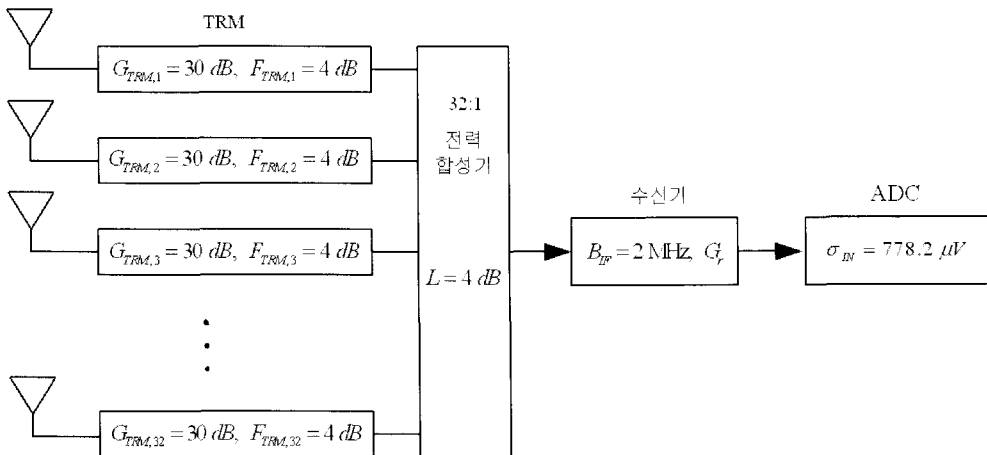
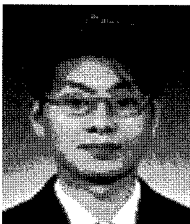


그림 5. 32개의 TRM을 가진 능동 위상 배열 레이더 수신기의 한 채널 구조
Fig. 5. One channel receiver structure of active phased array radar with 32 TRM.

참 고 문 헌

- [1] H.-P. Feldle, "State of the active phased array technology", in *Proc. 2nd Int. ITG Conf. Antennas*, pp. 241-245, Mar. 2007.
- [2] Shi Xing, Xiang Long Peng, "Design and implementation of millimeter-wave active phased array radar", in *Proc. IEEE Int. Conf. Radar*, pp. 1-4, Oct. 2006.
- [3] U. K. Revankar, K. Sreenivasulu, K. M. Veerabhadra, K. S. Beenamole, and D. Kumar, "An experimental active aperture array for L-band high power active phased array radar", in *Proc. IEEE Int. Symp. Phased Array Syst. and Technol.*, pp. 289-294, Oct. 2003.
- [4] E. J. Martinez, R. L. Bobb, "High performance analog-to-digital converter technology for military avionics applications", in *Proc. IEEE Aerospace Conf.*, pp. 315-330, Mar. 1998.
- [5] Y. Wu, J. Li, "The design of digital radar receivers", *IEEE AES Systems Magazine*, pp. 35-41, Jan. 1998.
- [6] Holger Deitersen, "A flexible digital receiver architecture for radar applications", in *Proc. Int. Radar Symp.*, pp. 1-4, May 2006.
- [7] S. R. Duncan, V. Gregers-Hansen, and J. P. McConnell, "A stacked analog-to-digital converter providing 100 dB of dynamic range", in *Proc. IEEE Int. Conf. Radar*, pp. 31-36, May 2005.
- [8] A. M. Madni, P. T. McDonald, R. K. Hansen, and L. A. Wan, "High-dynamic-range airborne tracking and fire control radar subsystems", *IEEE Trans. Microwave Theory and Technique*, vol. 37, pp. 1942-1948, Dec. 1989.
- [9] B. N. S. Babu, C. M. Sorrentino, "Analog-to-digital converter effects on airborne radar performance", in *Proc. IEEE National Radar Conf.*, pp. 56-64, Mar. 1989.
- [10] R. V. Gatti, M. Dionigi, and R. Sorrentino, "Computation of gain, noise figure, and third-order intercept of active array antennas", *IEEE Trans. Antennas and Propagation*, pp. 3139-3143, Nov. 2004.
- [11] Hui Pan, A. A. Abidi, "Spectral spurs due to quantization in nyquist ADCs", *IEEE Trans. Circuits Syst. I*, vol. 51, no. 8, pp. 1422-1439, Aug. 2004.
- [12] V. Kuhlmann, A. Sinton, M. Dewe and C. Arnold, "Effects of sampling rate and ADC width on the accuracy of amplitude and phase measurements in power-quality monitoring", *IEEE Trans. Power Delivery*, vol. 22, no. 2, pp. 758-764, Apr. 2007.
- [13] Dong Qinn, Zhang Ping, Qi Haiming, and Quan Xinzhe, "Bandpass sampling and quadrature demodulation in synthetic aperture radar", in *Proc. IEEE Int. Conf. Radar*, pp. 1-4, Oct. 2006.
- [14] [Online]. <http://www.analog.com>

김 태 환



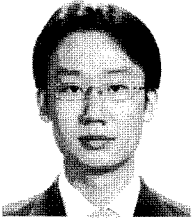
2004년 2월: 한국항공대학교 정보통신공학과 (공학사)
 2006년 2월: 한국항공대학교 정보통신공학과 (공학석사)
 2005년 10월~현재: 삼성탈레스 HW 팀 선임연구원
 [주 관심분야] RF/아날로그 회로 설계, 안테나, 신호처리

최 병 관



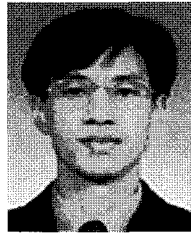
1991년: 경북대학교 전자공학과 (공학사)
 1993년: 경북대학교 전자공학과 (공학석사)
 2006년: 충남대학교 전자공학과 (공학박사)
 1993년~현재: 국방과학연구소 선임연구원
 [주 관심분야] 레이다 신호처리

이 희 영



2005년 서강대학교 전자공학과 (공학사)
2007년 포항공과대학교 전기전자공학과 (공학석사)
2007년~현재: 국방과학연구소 연구원
[주 관심분야] 레이더 신호처리

조 춘 식



1887년 2월: 서울대학교 제어계측공학과 (공학사)
1995년 12월: 미국 South Carolina 대학교 전기 및 컴퓨터공학과 (공학석사)
1998년 12월: 미국 Colorado 대학교 전기 및 컴퓨터공학과 (공학박사)
2004년 3월~현재: 한국항공대학교 정보통신공학과 교수
[주 관심분야] RFIC/MMIC, 안테나, 전자장 수치해석